

MiniStar_Nano开发板 用户手册

2021-10-26

目 录

1、关于本手册	1
1.1 手册内容.....	1
1.2 适用产品.....	1
1.3 相关文档.....	1
1.4 技术支持.....	2
1.5 术语、缩略语.....	2
2、开发板介绍	3
2.1 概述.....	3
2.2 开发板套件	4
2.3 核心板与底板管脚连接.....	5
2.5 特性.....	6
2.6 指标.....	7
2.7 机械尺寸图	7
3、开发板详细介绍	8
3.1、FPGA模块.....	8
3.1.1概述.....	8
3.1.2 I/O BANK 说明.....	9
3.2 下载.....	10
3.2.1 概述.....	10
3.2.2 USB下载电路.....	11
3.2.3 管脚分配.....	12

3.3 电源.....	12
3.3.1 概述.....	12
3.3.2 电源系统分配.....	12
3.4 时钟.....	13
3.4.1 概述.....	13
3.4.2 时钟电路图	13
3.4.3 管脚分配.....	13
3.5 LED	13
3.5.1 概述.....	13
3.5.2 LED 电路	14
3.6 按键.....	15
3.6.1 概述.....	15
3.6.2 按键电路.....	15
3.7 拨码开关.....	16
3.7.1 概述.....	16
3.7.2 拨码开关电路.....	16
3.8 三色LED灯	17
3.8.1 概述.....	17
3.8.2 三色LED灯电路.....	17
3.9 扩展IO	18
3.9.1 概述.....	18
3.9.2 扩展IO原理图	18

3.10 64M SPI Flash	18
3.10.1 概述.....	18
3.10.2 64M SPI Flash原理图.....	19
3.10.2 64M SPI Flash管脚分配.....	19
4、开发板使用	20
4.1 工程导入.....	20
4.2 程序编译和下载	21
4.3 例程操作及现象说明	22
4.4 硬件与软件下载	23
4.5 开发板使用注意事项	24

1、关于本手册

1.1 手册内容

MiniStar_Nano开发板套件用户手册分为三个部分：

1. 简述开发板的功能特点和硬件资源；
2. 介绍开发板上的各部分硬件电路的功能、电路及管脚分配；
3. 开发板使用注意事项。

1.2 适用产品

本手册中所述信息可适用于以下GW1NSR 系列FPGA产品：

- GW1NSR-LV4CQN48p

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. GW1NSR 系列 FPGA 产品数据手册
2. GW1NSR 系列 FPGA 产品封装与管脚手册
3. GW1NSR-4 器件 Pinout 手册
4. GW1NSR 系列 FPGA 产品编程配置手册
5. Gowin 云源软件用户手册

1.4 技术支持

- 1、最新FPGA技术资讯请关注公众号MYMNIEYE;
- 2、教学视频链接更新地址: <https://space.bilibili.com/507416742>
- 3、淘宝店铺: 小眼睛半导体
- 4、官网: www.myminieye.com
- 5、技术指导 QQ 群: 808770961

1.5 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
LED	Light Emitting Diode	发光二极管
LDO	Low Dropout Regulator	低压差线性稳压器
GPIO	General Purpose Input Output	通用输入/输出
LUT4	4-input Look-up Table	4 输入查找表
S-SRAM	Shadow SRAM	分布式静态随机存储器
B-SRAM	Block SRAM	块状静态随机存储器
PLL	Phase-locked Loop	锁相环
DLL	Delay-locked Loop	延迟锁相环
DSP	Digital Signal Processing	数字信号处理
QN48p	QN48p	QN48p 封装

2、开发板介绍

2.1 概述

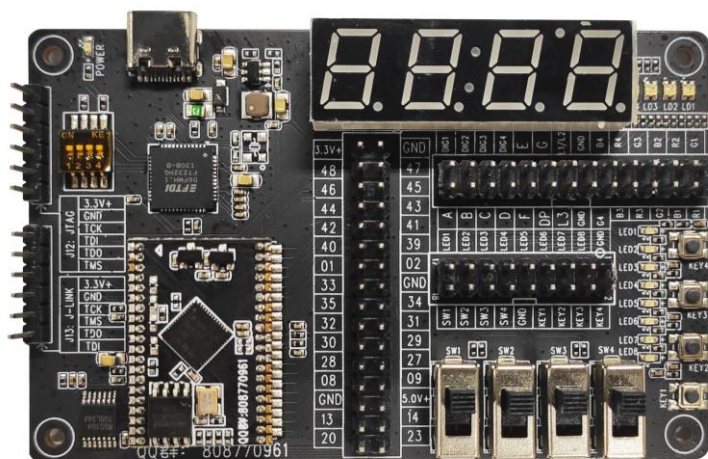


图 2-1 MiniStar_Nano开发板

MiniStar_Nano开发板是以高云半导体 GW1NSR 系列 FPGA 产品为核心, 由核心板和底板构成。高云半导体 GW1NSR 系列 FPGA 产品是高云半导体小蜜蜂® (LittleBee®)家族第一代 FPGA 产品, 是一款系统级封装芯片, 内部集成了 GW1NS 系列FPGA 产品和 PSRAM 存储芯片。包括 GW1NSR-2C 器件, GW1NSR-4C 器件和 GW1NSR-2 器件, GW1NSR-4 器件。GW1NSR-2C 及 GW1NSR-4C器件内嵌 ARM Cortex-M3 硬核处理器。此外, GW1NSR 系列 FPGA 产品内嵌 USB2.0 PHY、用户闪存以及 ADC 转换器。GW1NSR-2C / GW1NSR-4C器件以 ARM Cortex-M3 硬核处理器为核心, 具备了实现系统功能所需要的最

小内存；内嵌的 FPGA 逻辑模块单元方便灵活，可实现多种外设控制功能，能提供出色的计算功能和异常系统响应中断，具有高性能、低功耗、管脚数量少、使用灵活、瞬时启动、低成本、非易失性、高安全性、封装类型丰富等特点。GW1NSR-2C 器件实现了可编程逻辑器件和嵌入式处理器的无缝连接，兼容多种外围器件标准，可大幅降低用户成本，可广泛应用于工业控制、通信、物联网、伺服驱动、消费等多个领域。

2.2 开发板套件

开发板套件包括：

- MiniStar 核心板及底板
- 快速应用手册

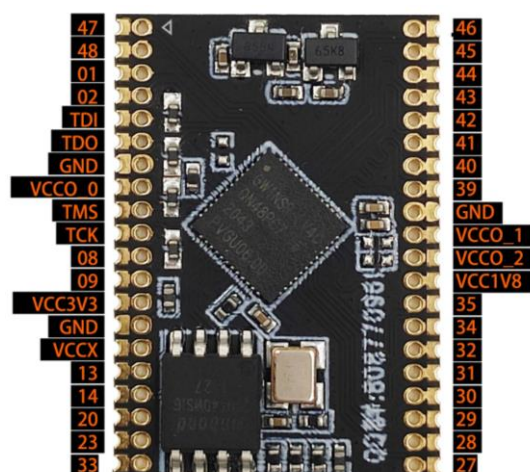


图2-2 MiniStar_Nano核心板

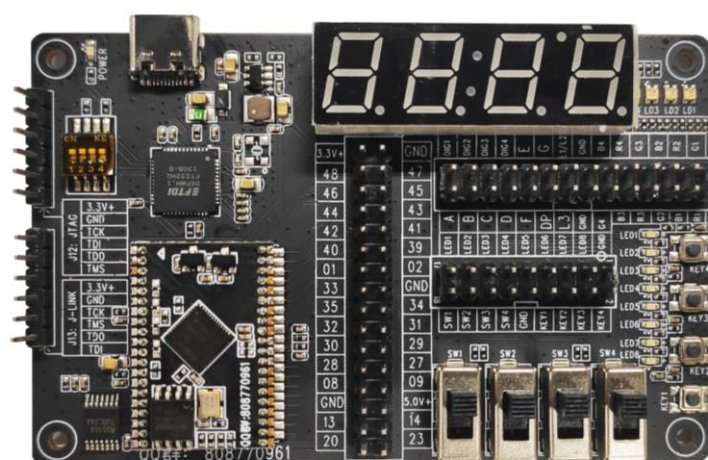


图2-3 MiniStar_Nano开发板

2.3 核心板与底板管脚连接

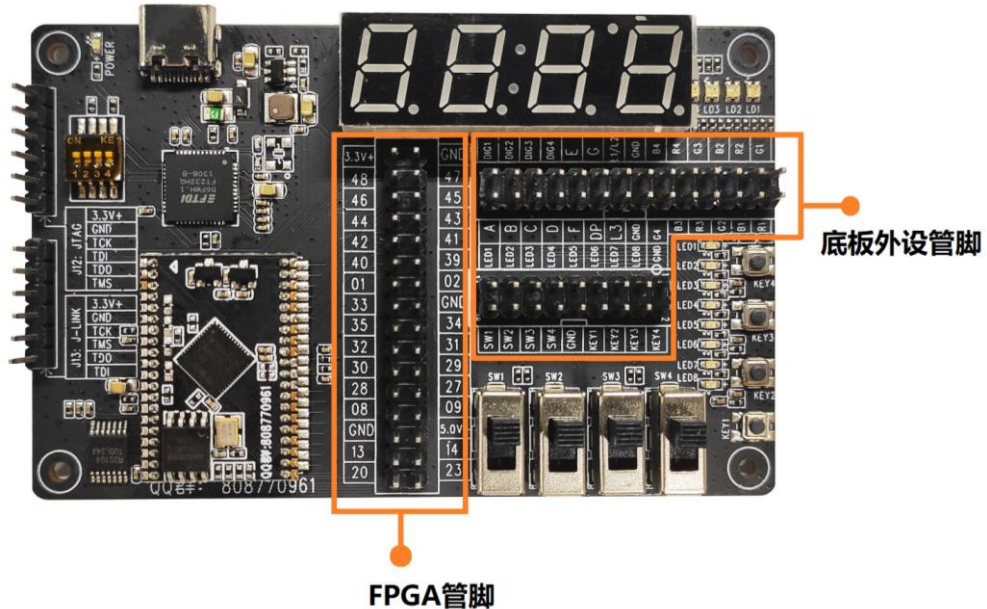


图2-4 MiniStar_Nano开发板管脚

MiniStar_Nano开发板采用核心板和底板的组合方式,上图的左侧框中是通过板对板连接将FPGA的IO引出到底板上,丝印为对应位置的排针所连接的FPGA的管脚号。上图右侧中框连接的是底板外设的管脚,丝印为对应位置上排针所连接的外设管脚。FPGA管脚与外设管脚的连接并未固定,可通过杜邦线将FPGA管脚与外设管脚连接,用户在使用时应注意管脚分配与杜邦线连接是对应的。

2.5 特性

开发板组成结构及特性如下：

1. FPGA

- 采用 QN48P 封装
- 内嵌 ARM Cortex-M3 硬核处理器

2. FPGA 配置模式

- JTAG

3. 时钟资源

- 27MHz 时钟晶振

4. 按键

- 4 个按键开关

5. LED

- 1 个电源指示灯（绿）
- 8 个 用户指示灯（绿）

6. 拨码开关

- 4 拨码开关

7. 数码管

- 4 位数码管

8. 存储

- 256Kbit 内部 flash
- 64Mbit 外置 flash
- 64Mbit HyperRAM

9. 电源

- 具有电压反向保护；
- 提供 5V 电压输入。

2.6 指标

表 2-1 MiniStar开发板参数指标列表

序号	项目	参数	功能描述
1	5V供电和下载	5V DC-DC; Typec-USB	5V供电。USB转JTAG接口
3	轻触按键	4路轻触按键	可作为测试控制输入使用。(按下为低电平)
4	指示灯	8路LED指示灯	当 FPGA 对应管脚输出信号为逻辑高电平时，LED 被点亮；
5	时钟	1 路27MHZ时钟	为 FPGA 提供 27MHz 时钟
6	扩展接口	排针接口	用于连接外设
7	拨码开关	4路拨码开关	---
8	工作温度	0~+ 70℃商业级	---
9	环境湿度	20%~90%，非冷凝	---
10	核心板机械尺寸	17.9mm×26.0mm	---
11	PCB 规格	2层，黑底白字	---
12	电源供电	5V/1A，typec-USB接口供电	---
13	系统功耗	---	---

2.7 机械尺寸图

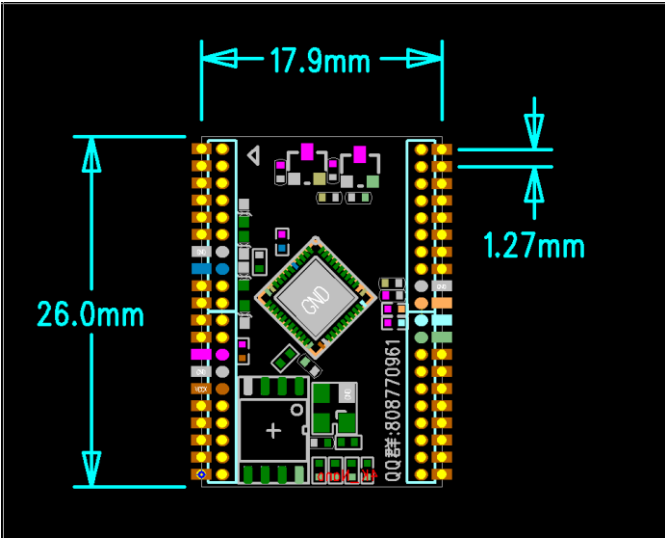


图2-5 MiniStar_Nano核心板尺寸

3、开发板详细介绍

3.1、FPGA模块

3.1.1概述

GW1NSR-LV4CQN48P FPGA 产品资源信息如表 3-1 所示。

表 3-1 GW1NSR 系列 FPGA 产品信息列表

器件	GW1NSR-4C
逻辑单元(LUT4)	4608
寄存器(FF)	3456
块状静态随机存储器 B-SRAM(bits)	180K
块状静态随机存储器数目 B-SRAM(个)	10
用户闪存(bits)	256K
PSRAM (bits)	64M
HyperRAM(bit)	64M

NOR FLASH (bits)	32M
乘法器 (18x18Multiplier)	16
锁相环(PLLs)	2
OSC	1,精度±5%
硬核处理器	Cortex-M3
I/O Bank 总数	4
最大用户 I/O 数	39
核电压	1.2V

3.1.2 I/O BANK 说明

GW1NSR 系列 FPGA 产品分为四个 I/O BANK 区, 图 3-1 为 GW1NSR 系列 FPGA产品的I/O BANK整体示意图。图3-2为QN48P封装管脚分布示意图。

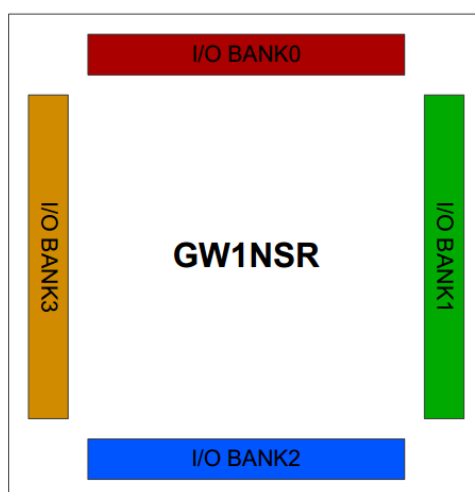


图 3-1 GW1NSR-LV4CQN48P 产品 I/O BANK 整体示意图

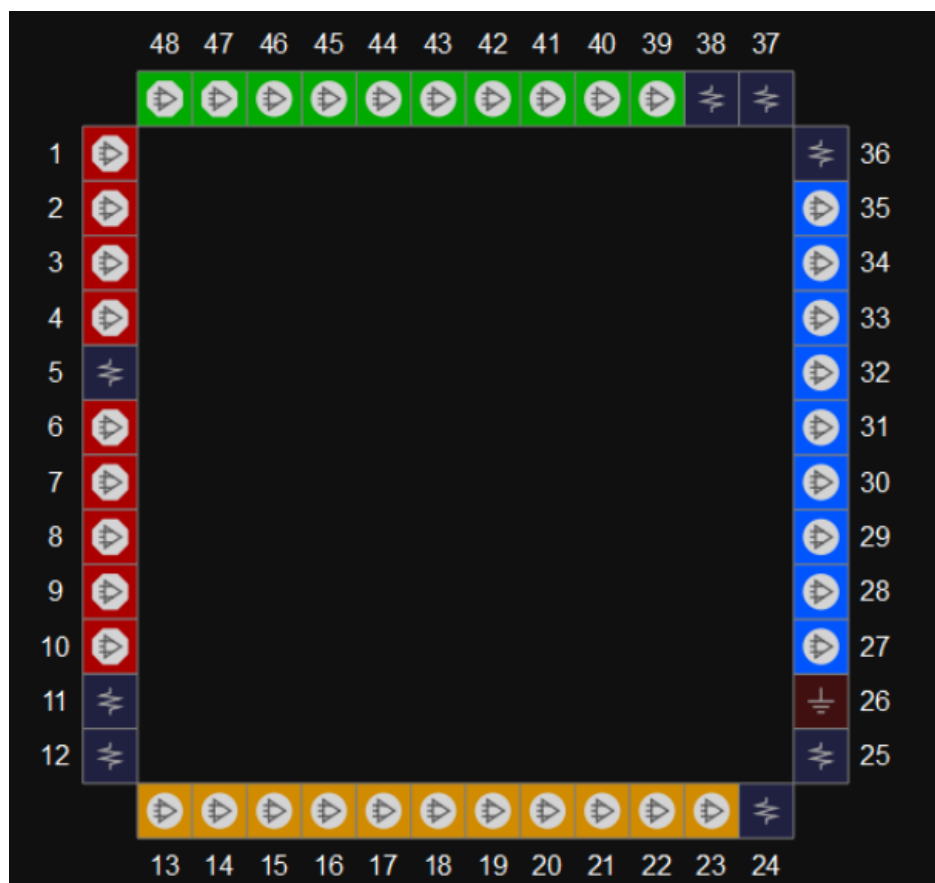


图 3-2 GW1NSR-LV4CQN48P FPGA 封装管脚分布示意图（顶视图）

3.2 下载

3.2.1 概述

开发板提供 USB 下载接口，由 FT2232 USB 转换芯片的 A 通道来实现。内部 ARM Cortex-M3 硬核处理器下载也通过同一组 IO 下载。当需调试下载 ARM 核时需要保持 USB 供电，同时拨动底板左上角的拨码开关断开 USB 转 JTAG 模块的连接。

下载的连接示意图如图 3-5 所示。

3.2.2 USB下载电路

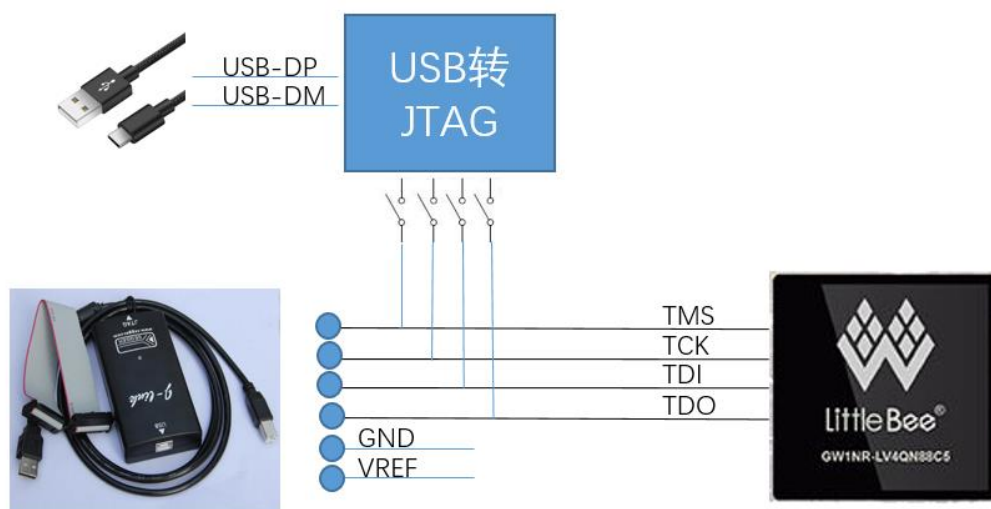


图 3-3 FPGA下载电路原理图



图 3-4 Jtag与Jlink接口

底板上预留的Jtag与Jlink接口如图3-6所示，不同版本的底板上Jlink管脚序号的丝印可能有所差别，Jlink管脚序号统一为图3-6所示的管脚序号。

3.2.3 管脚分配

表 3-2 下载电路管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
FPGA_TMS	6	0	TMS	3.3V
FPGA_TCK	7	0	TCK	3.3V
FPGA_TDI	3	0	TDI	3.3V
FPGA_TDO	4	0	TDO	3.3V

3.3 电源

3.3.1 概述

开发板通过typec-USB接口提供DC5V输入, 设置有1.5A过流保护,防反接保护;

输入的DC5V电源经过板上的电源IC转换输出3.3V,2.5,1.8V, 1.2V

3.3.2 电源系统分配

表 3-3 开发板FPGA I/O BANK 电压及功能分布

功能	接口	描述
供电	VCC3V3	两个LDO的电源, 用于产生芯片核电压和Bank3电压;
	VCCO_0	Bank0电压;
	VCCO_1	Bank1 电压;
	VCCO_2	Bank2电压;
电源输出	VCCX	连接VCCX; 如果L1未焊接, 则需要向VCCX供电;
电源输出	VCC1V8	输出Bank3电压;
Jtag 连接	TCK, TMS, TDI, TDO;	
接地	GND;	
FPGA IO	Bank0 IO : 01,02,08, 09;	
	Bank1 IO : 48,47,46,45,44,43,42,41,40,39;	
	Bank2 IO : 35,34,33,32,31,30,29;	
	Bank3 IO : 13,14,20,23;	

3.4 时钟

3.4.1 概述

开发板为 FPGA 提供了 27MHz有源晶振，连接到了全局时钟引脚。

3.4.2 时钟电路图

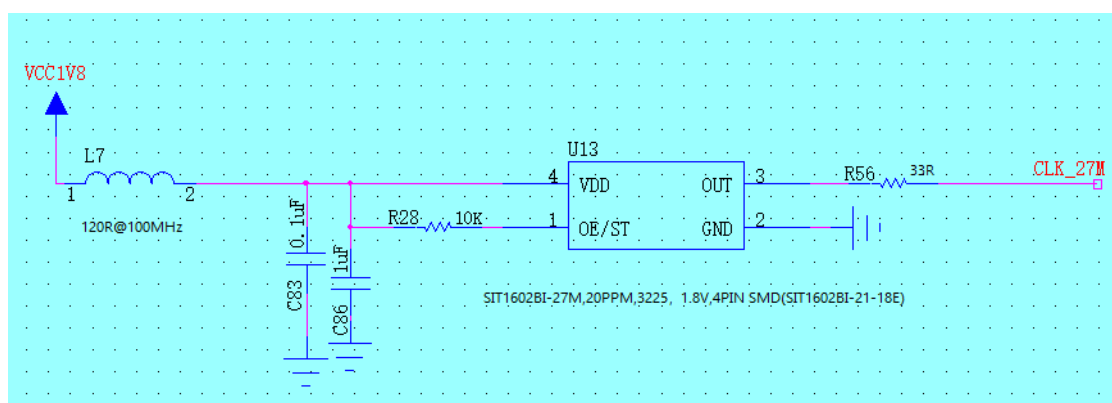


图 3-5 时钟连原理图

3.4.3 管脚分配

表 3-4 FPGA 时钟与复位管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
CLK_27MHZ_IN	22	3	27MHz 有源晶振输入	1.8V

3.5 LED

3.5.1 概述

开发板中有用户LED8个，可通过 LED 灯显示所需状态。可通过以下方式对 LED 灯进行测试：

- 当 FPGA 对应管脚输出信号为逻辑低电平时，LED 被点亮；
- 当输出信号为高电平时，LED 熄灭

3.5.2 LED 电路

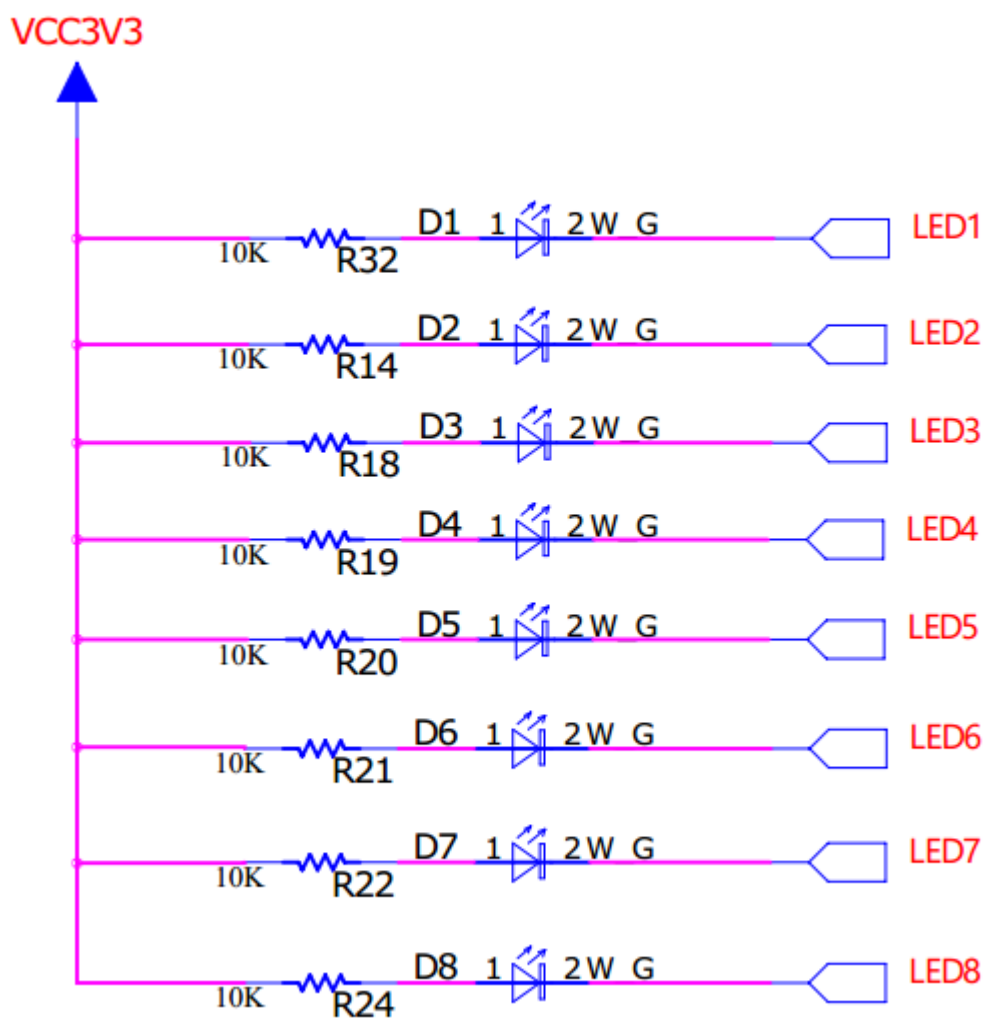


图 3-6 LED电路原理图

3.6 按键

3.6.1 概述

开发板有 4 个按键开关，用户可通过手动控制向对应 FPGA 管脚输入电平信号，可作为测试控制输入使用。（按下为低电平）

3.6.2 按键电路

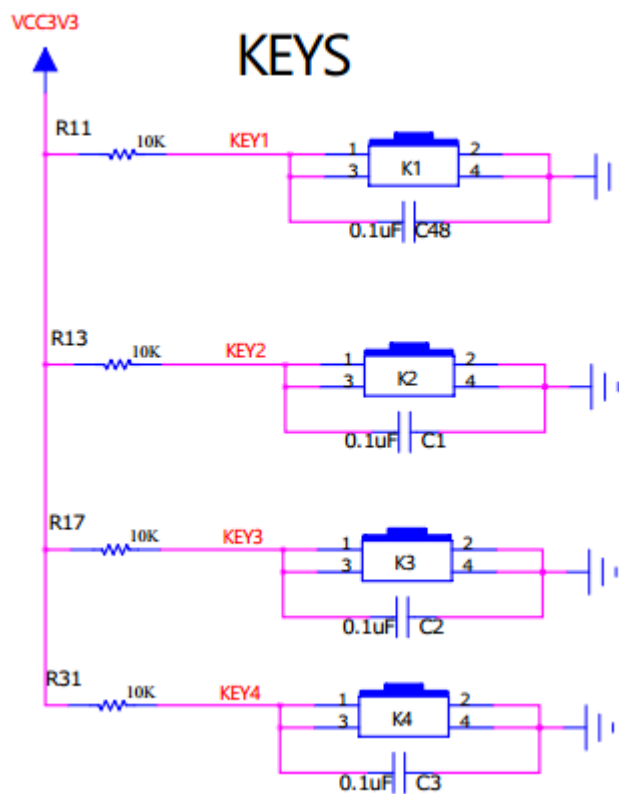


图 3-7 按键电路原理图

3.7 拨码开关

3.7.1 概述

开发板有 4个拨码开关。



3.7.2 拨码开关电路

SWITH

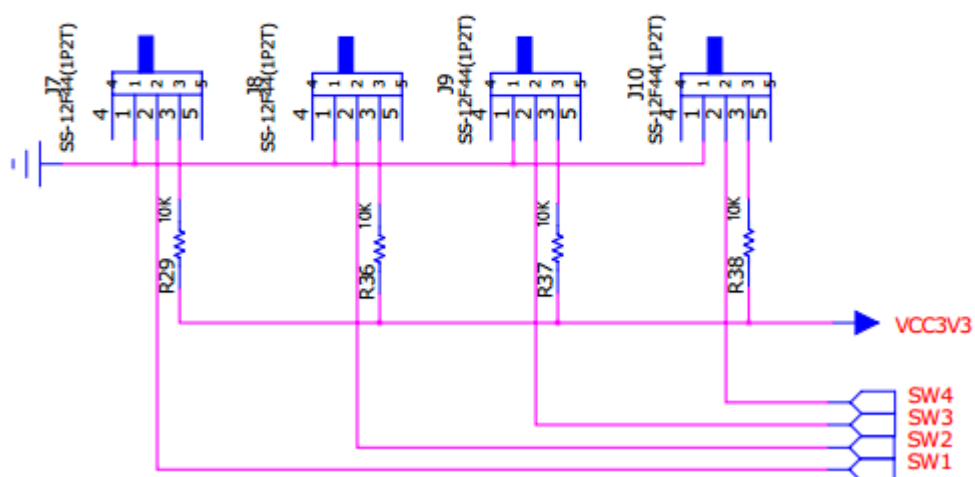


图 3-8 拨码开关电路原理图

3.8 三色LED灯

3.8.1 概述

开发板有 4个三色LED灯，用户可通过FPGA 管脚输出三个信号，控制三色灯状态的变化。

3.8.2 三色LED灯电路

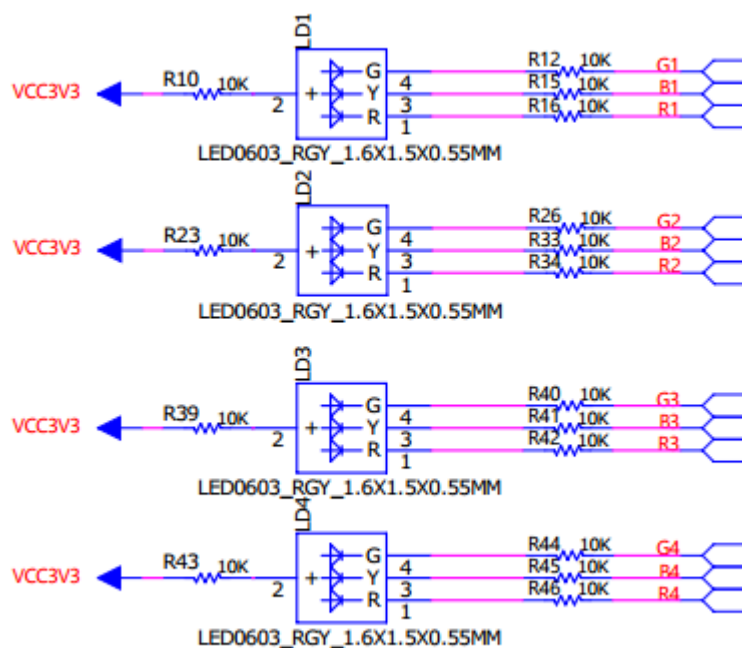


图 3-9 三色LED灯电路原理图

3.9 扩展IO

3.9.1 概述

板卡中间的两列排针为 FPGA 的扩展 IO，排针对应的丝印为 FPGA 管脚号以及电源和地。用户可通过扩展 IO 连接底板上的外设或其他外设。

3.9.2 扩展IO原理图

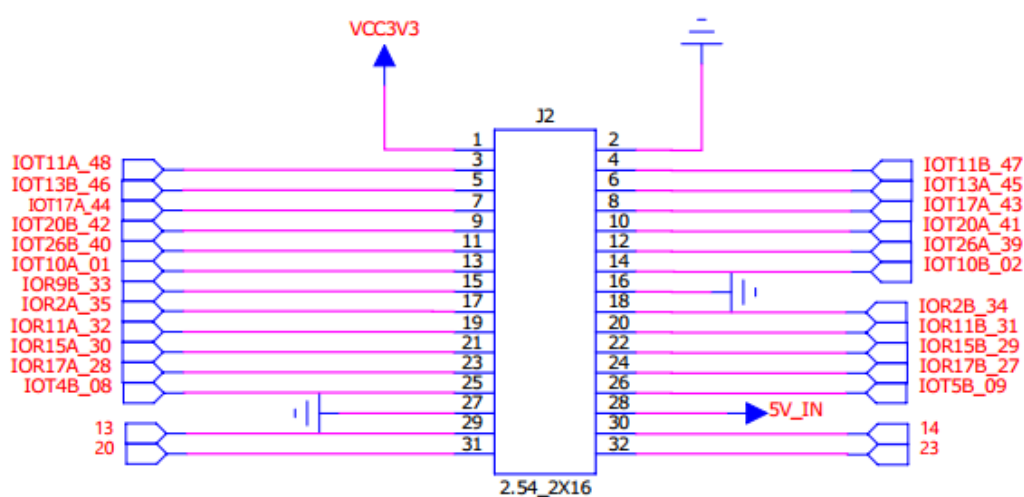


图 3-10 扩展原理图

3.10 64M SPI Flash

3.10.1 概述

开发板配有 64Mbit SPI flash，型号为 W25Q64DWSSIG。可通过 Jtag 接口将程序烧录到 Flash。

3.10.2 64M SPI Flash原理图

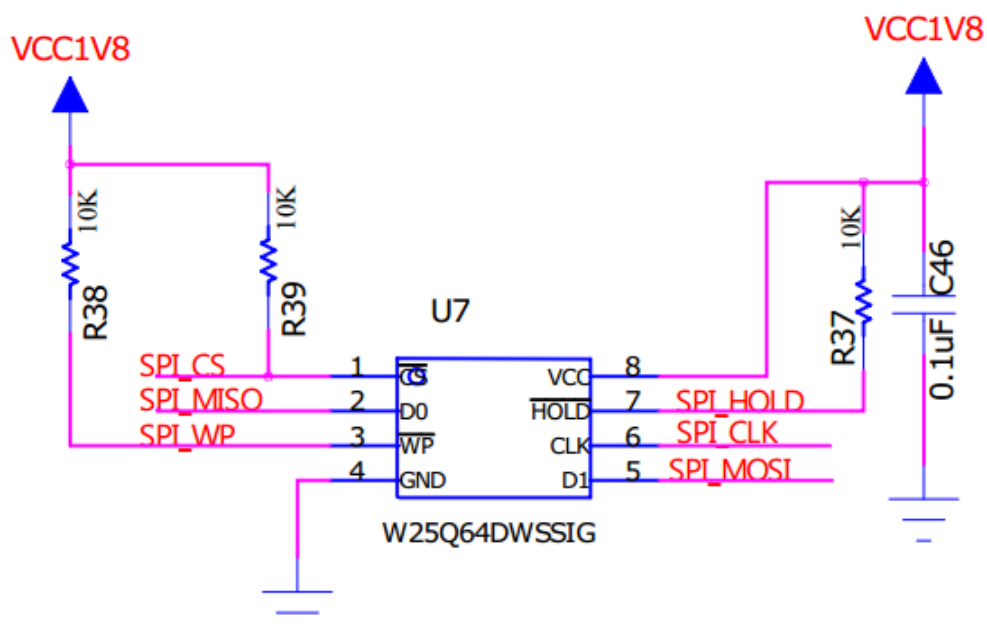


图 3-11 64M SPI Flash 原理图

3.10.2 64M SPI Flash管脚分配

表 3-5 SPI Flash管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
SPI_CS	17	3	SPI enable	1.8V
SPI_MISO	16	3	Master Input Slave Output	1.8V
SPI_WP	15	3	Write protect	1.8V
SPI_HOLD	18	3	Data retention	1.8V
SPI_CLK	19	3	SPI clock	1.8V
SPI_MOSI	21	3	Master Output Slave Input	1.8V

4、开发板使用

4.1 工程导入

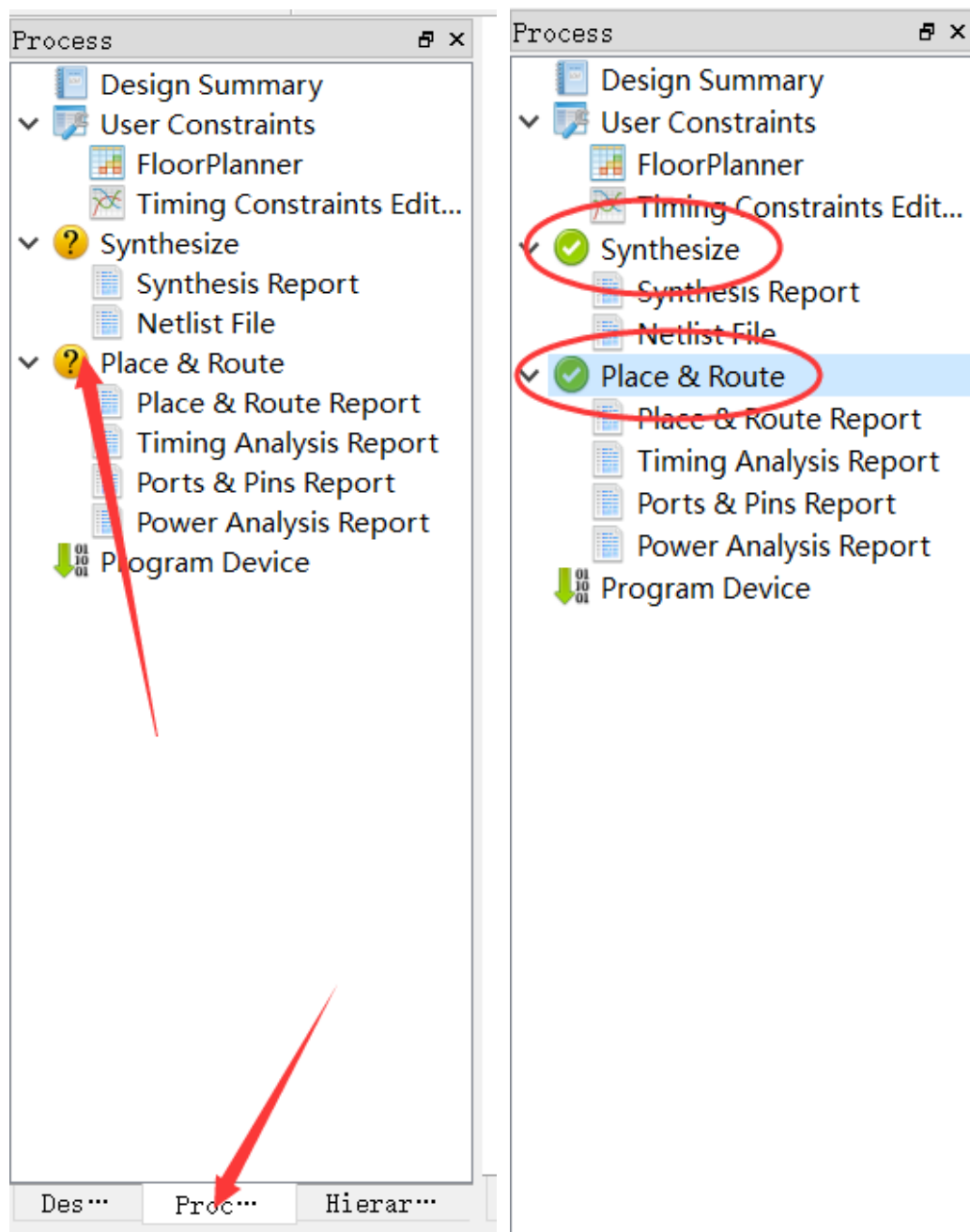
具体软件操作说明参见SUG100-1.7_Gowin云源软件用户指南

1. 直接点击.gprj文件
2. 进入开发软件后点击“文件”→“打开”选择.gprj文件导入

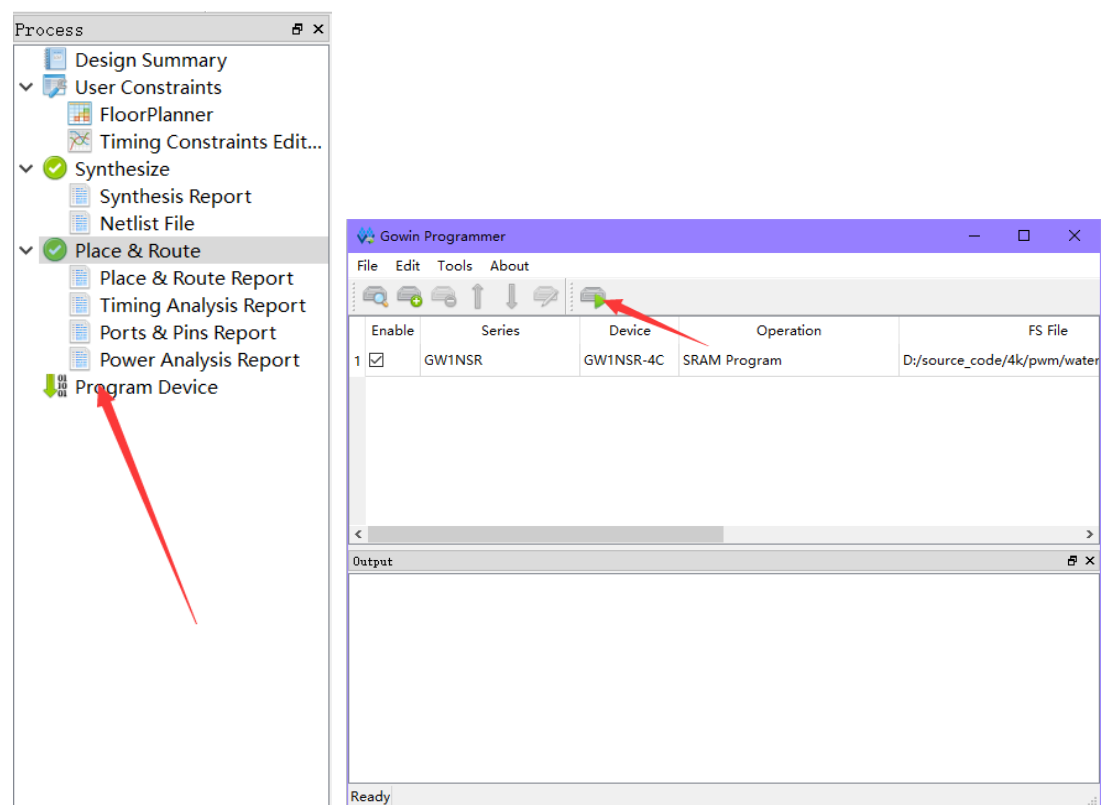


4.2 程序编译和下载

1.编写完程序之后保存点击Process 点击Place&Route编译，编译通过之后前面会出现绿勾



2.编译通过后双击Program Device弹出下载窗口，点击开始下载



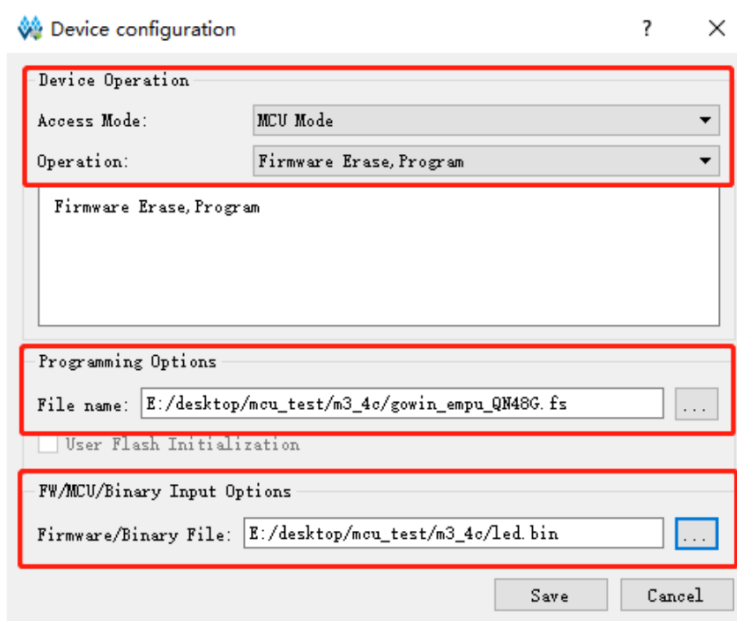
4.3 例程操作及现象说明

开发板套配套视频，将在Bilibili（网址：

<https://space.bilibili.com/507416742>）等网站及相关公众号发布欢迎关注。

4.4 硬件与软件下载

GW1NS-4C件内嵌 ARM Cortex-M3 硬核处理器，若要使用EMPU，需要在 Gowin 云源软件的 Programmer 下载软件下载Gowin_EMPU (GW1NS-4C)硬件设计码流文件和软件编程设计二进制BIN文件。在下载界面双击device下的器件，GW1NS-4C/GW1NSR-4C 下载选项配置如下图所示。

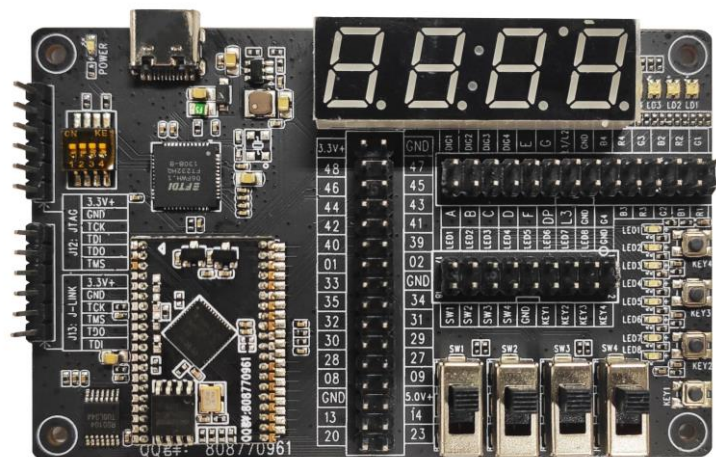


GW1NS-4C上EMPU的使用可参考Gowin官方的文档和参考设计：

http://www.gowinsemi.com.cn/prodshow_view.aspx?TypeId=71&Id=186&FId=t31:71:31#IP

文档
IPUG930 , Gowin_EMPU(GW1NS-4C)快速设计参考手册
IPUG931 , Gowin_EMPU(GW1NS-4C)软件编程参考手册
IPUG932 , Gowin_EMPU(GW1NS-4C)硬件设计参考手册
IPUG928 , Gowin_EMPU(GW1NS-4C)IDE 软件参考手册
IPUG929 , Gowin_EMPU(GW1NS-4C)串口调试参考手册
RN933 , Gowin_EMPU(GW1NS-4C)软件和硬件设计发布说明

4.5 开发板使用注意事项



1. 开发板使用时，注意轻拿轻放，并做好静电防护。
2. 使用USB接口烧录时需将底板左上角拨码开关拨到ON。
3. 对内部 Flash 或外部 Flash 下载 bitstream 文件时，需在gowin烧录界面做相应设置。
4. 连接模块时，必须先断电。