



MiPi设计基础

主讲人：Nill

课程的意义不在于课程结束后，你认为我说的都是对的，我们的最大动力是：通过这门课程的学习，你能证明，我是对的或者我是错的。

——深圳市我是你的眼有限公司——

专业的FPGA、无线通信方案商

微信公众号：MYMINIEYE

答疑邮箱：suport@myminieye.com

网址：www.myminieye.com

淘宝店铺：小眼睛半导体

关注&交流

- 微信公众号：



- 讨论群：



微信讨论群二维码



QQ讨论群二维码



课程目标：

- MiPi基础知识
- MiPi架构简介
- Gowin FPGA上MiPi的管脚分配
- MiPi PCB布局注意事项

目录

CONTENTS

1

MiPi基础知识

2

MiPi接口

3

Gowin FPGA中的MiPi接口



01

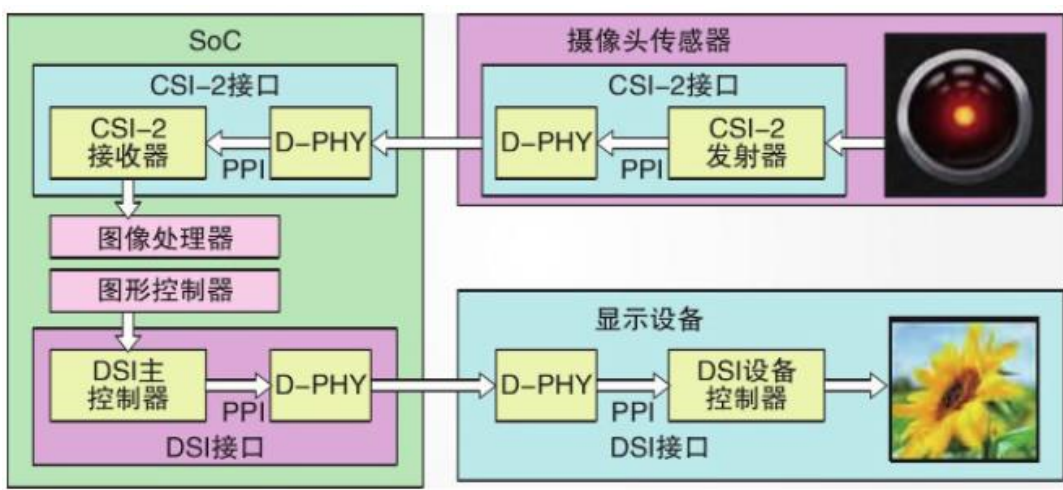
MiPi基础知识



MiPi起源

MIPI(Mobile Industry Processor Interface)是2003年由ARM, Nokia, ST ,TI等公司成立的一个联盟，目的是把手机内部的各种接口（摄像头、显示屏接口、射频/基带接口等）标准化，从而减少手机设计的复杂程度和增加设计灵活性。

MIPI是一个比较新的标准，其规范也在不断修改和改进，目前比较成熟的接口应用有DSI(显示接口)和CSI（摄像头接口）。CSI/DSI分别是指其承载的是针对Camera或Display应用，都有复杂的协议结构。





MiPi联盟显示规范标准

- **DCS** (**D**isplay **C**ommand **S**et)

用于显示模块命令模式下的标准化命令集；

- **DBI, DPI** (**D**isplay **B**us Interface, **D**isplay **P**ixel Interface)

DBI：与具有显示控制器和帧缓冲器的显示模块的并行接口。

DPI：与显示模块的并行接口，不带显示控制器或帧缓冲器。

- **DSI, CSI** (**D**isplay **S**erial Interface, **C**amera **S**erial Interface)

DSI：主机处理器与显示模块之间的高速串行接口；

CSI：主机处理器与摄像头模块之间的高速串行接口；

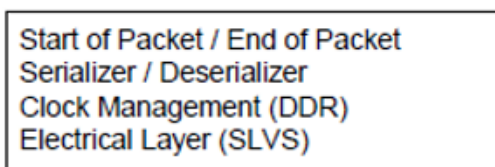
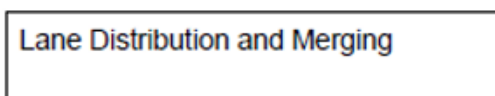
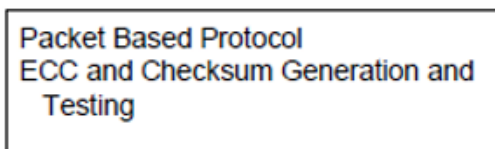
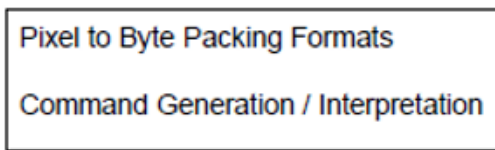
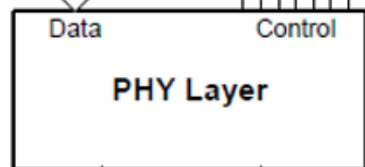
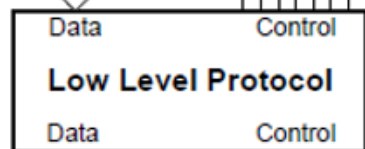
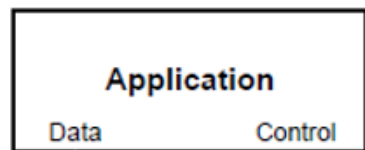
- **D-PHY**

为DSI和CSI提供物理层通路定义；

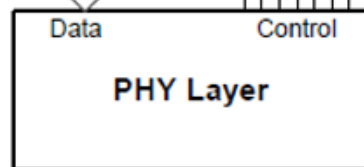
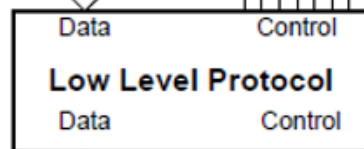
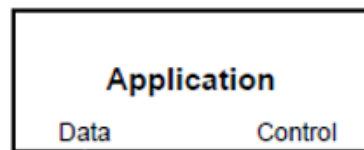


DSI分层

Application Processor



Peripheral



DCS spec

DSI spec

D-PHY spec

High Speed Unidirectional Clock

Lane 0 – High Speed Data (optionally Bidirectional in LP Mode)

Lane N – High Speed Unidirectional Data

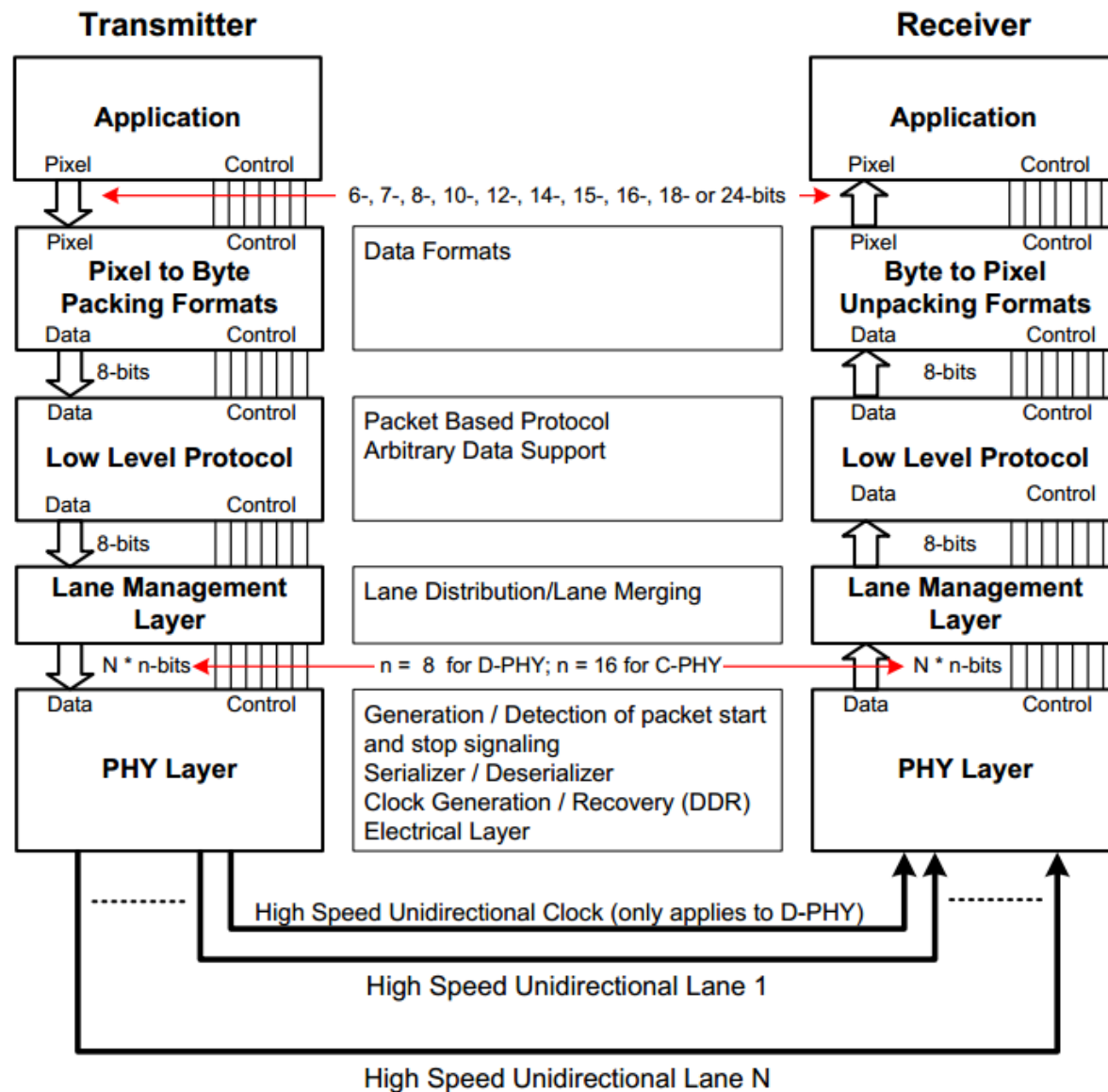


Figure 3 CSI-2 Layer Definitions



02

MiPi D-PHY



D-PHY 接口信号

- Data-in, data-out, clk, control
- 控制信号包括：请求，初始化，测试设置，握手

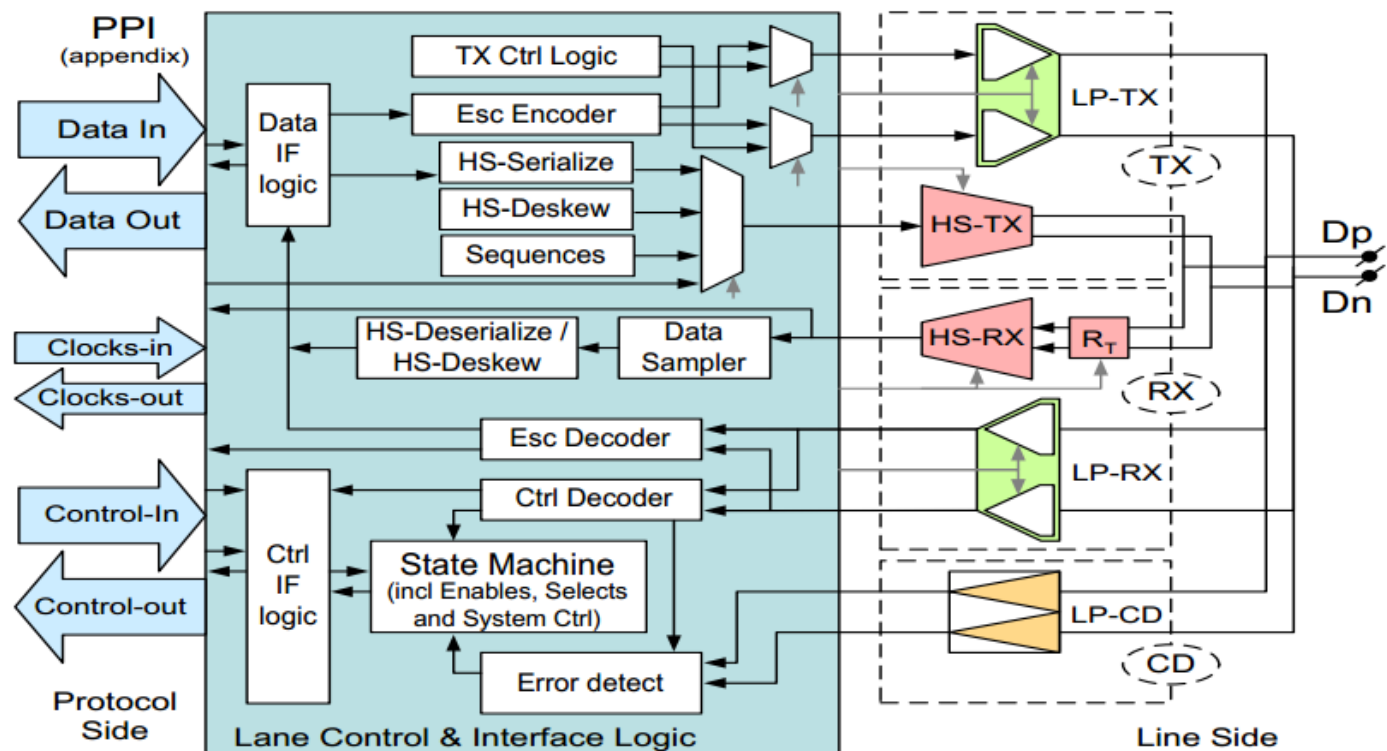


Figure 4 Universal Lane Module Architecture



D-PHY 配置

D-PHY需要一条时钟通道和一条或多条数据通道。所有数据通道需要支持高速数据传输和正向的Escape模式。

数据通道的两种类型：

1、双向；2、单向

注：双向数据通道应包含以下功能：（1）HS模式下数据的反向传输；（2）LP模式下反向的Escape模式；

配置可选项：

- 1、一条或多条数据通道；*
- 2、每个通道上双向或单向的数据通道；*
- 3、每个通道支持的反向通信种类；*
- 4、每个通道的每个方向上Escape模式的功能；*
- 5、数据编码方式；raw或者8b9b编码；*



D-PHY 链路状态/电平标准

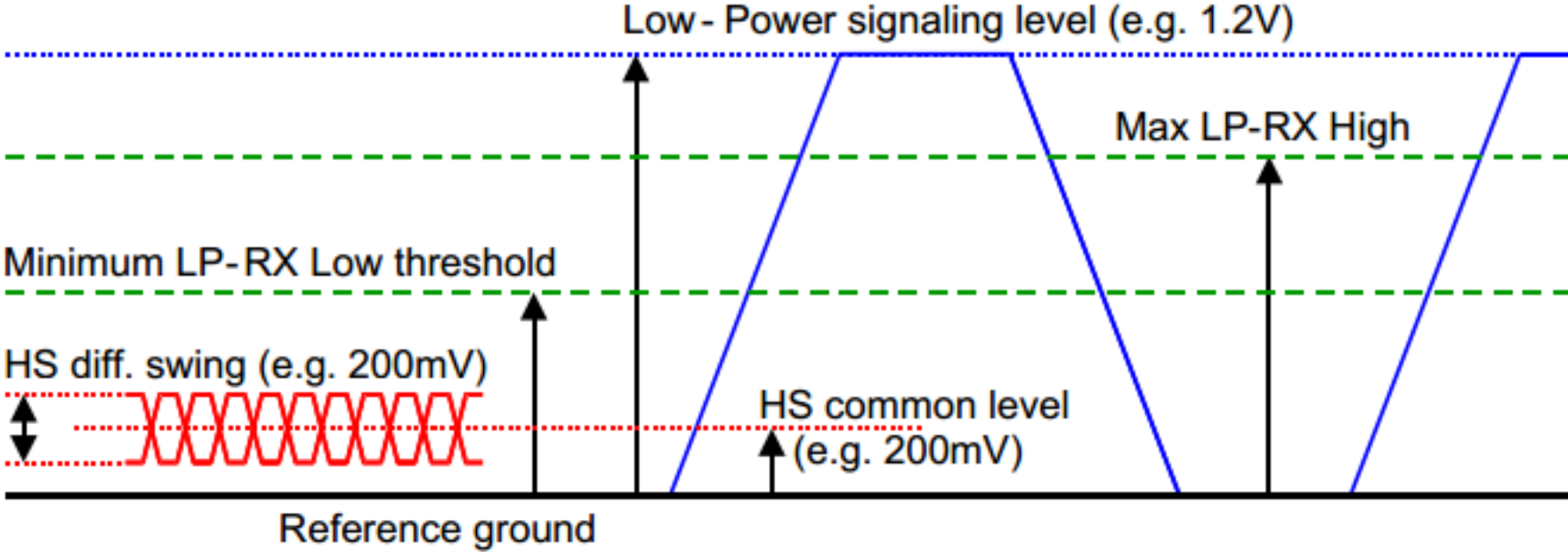


Figure 13 Line Levels



D-PHY 工作模式

数据通道:

HS-TX (burst) : 进入: LP-11, LP-01, LP-00, SoT (00011101) ; 退出: EoT, LP11

Escape: 进入: LP-11, LP-10, LP-00, LP-01, LP-00; 退出: LP10, LP11

注: 进入escape模式后需发送指令指示相应的操作;

Turnaround (control) : 进入: LP-11, LP-10, LP-00, LP-10, LP-00; 退出: LP00, LP10, LP11

Table 2 Lane State Descriptions

State Code	Line Voltage Levels		High-Speed	Low-Power	
	Dp-Line	Dn-Line	Burst Mode	Control Mode	Escape Mode
HS-0	HS Low	HS High	Differential-0	N/A, Note 1	N/A, Note 1
HS-1	HS High	HS Low	Differential-1	N/A, Note 1	N/A, Note 1
LP-00	LP Low	LP Low	N/A	Bridge	Space
LP-01	LP Low	LP High	N/A	HS-Rqst	Mark-0
LP-10	LP High	LP Low	N/A	LP-Rqst	Mark-1
LP-11	LP High	LP High	N/A	Stop	N/A, Note 2

Note:

- 1. During High-Speed transmission the Low-Power Receivers observe LP-00 on the Lines.
- 2. If LP-11 occurs during Escape mode the Lane returns to Stop state (Control Mode LP-11).



HS-TX

每条数据通道可以独立开始和结束数据传输，大多数的应用中各条数据通道一般同步开始，但是由于每条通道上传输的字节数不同，各条通道的结束时间也不一致。

HS-TX (burst)：进入：LP-11, LP-01, LP-00, SoT (00011101)；退出：EoT, LP11

Start transmission：保持HS-0 Ths-zero，插入同步序列00011101 （10111000 = 0xB8）

End transmission：翻转HS 差分状态，维持Ths-trail

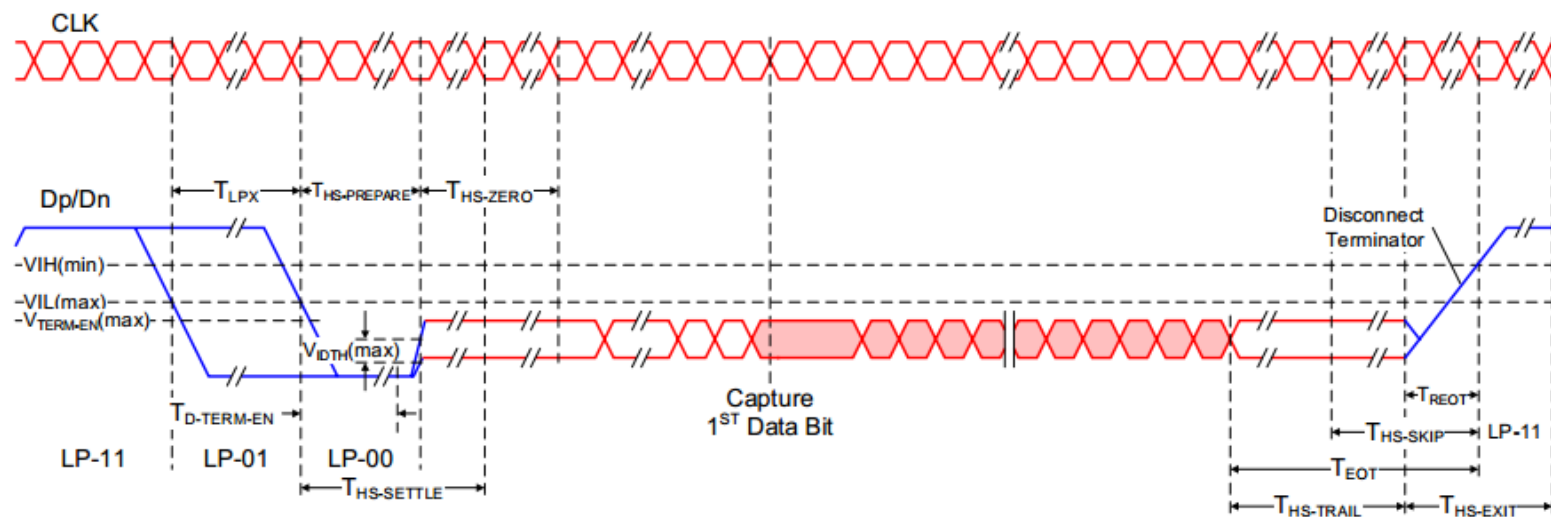
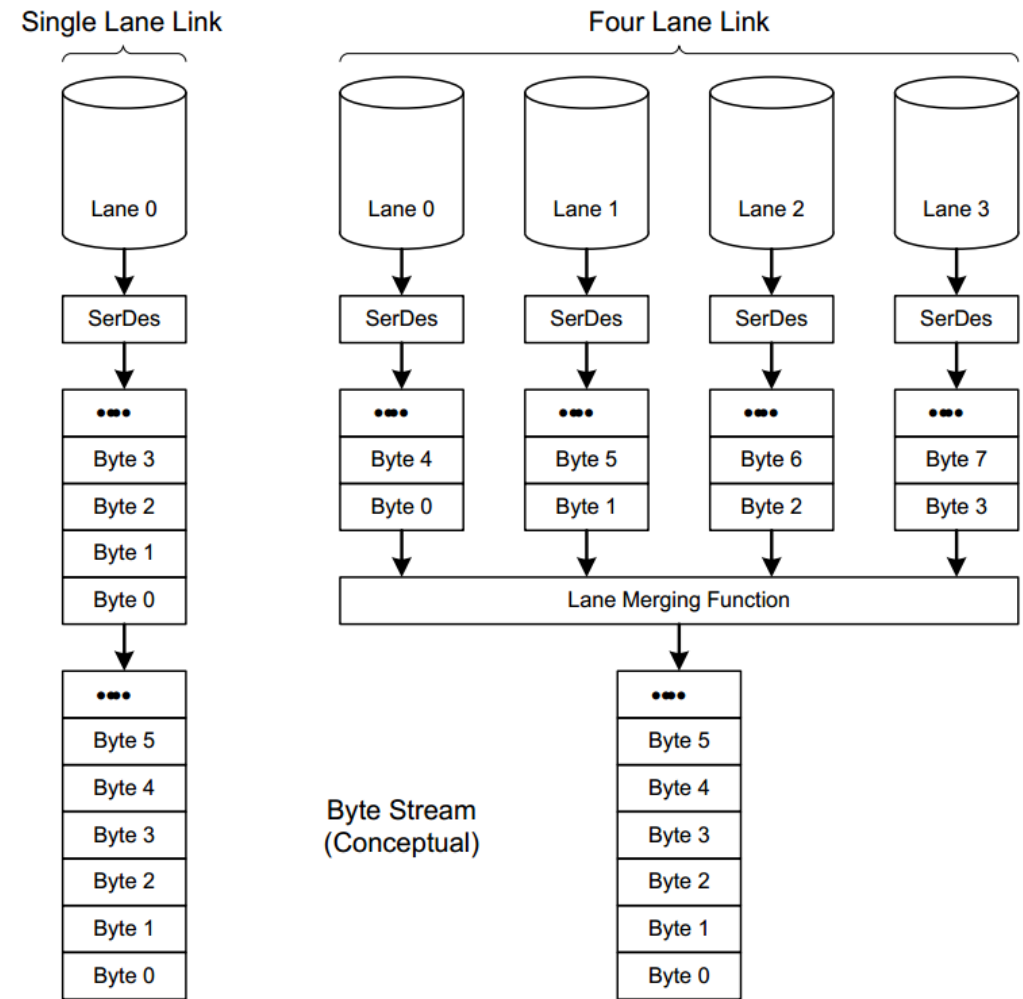
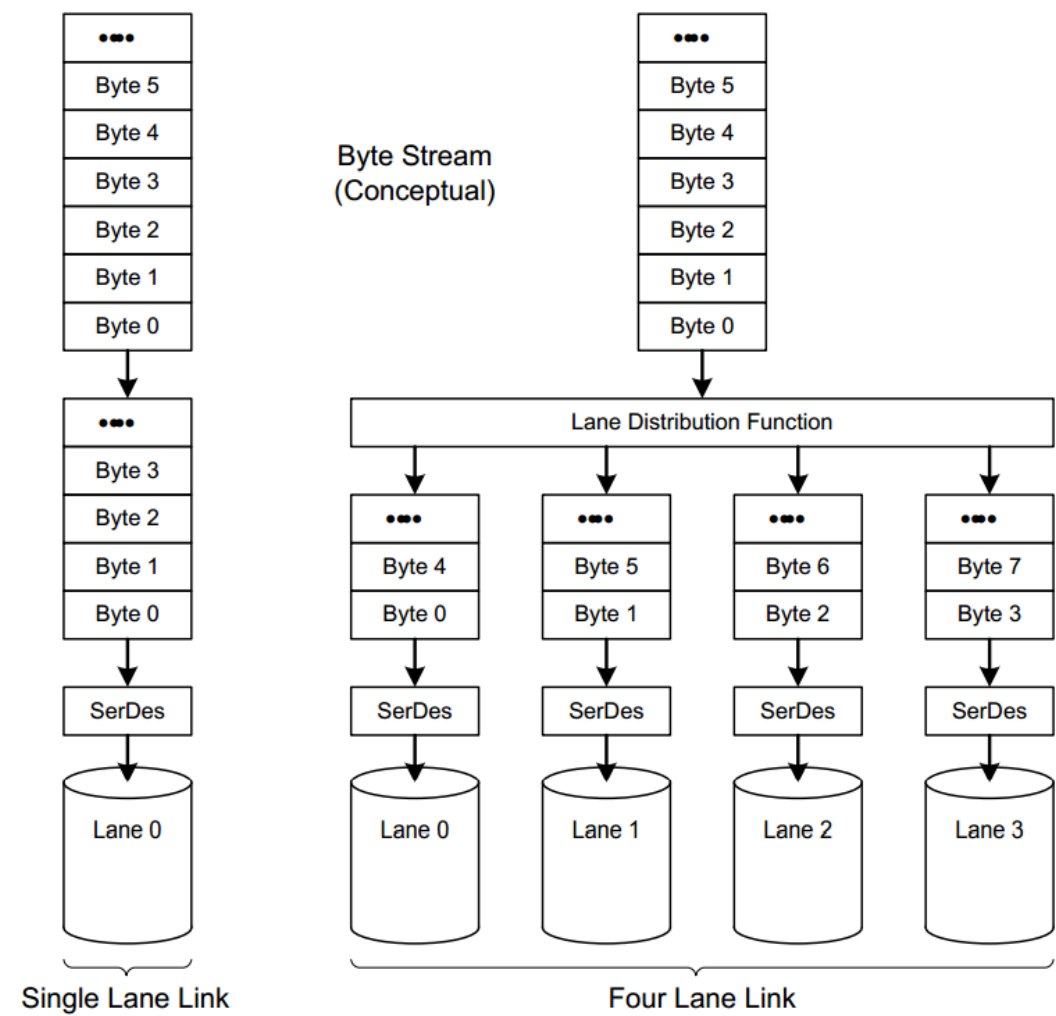


Figure 14 High-Speed Data Transmission in Bursts



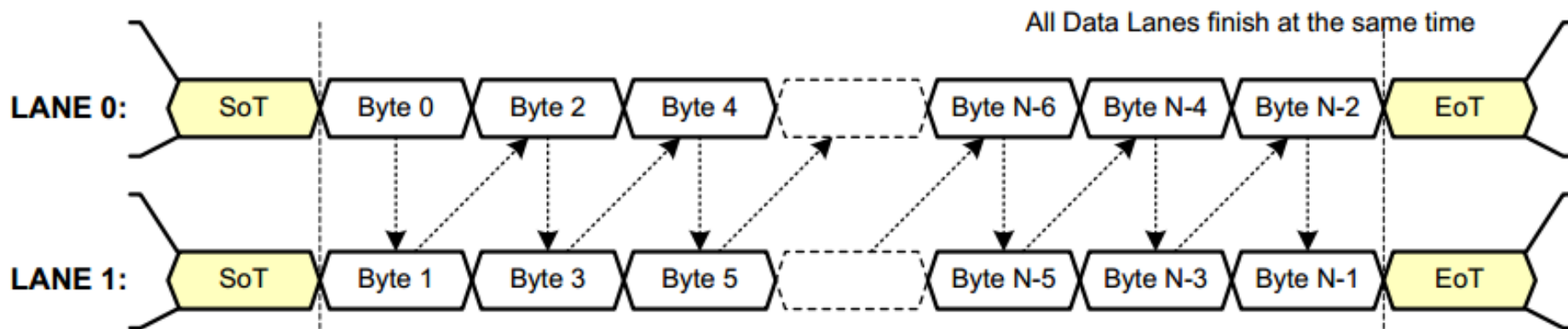
MiPi多通道分配及合并



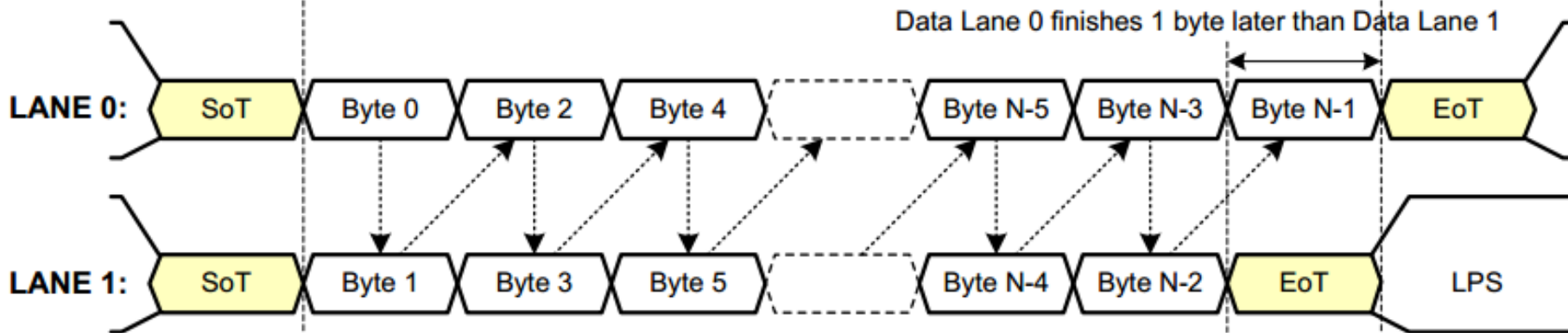


字节数与通道数不匹配

Number of Bytes, N, transmitted is an integer multiple of the number of lanes:



Number of Bytes, N, transmitted is NOT an integer multiple of the number of lanes:



KEY:

LPS – Low Power State

SoT – Start of Transmission

EoT – End of Transmission

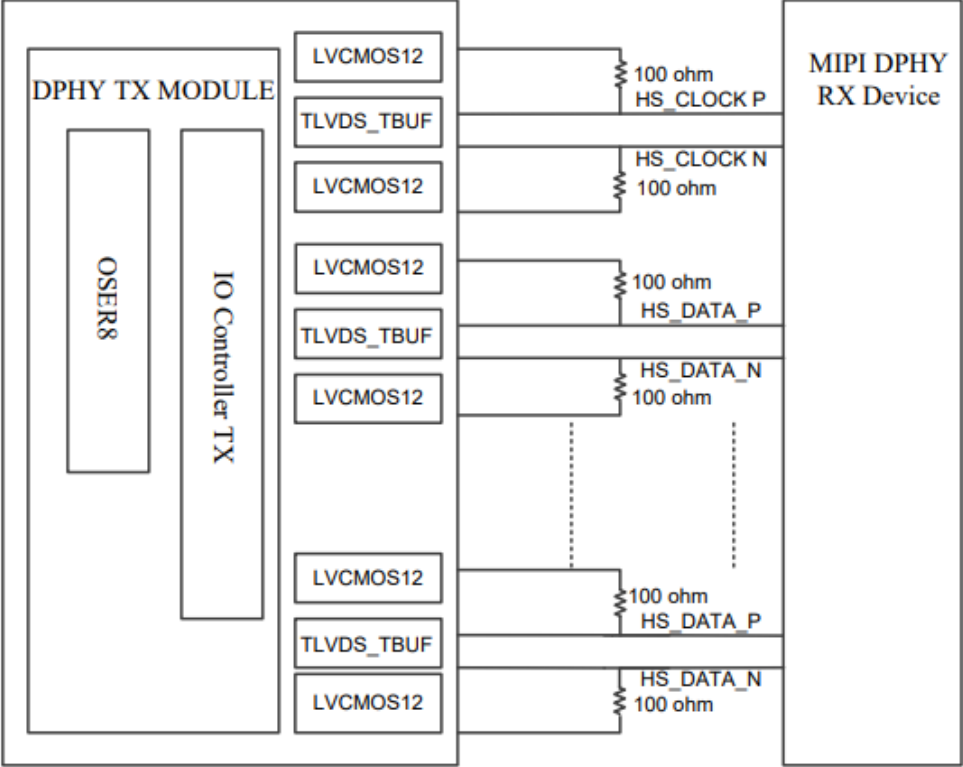
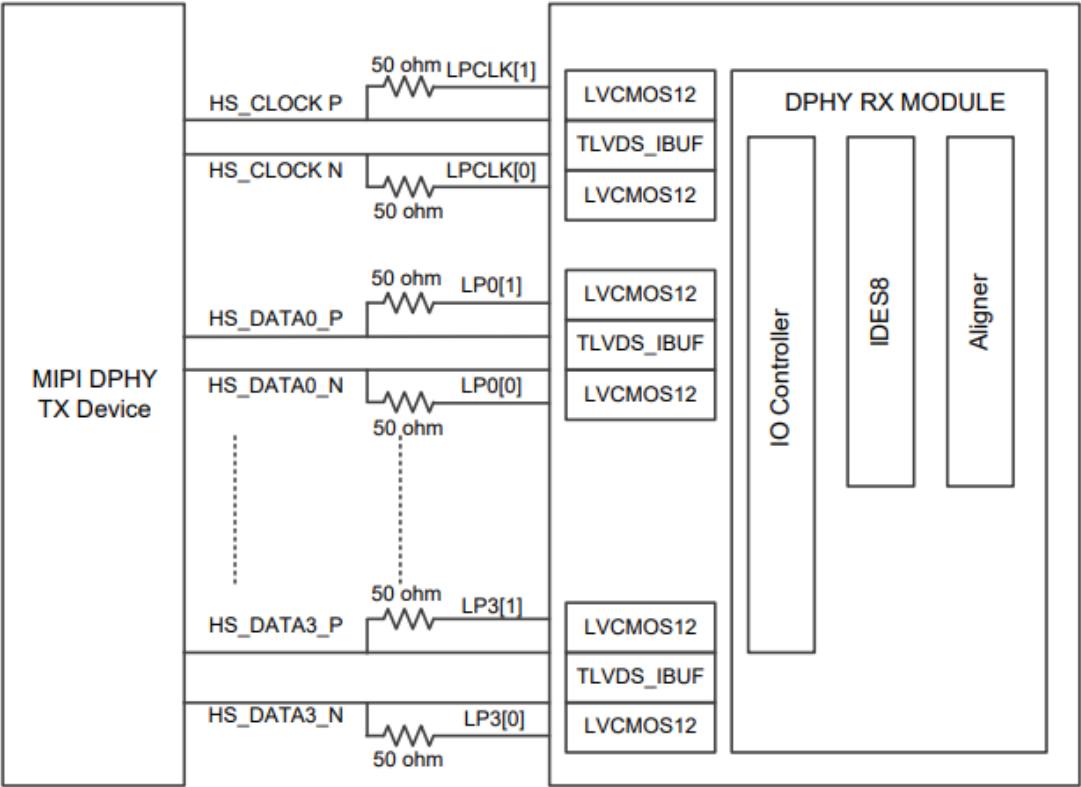


03

Gowin FPGA中的MiPi接口

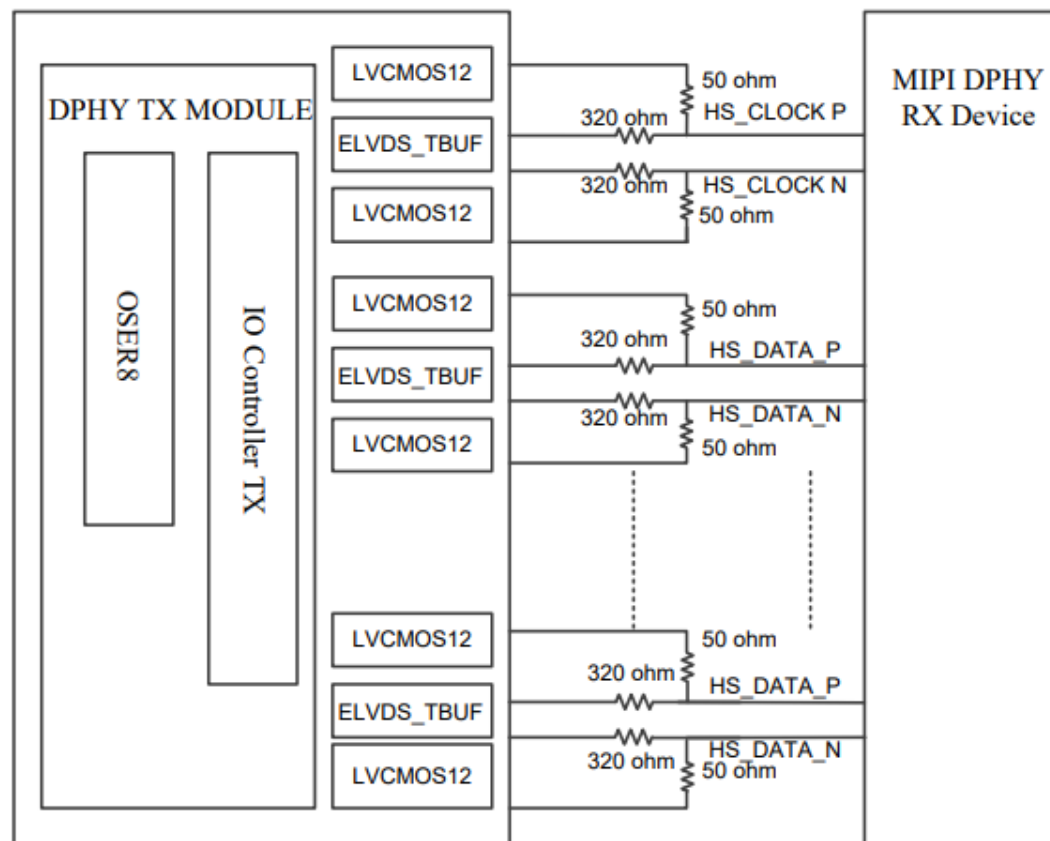


D-PHY IP简介





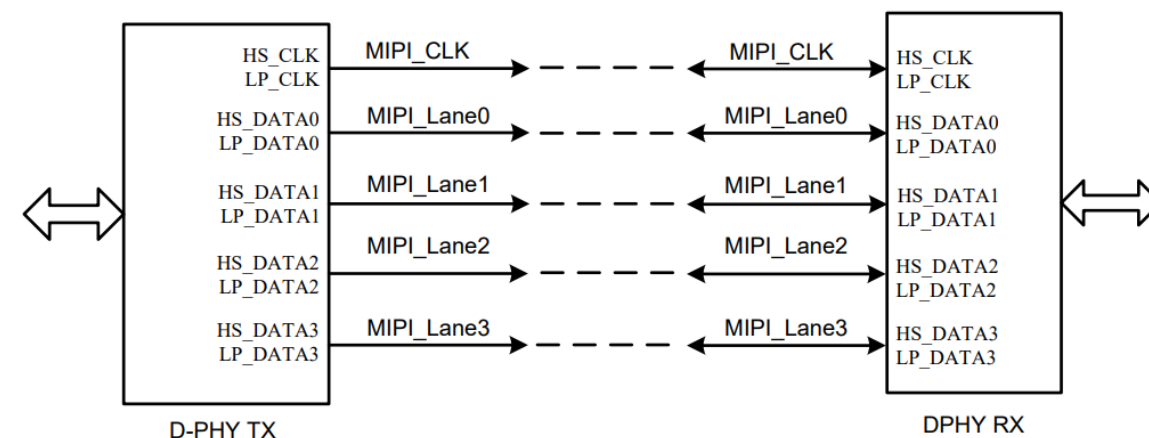
I/O分配



注!

仅在 GW1N-9K 和 GW1NR-9K 中支持。

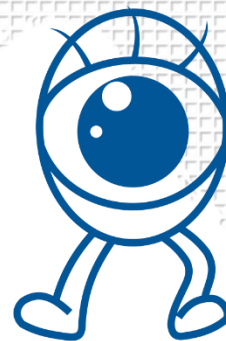
图 4-4 MIPI IO 模式下 MIPI IP 端口示意图





PCB布局布线注意事项

- 1、链路上的电阻网络靠近FPGA放置；
- 2、MiPi接收需要在HS的差分对上并联一个100欧姆的匹配电阻，就近放置在FPGA管脚旁；
- 3、MiPi接收时为了维持信号质量可在输入端口上并联电感；



MYMINIEYE
Look to the future together

——深圳市我是你的眼有限公司——
专业的FPGA、无线通信方案商

MYMINIEYE

