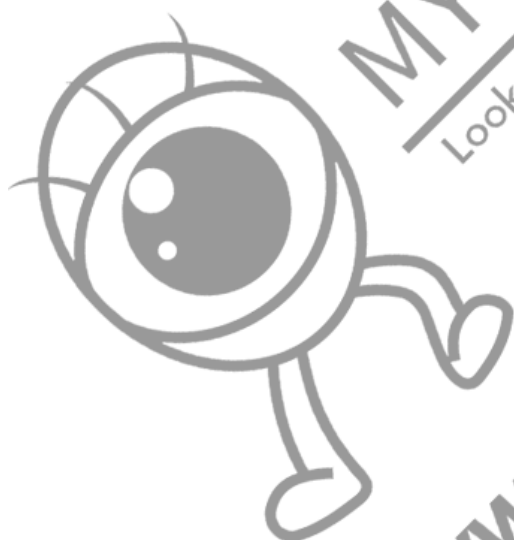


RUNBER 开发环境搭建

指导手册



MYMINIEYE
Look to the future together

www.myminieye.com

版本信息：

修改时间	修改版本	修改原因
2020.05.14	V1.0	创建手册

Myminieye 微信公众号二维码如下图，欢迎扫码关注，我们将会不定期的发送一些 FPGA 相关的技术推文或者半导体行业时讯的推文：



MYMINIEYE

微信扫描二维码，关注我的公众号



目录

1	GOWIN 云源软件安装	4
1.1	GOWIN 云源软件简介	4
1.2	芯片支持	4
1.3	下载与安装	4
1.4	LICENSE 获取	7
1.5	软件注册及 LICENSE 加载	10
1.6	环境变量修改	10
2	MODELSIM 仿真软件安装	12
2.1	MODELSIM 简介	12
2.2	下载及安装	12
2.2.1	下载	12
2.2.2	安装	12
2.3	注册及 LICENSE 加载	16
2.4	环境变量修改	20
3	开发板简介及测试	22
3.1	RUNBER 开发板简介	22
3.2	RUNBER 开发板测试	23
4	GOWIN 云源软件的使用	24
4.1	GOWIN 用户界面	24
4.1.1	菜单栏	24
4.1.2	快速开始	25
4.1.3	工具区	25
4.1.4	User Manuals 用户手册	26
4.2	新建工程	26
4.3	打开工程	30
4.4	新建设计源文件	31
4.5	添加设计源文件	33
4.6	修改设计源文件	34
4.7	编译综合	37
4.8	新建约束文件	39
4.9	添加约束文件	44
4.10	布局布线综合	44
4.11	烧录	45
5	MODELSIM 的使用	49
5.1	概述	49
5.2	新建工作库 LIBRARY	50
1、新建库		50
1) 点击 File>New>Library		50
2、库的其他功能		50
5.3	新建工程 PROJECT	50
5.4	添加仿真源文件	51
5.5	仿真源文件编译	52
5.6	仿真运行	54

1 GOWIN 云源软件安装

1.1 GOWIN 云源软件简介

Gowin 云源软件是高云半导体根据自有产品特性自主研发的新一代 FPGA 硬件开发环境，支持通用的硬件描述语言，帮助用户迅速实现 FPGA 开发过程中的代码综合、布局布线和比特流文件生成下载等工作，此外，Gowin 云源软件集成了 IP 核生成器，帮助用户快捷地实现复杂设计；集成了在线 debug 工具在线逻辑分析仪 GAO（Gowin Analysis Oscilloscope），便于用户快速定位分析设计信号问题。为了满足用户的不同需求，Gowin 云源软件创建的工程中，输入文件既可以是用户使用硬件描述语言编写的 RTL 级设计文件，也可以是用户 RTL 设计经过综合后产生的网表文件。Gowin 云源软件提供工程的图形化设置界面，可快速地编辑约束文件、查看 Synthesize 及 Place&Route 的运行结果，并能快速启动高云半导体 FPGA 下载工具将比特流文件下载到芯片，实现用户设计所需的功能。Gowin 云源软件界面图如图 2-1 所示。

1.2 芯片支持



1.3 下载与安装

1) 通过高云官网免费下载

登陆：<http://www.gowinsemi.com.cn>

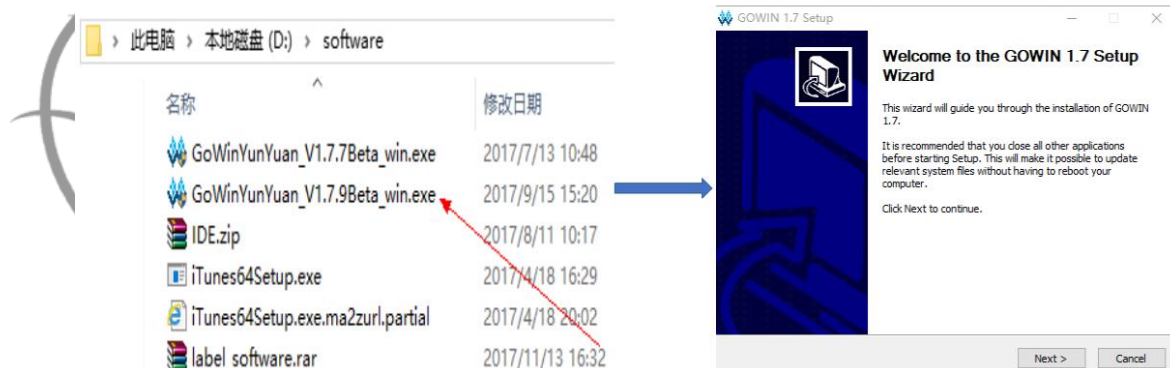
选择：开发者专区/高云云源软件

选择最新的软件版本如 (1.95Beat)，点击下载

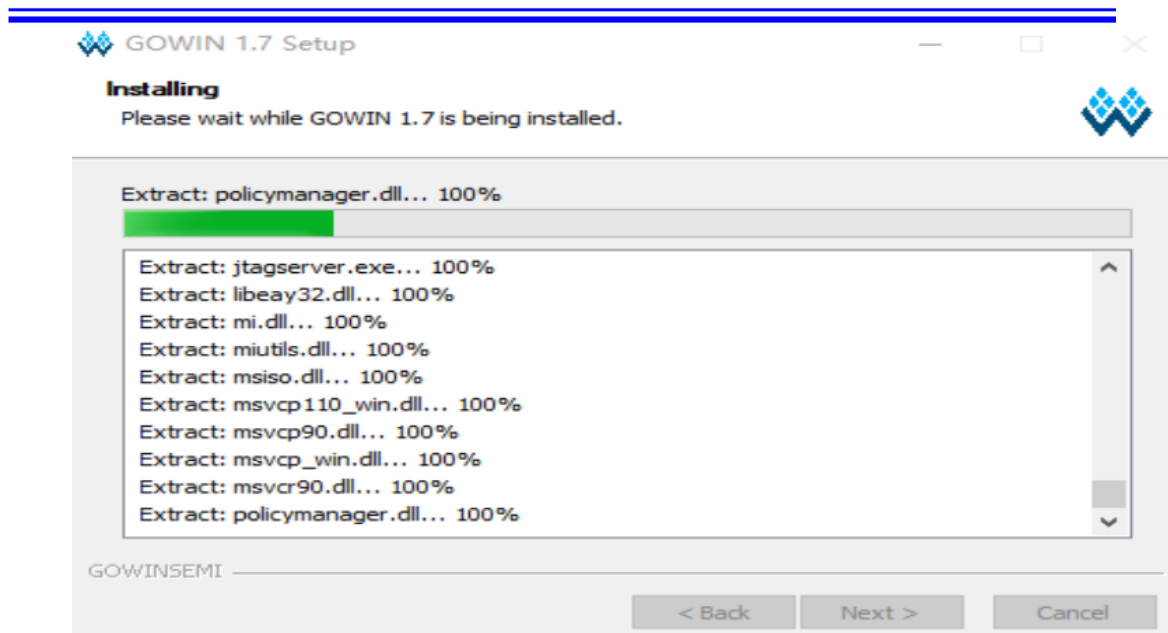
选择自己所需要的版本下载完成后根据提示进行安装



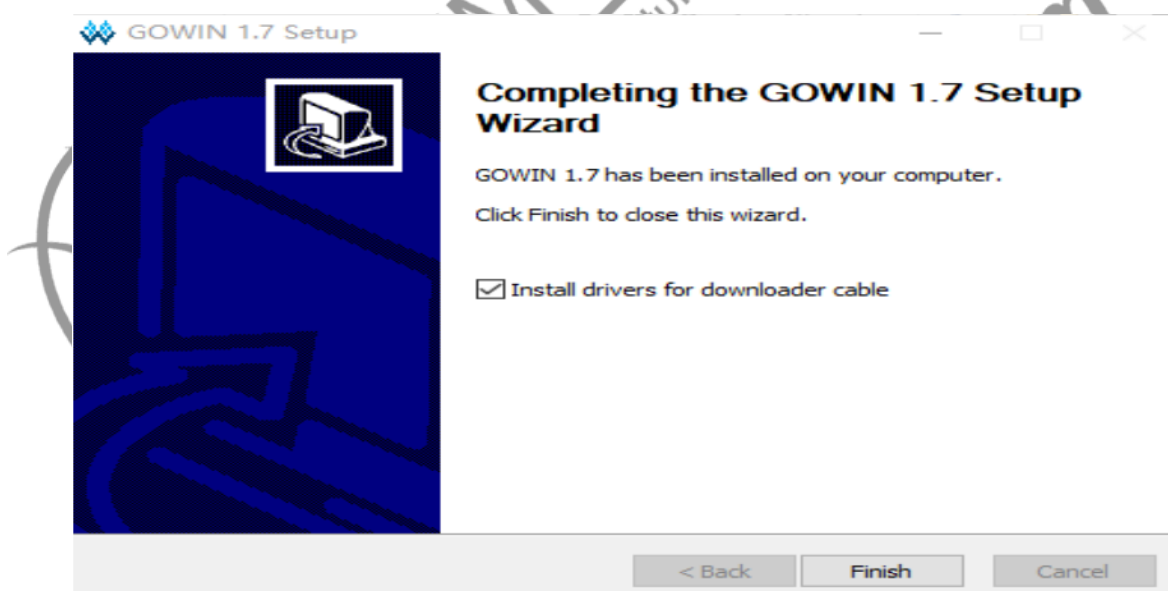
2)云源软件下载完毕后,点击.exe 文件, 准备安装



3)不断点击 Next 或 I Agree



4) 最后弹出界面如下(Install drivers 务必勾选)

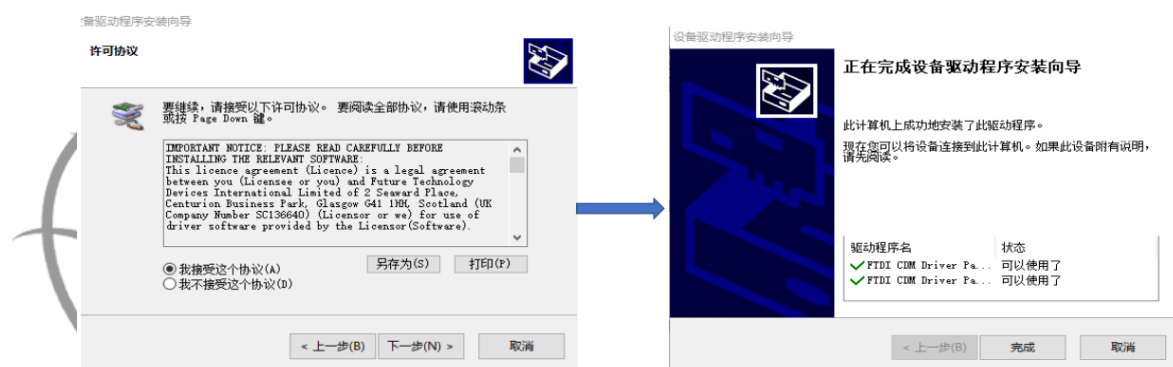


5) 上图中点击 finish 后，弹出设备驱动安装向导，点击下一步

设备驱动程序安装向导



6)安装设备驱动，最后点击完成，软件安装完毕。



温馨小提示：软件安装注意事项


- 1)windows 支持 win7/win8/win10 (64bit)，请确认安装的电脑为 64bit
- 2)安装高云云源软件之前，请关闭 360 或金山毒霸等杀毒软件
- 3)软件安装路径不支持含有中文或空格的文件路径
- 4)在安装过程中，若因电脑防火墙或安全控制弹出“阻止窗口”，请选择“允许控制”或“允许访问”等

1.4 License 获取

登陆高云官网后，选择：开发者专区/高云云源软件/License 申请

点击立即申请

填写相关信息，最后点击提交

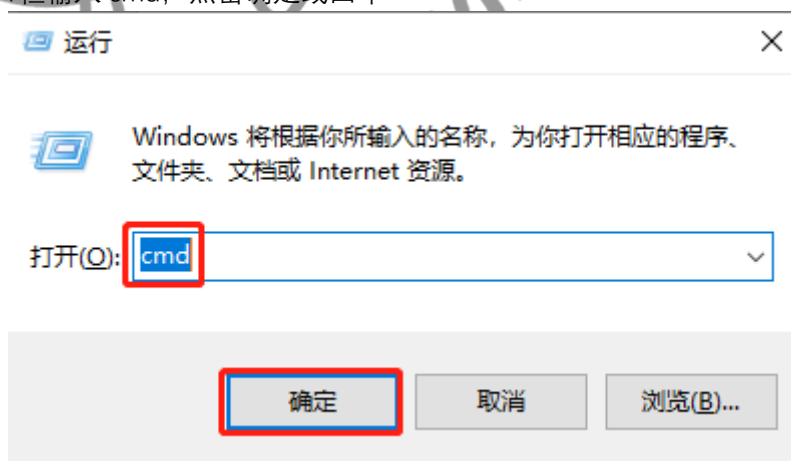
A screenshot of the "申请License" (Apply for License) form. The form contains several input fields: "公司名称:" (Company Name), "公司网站:" (Company Website), "部门:" (Department), "联系人姓名:" (Contact Name), "联系人电话:" (Contact Phone), "联系人邮箱:" (Contact Email), and "计算机MAC地址:" (Computer MAC Address). Below these fields, there are radio buttons for "license类型:" (License Type) with options "共享型" (Shared) and "仅本机" (Only this machine), and "操作系统类型:" (Operating System Type) with options "Windows" and "Linux". At the bottom, there is a section for "代理商推荐:" (Agent Recommendation) with checkboxes for "群策电子", "致远达科技", "算科电子", "欣华隆科技", "北高智科技", and "晶立达科技". A blue "提交" (Submit) button is located at the bottom right.

注意：license 申请需提供联系人姓名、联系人电话、联系人邮箱、以及电脑 MAC 地址(否则会导致 license 申请失败)，客户在官网提出申请后，2 个工作日内 license 会邮件发给客户。

电脑 MAC 地址查询方法：

第一步，按下 window 徽标键+R

第二步，在窗口栏输入 cmd，点击确定或回车



第三步，输入 ipconfig/all，并回车


```
C:\WINDOWS\system32\cmd.exe
Microsoft Windows [版本 10.0.18363.778]
(c) 2019 Microsoft Corporation. 保留所有权利。

C:\Users\myminieye>ipconfig/all
```

```
选择C:\WINDOWS\system32\cmd.exe

以太网适配器 以太网:

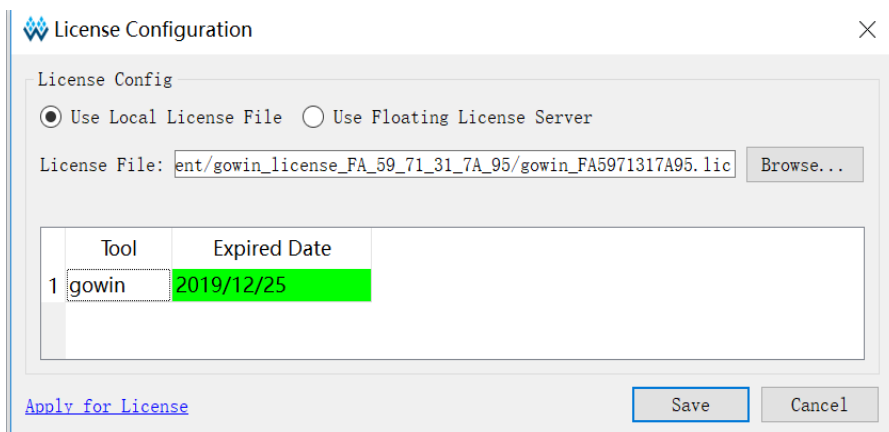
    连接特定的 DNS 后缀 . . . . . : flysky.com
    描述. . . . . : Realtek PCIe GBE Family Controller
    物理地址. . . . . : 34-97-F6-8D-3C-89
    DHCP 已启用 . . . . . : 是
    自动配置已启用. . . . . : 是
    本地链接 IPv6 地址. . . . . : fe80::300e:fe91:73db:8f09%8(首选)
    IPv4 地址 . . . . . : 192.168.2.69(首选)
    子网掩码 . . . . . : 255.255.255.0
    获得租约的时间 . . . . . : 2020年5月7日 9:17:51
    租约过期的时间 . . . . . : 2020年5月15日 9:17:41
    默认网关. . . . . : fe80::c2ea:e4ff:fe44:1c84%8
    . . . . . : 192.168.2.3
    DHCP 服务器 . . . . . : 192.168.2.2
    DHCPv6 IAID . . . . . : 70555638
    DHCPv6 客户端 DUID . . . . . : 00-01-00-01-26-03-70-63-34-97-F6-8D-3C-89
    DNS 服务器 . . . . . : 192.168.2.9
```

如果是笔记本的话，记得选择本地连接的网卡地址

1.5 软件注册及 license 加载

解压下载文件，并按照步骤进行安装

完成安装后，打开软件界面，选择 Help/Manage License，弹出窗口，选择 Use Local License File,点击 browse，选择之前已经申请到的云源软件 license。界面示例如下：



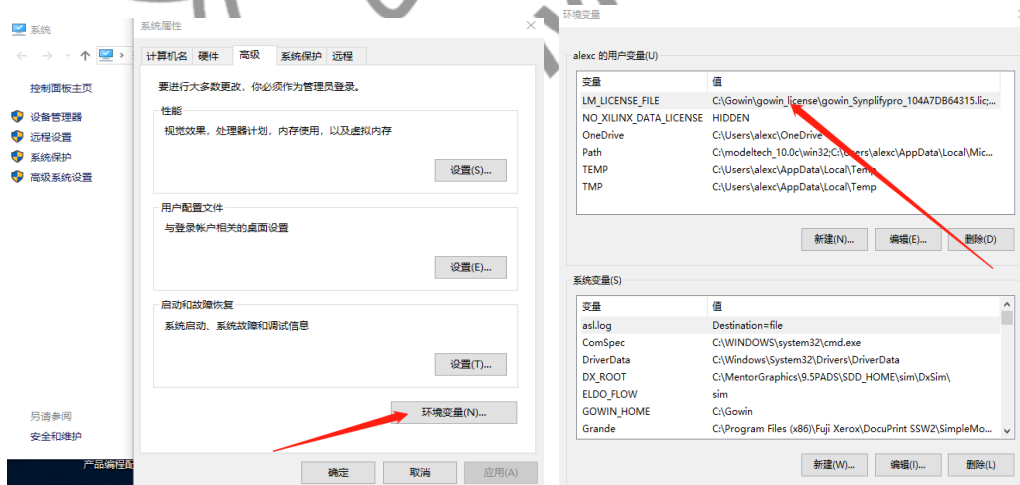
温馨提示：申请到的 license 有 2 个，其中文件名中含有“synplifypro”字符的为 synplify 软件 license，另一个为高云云源软件 license，license 目前有效期是 1 年，1 年后客户可再次免费申请。

1.6 环境变量修改

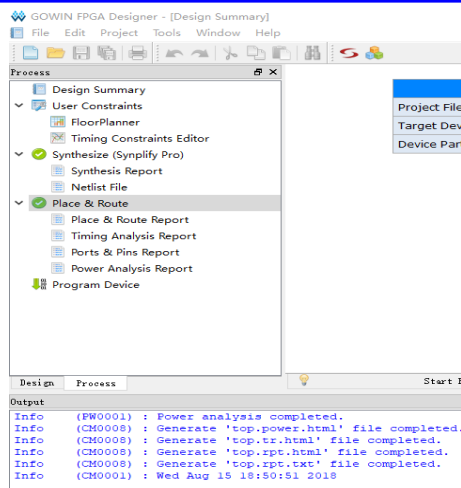
选择：我的电脑/属性/高级系统设置/高级/环境变量

用户变量中新建变量名：LM_LICENSE_FILE

变量值为 synplify 的 license(注意保证路径的正确性)



当 2 个 license 都导入后，高云云源软件即可正常使用了。如图所示：软件运行正常



软件安装失败故障排查

- 1)客户电脑非 64bit 系统
- 2)客户在安装过程中有防火墙或其它安全设置阻止
- 3)客户在安装过程中没有关闭杀毒软件
- 4)安装目录有中文或空格字符
- 5)客户环境变量设置错误
- 6)客户因 RTL 综合失败，误以为软件 license 问题(其实是客户代码问题)



2 Modelsim 仿真软件安装

2.1 Modelsim 简介

Mentor 公司的 ModelSim 是业界最优秀的 HDL 语言仿真软件，它能提供友好的仿真环境，是业界唯一的单内核支持 VHDL 和 Verilog 混合仿真的仿真器。它采用直接优化的编译技术、Tcl/Tk 技术、和单一内核仿真技术，编译仿真速度快，编译的代码与平台无关，便于保护 IP 核，个性化的图形界面和用户接口，为用户加快调错提供强有力的手段，是 FPGA/ASIC 设计的首选仿真软件。

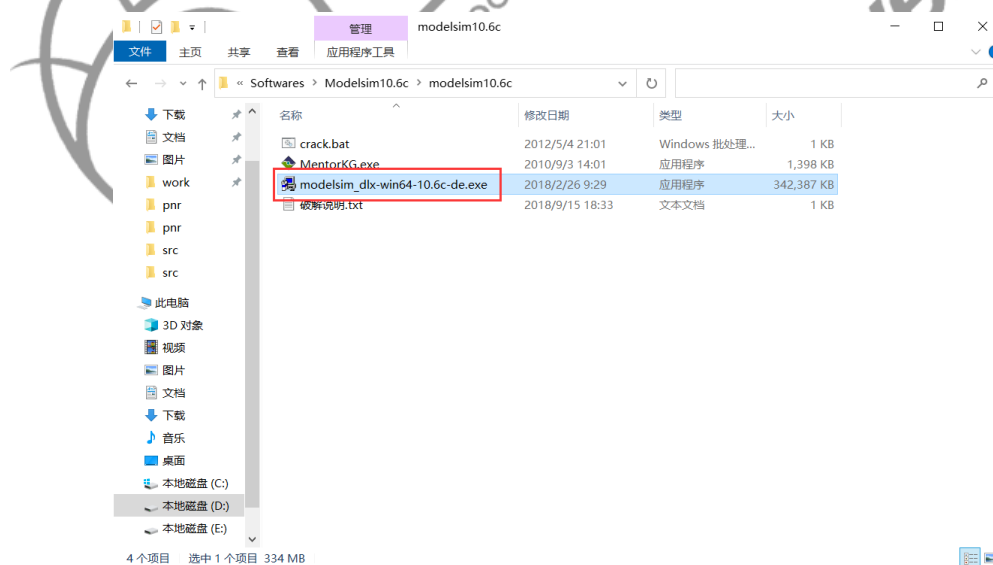
2.2 下载及安装

2.2.1 下载

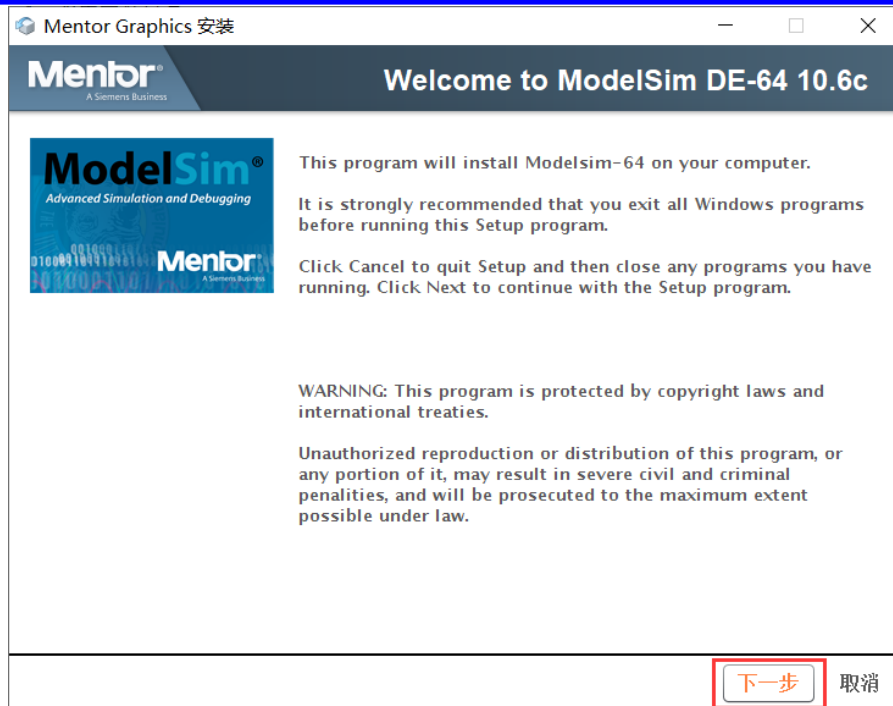
2.2.2 安装

安装前关闭杀毒软件和 360 卫士或电脑管家

1) 双击打开安装包,打开安装程序



2) 点击下一步，继续安装



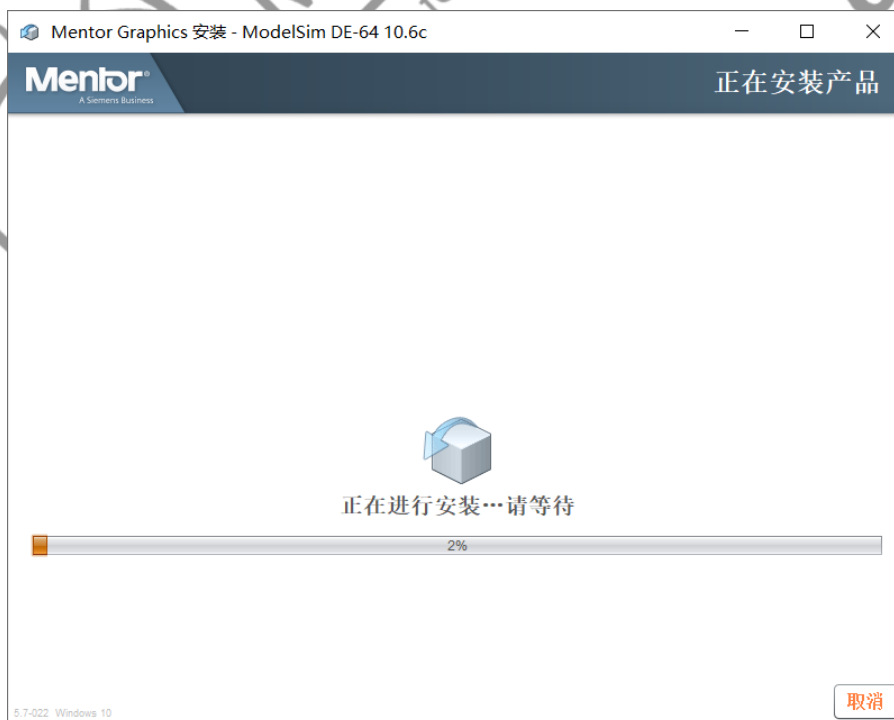
3) 点击下一步,选择需要安装的目录, 不能选择含中文的路径



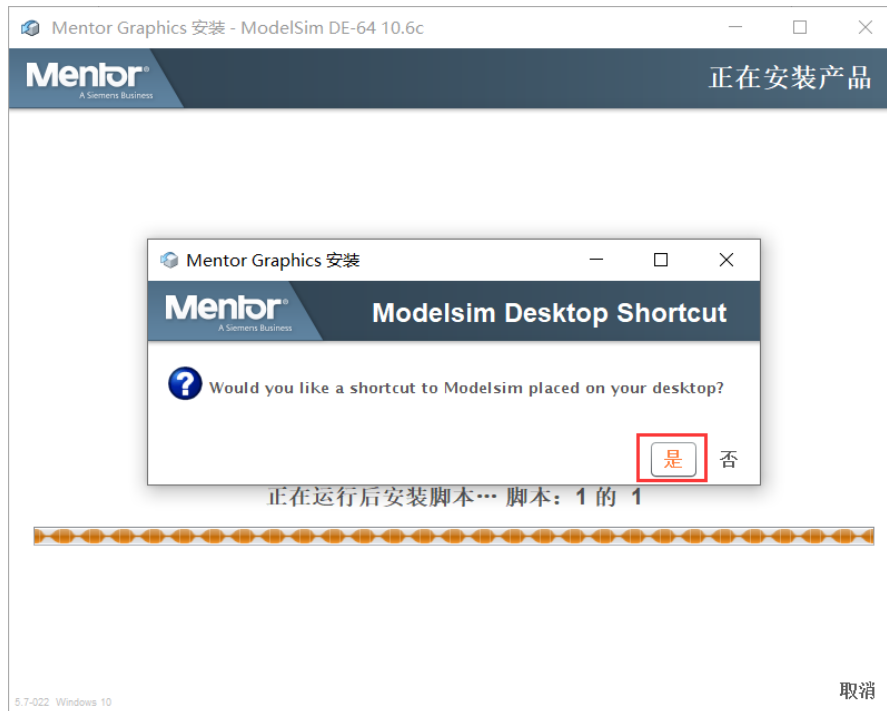
4) 点击同意



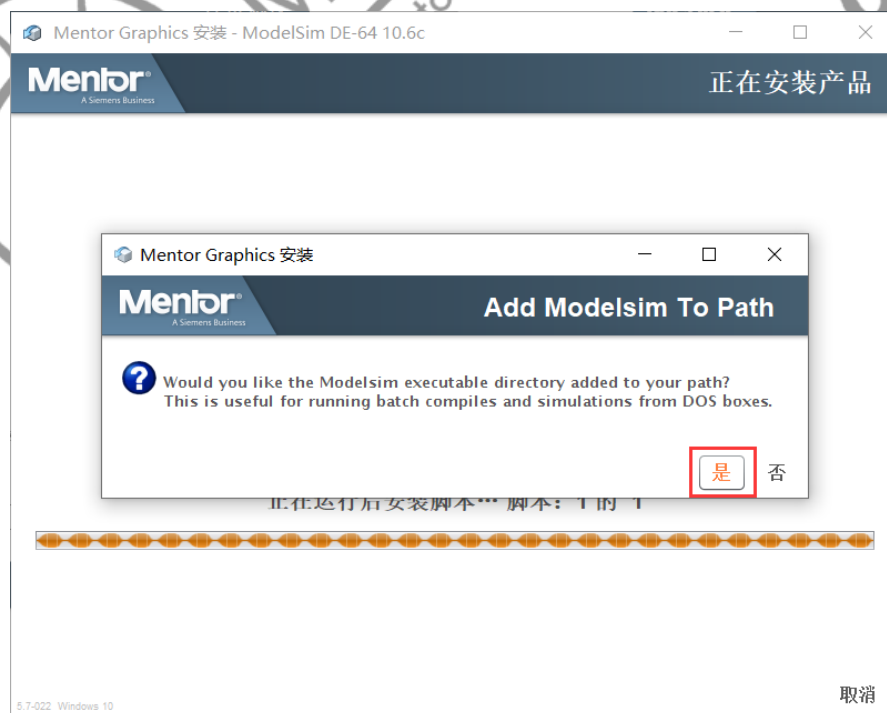
5) 继续等待



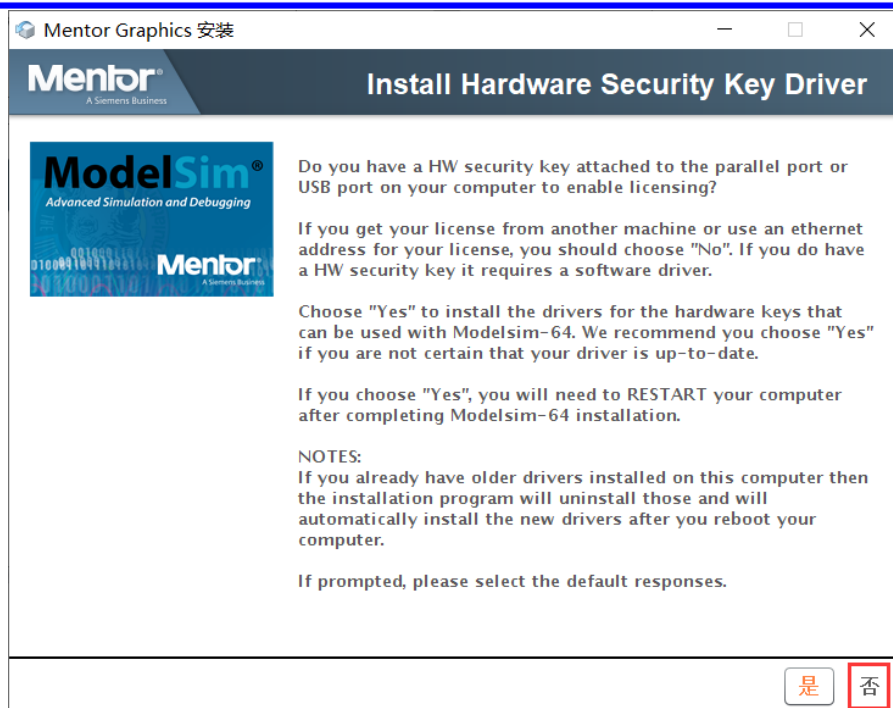
6) 点击是，创建桌面快捷方式



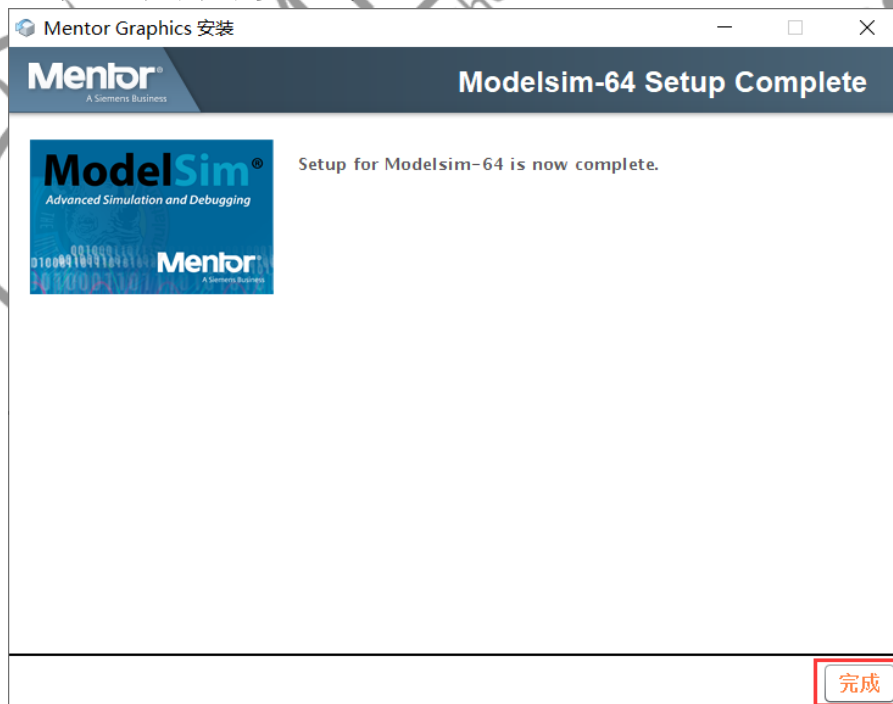
7) 点击是, 添加可执行文件目录到安装路径



8) 点击否, 不安装安全驱动

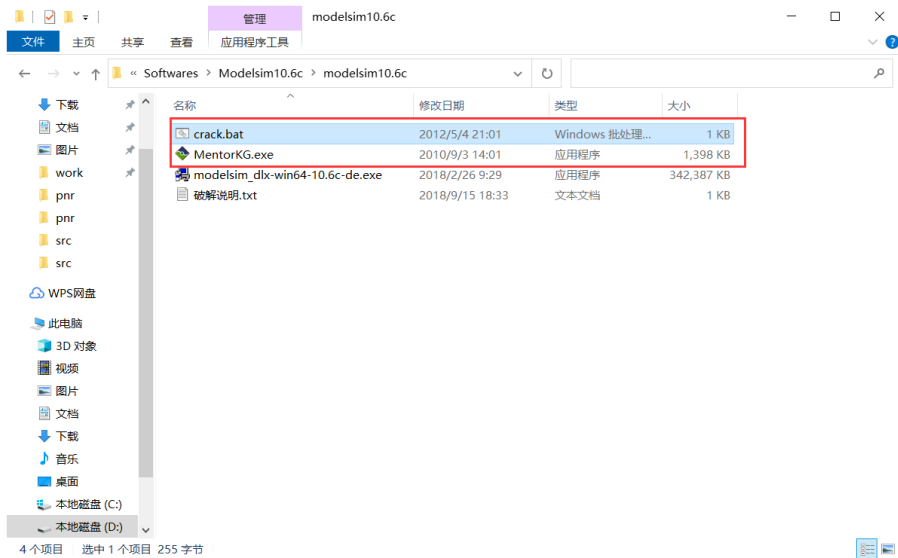


9) 点击完成，自此安装安装步骤结束



2.3 注册及 License 加载

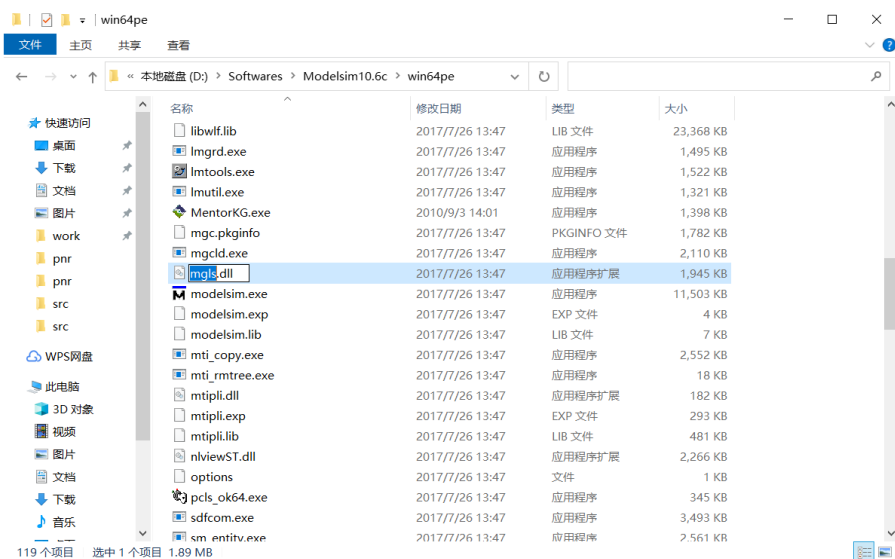
1) 复制 crack.bat 和 MetorKG.exe 这两个文件到.../Modelsim10.6/win64pe 文件夹里，即之前安装时选择的 modelsim 路径下的 win64pe



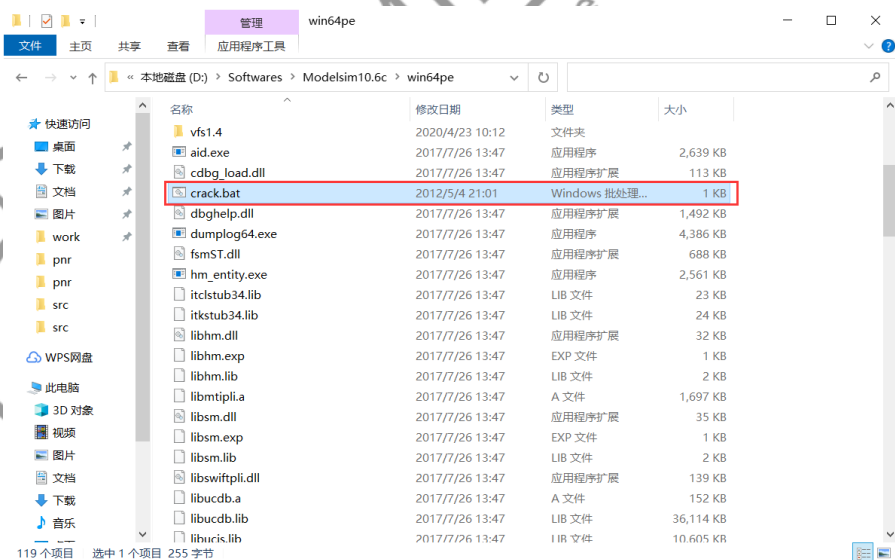
此电脑 > 本地磁盘 (D:) > Softwares > Modelsim10.6c > win64pe

名称	修改日期	类型	大小
crack.bat	2012/5/4 21:01	Windows 批处理...	1 KB
dbghelp.dll	2017/7/26 13:47	应用程序扩展	1,492 KB
dumplog64.exe	2017/7/26 13:47	应用程序	4,386 KB
fsmST.dll	2017/7/26 13:47	应用程序扩展	688 KB
hm_entity.exe	2017/7/26 13:47	应用程序	2,561 KB
itclstub34.lib	2017/7/26 13:47	LIB 文件	23 KB
itkstub34.lib	2017/7/26 13:47	LIB 文件	24 KB
libhm.dll	2017/7/26 13:47	应用程序扩展	32 KB
libhm.exp	2017/7/26 13:47	EXP 文件	1 KB
libhm.lib	2017/7/26 13:47	LIB 文件	2 KB
libmtipli.a	2017/7/26 13:47	A 文件	1,697 KB
libsm.dll	2017/7/26 13:47	应用程序扩展	35 KB
libsm.exp	2017/7/26 13:47	EXP 文件	1 KB
libsm.lib	2017/7/26 13:47	LIB 文件	2 KB
libswiftpli.dll	2017/7/26 13:47	应用程序扩展	139 KB
libucdb.a	2017/7/26 13:47	A 文件	152 KB
libucdb.lib	2017/7/26 13:47	LIB 文件	36,114 KB
libucis.lib	2017/7/26 13:47	LIB 文件	10,605 KB
libuinfo.dll	2017/7/26 13:47	应用程序扩展	2,761 KB
libuinfo.exp	2017/7/26 13:47	EXP 文件	7 KB
libuinfo.lib	2017/7/26 13:47	LIB 文件	11 KB
libvsim.dll	2017/7/26 13:47	应用程序扩展	23,117 KB
libvsim.exp	2017/7/26 13:47	EXP 文件	293 KB
libvsim.lib	2017/7/26 13:47	LIB 文件	484 KB
libwlf.lib	2017/7/26 13:47	LIB 文件	23,368 KB
lmgrd.exe	2017/7/26 13:47	应用程序	1,495 KB
lmttools.exe	2017/7/26 13:47	应用程序	1,522 KB
lmutil.exe	2017/7/26 13:47	应用程序	1,321 KB
MentorKG.exe	2010/9/3 14:01	应用程序	1,398 KB
mgc.pkginfo	2017/7/26 13:47	PKGINFO 文件	1,782 KB
model.exe	2017/7/26 13:47	应用程序	2,110 KB

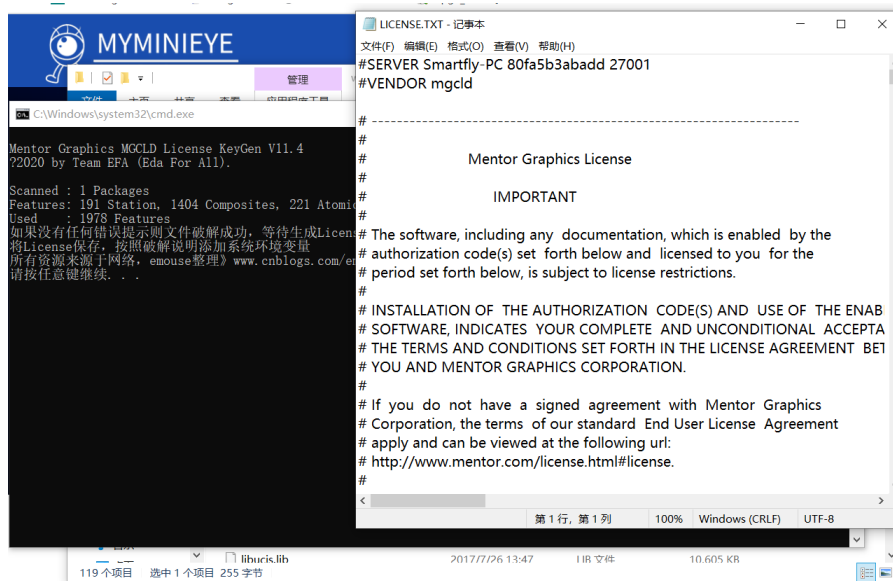
2) 重命名 mgls64.dll 文件为 mgls.dll



3) 双击打开 crack.bat 批处理文件



4) 另外保存 LICENSE.TXT 文件需要，修改环境变量时会用到

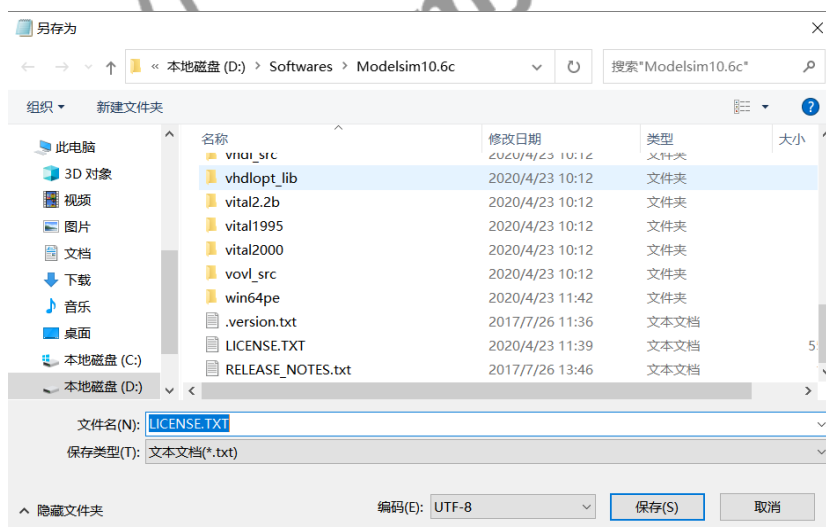


MYMINIEYE (深圳市我是你的眼科技有限公司) 成立于2015年。团队创始人在无线通信领域有近20年

5) 点击文件>另存为



6) 选择文件保存路径，将文件命名为 LICENSE.TXT，点击保存



2.4 环境变量修改

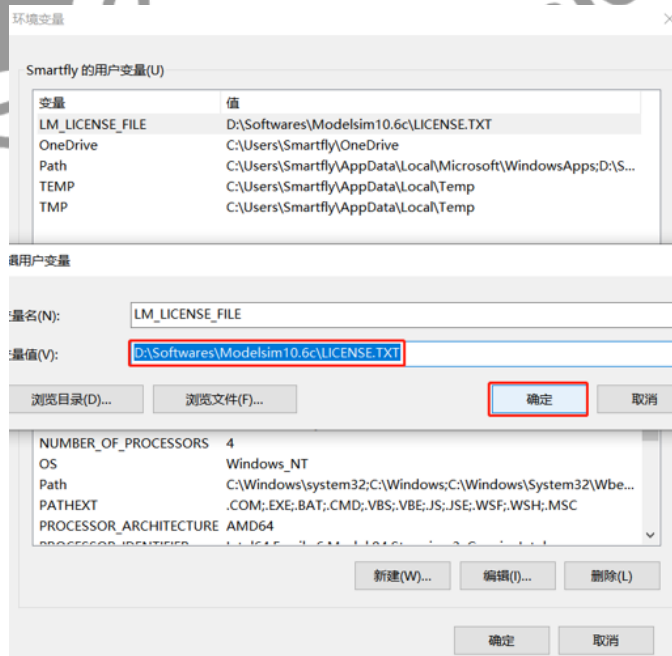
以下步骤也可参考本手册的 1.6 节

1) 选择：此电脑>属性>高级系统设置>高级>环境变量

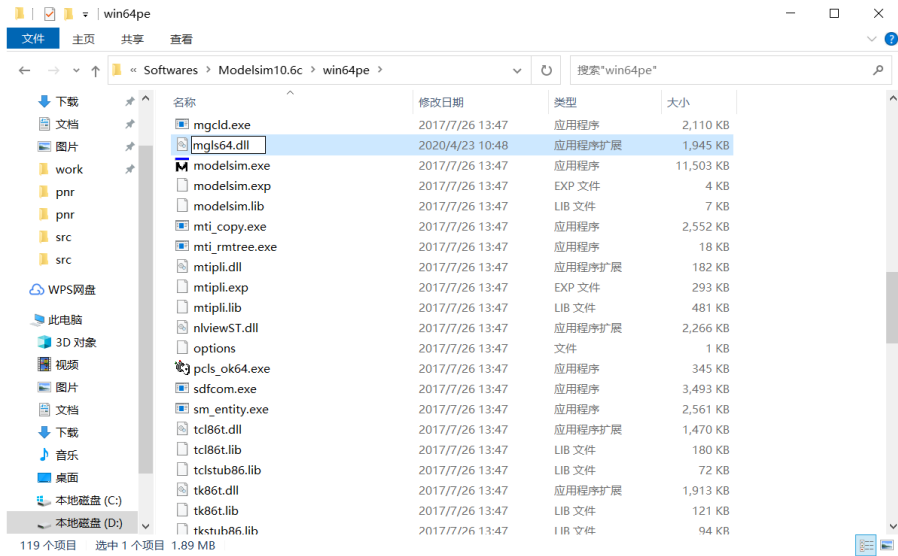
用户变量中新建变量名：LM_LICENSE_FILE



2) 将另存的文件路径及名称添加为系统环境变量 LM_LICENSE_FILE



3) 重新改回原来的 mgl64 文件，修改完毕，可以正常打开软件



3 开发板简介及测试

3.1 RUNBER 开发板简介

RUNBER 开发板是 MYMINIEYE 基于多年在 FPGA 领域开发经验，而开发的一套全新国产 FPGA 的开发套件，APUS 开发板采用高云 GW1N-UV4LQ144 的解决方案。GW1N-4B 是高云的小蜜蜂家族的 FPGA。

本开发系统开源原理图及大量可直接应用于工程的源代码。配套源码查看课程列表。

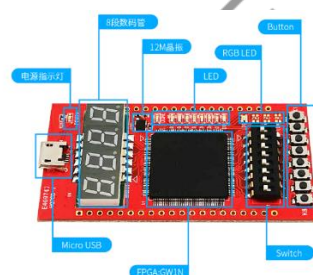


图 1.1 RUNBER 开发板

RUNBER 开发板是基于 Gowin GW1N-4B 的可扩展处理平台的开发套件。提供的功能包括：

© Gowin® GW1N-UV4LQ144C6/I5

· 默认启动方式：内置 flash

器件	GW1N-1	GW1N-2/ GW1N-2B	GW1N-4/ GW1N-4B	GW1N-6	GW1N-9	GW1N-1S
逻辑单元(LUT4)	1,152	2,304	4,608	6,912	8,640	1,152
寄存器(FF)	864	1,728	3,456	5,184	6,480	864
分布式静态随机存储器 S-SRAM(bits)	0	0	0	13,824	17,280	0
块状静态随机存储器 B-SRAM(bits)	72K	180K	180K	468K	468K	72K
块状静态随机存储器数目 B-SRAM(个)	4	10	10	26	26	4
用户闪存(bits)	96K	256K	256K	608K	608K	96K
乘法器(18 x 18 Multiplier)	0	16	16	20	20	0
锁相环(PLLs+DLLs)	1+0	2+2	2+2	2+4	2+4	1+0
I/O Bank 总数	4	4	4	4	4	3
最多用户 I/O ¹	119	207	207	273	273	25
核电压 (LV 版本)	1.2V	1.2V	1.2V	1.2V	1.2V	1.2V
核电压 (UV 版本)	-	1.8V/2.5V/3.3V				-

© 外设/接口

- Micro USB 口（板载 JTAG 接口转 USB）
- 4 位 8 段数码管
- 12M 晶振

- 8 位拨码开关
- 8 位 LED 灯
- 8 位按键
- 4 个三色 RGB 灯
- 36 个扩展 IO 口（2.54 间距排针）

◎ 板上晶振

- 12MHz

3.2 RUNBER 开发板测试

测试现象及功能验证(收到板卡已下载好固件):



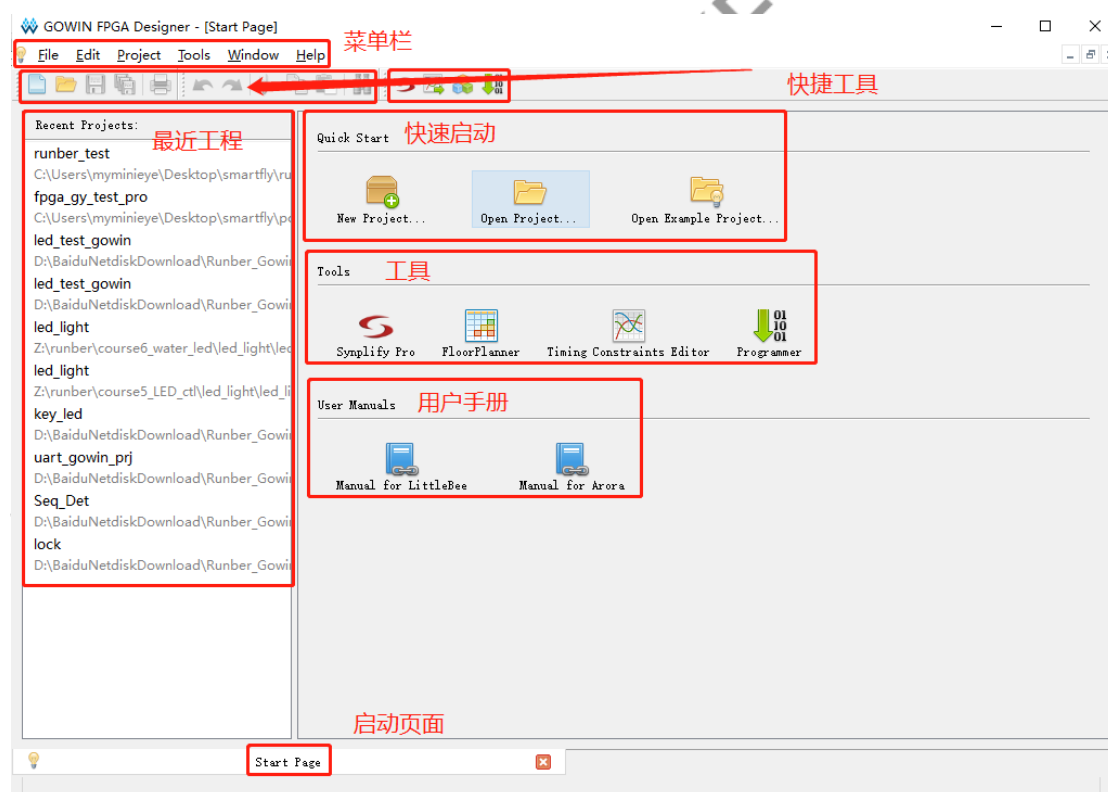
1. 4 个数码管显示为 0000
按下 key1, 则第 4 个数码管+1 (最右侧)
按下 key2, 则第 3 个数码管+1
按下 key3, 则第 2 个数码管+1
按下 key4, 则第 1 个数码管+1
2. 8 个 LED 灯有 1 个灯由 D8 闪烁流向 D1
3. 4 个 RGB LED 灯 LD1、LD2、LD3 分别为红绿蓝依次交替, 其中 LD4 颜色等同于 LD3
4. 密码锁, 由拨码开关控制密码的内容
SW0-SW7 设置 4 位数密码, 每两位设置一位密码, SW[0:1]设置第一位, SW[2:3]设置第二位, SW[4:5]设置第三位, SW[6:7]设置第四位。所以密码是由 0, 1, 2, 3 组成的四位数
Key6 为清零
Key7 为确认

4 Gowin 云源软件的使用

整个流程大致可分为：新建/打开工程>新建/添加新设计源文件>Synplify/Gowin Synthesize 源码编译综合>新建添加物理约束文件>新建/添加时序约束文件>布局布线综合>打开下载设备>扫描设备和添加烧录文件>烧录

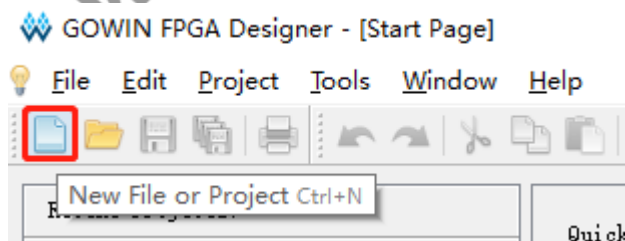
4.1 Gowin 用户界面

双击打开 gowin 软件

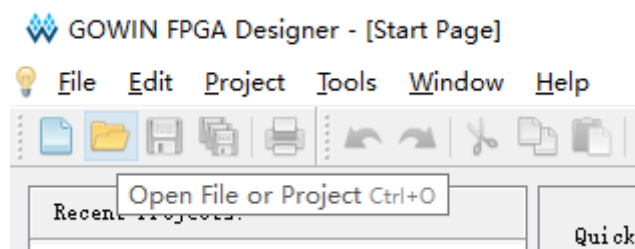


4.1.1 菜单栏

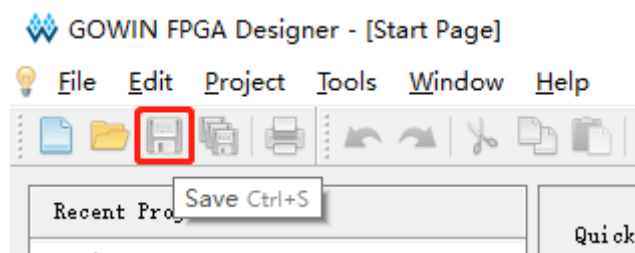
工具栏



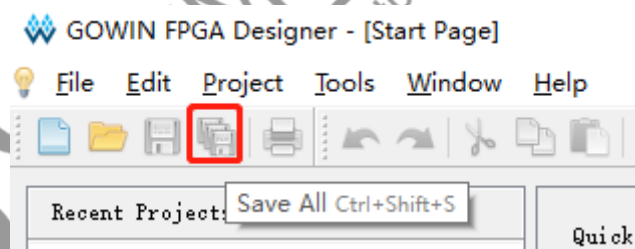
新建



打开



保存



保存所有

最近工程

点击可快速打开最近使用的工程文件

4.1.2 快速开始

New project:新建工程；

Open project:打开以前创建的工程

Open example project:打开软件自带的工程(供参考学习用)

Recent projects:打开最近使用的工程

4.1.3 工具区

Synplify 综合

FloorPlaner 平面规划

Timing Constraints Edit 时序约束

Programmer 下载

4.1.4 User Manuals 用户手册

Manuals for LittleBee 小蜜蜂系列手册

Manuas for Arora 晨曦系列手册

有需要的可以参考官方的文档

4.2 新建工程

1) 打开 Gowin 云源软件

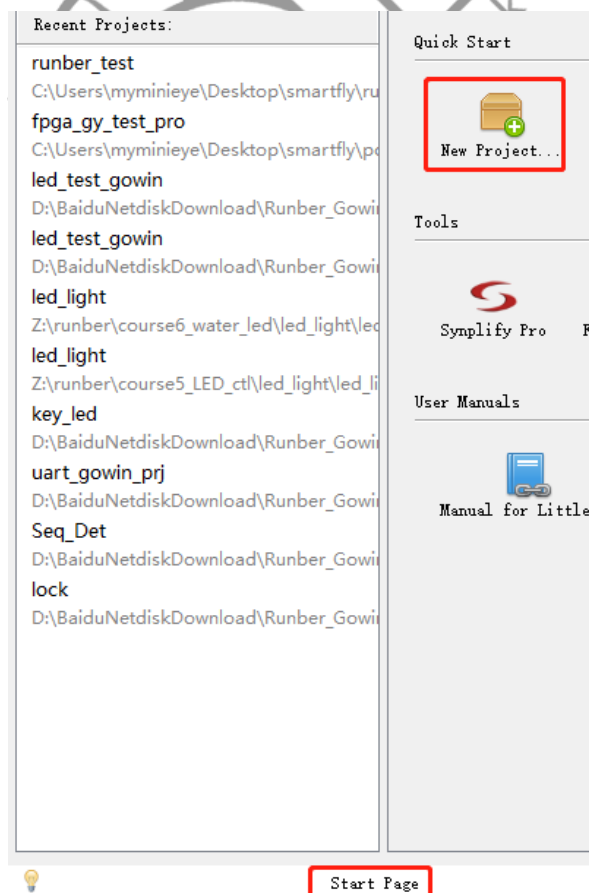
快速启动:

双击桌面软件图标, 打开软件



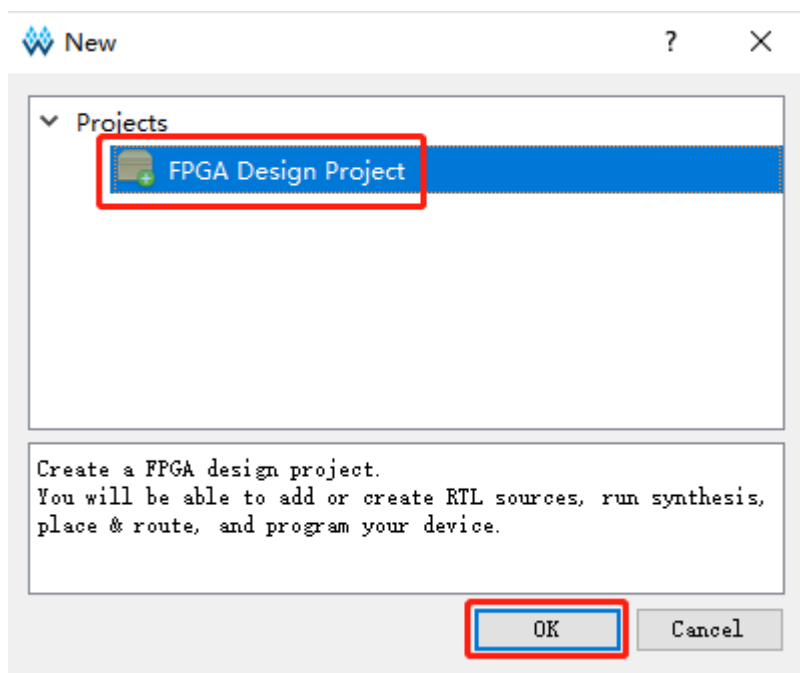
2) 新建 Project

单击 Start Page 界面上 Quick Start>New Project

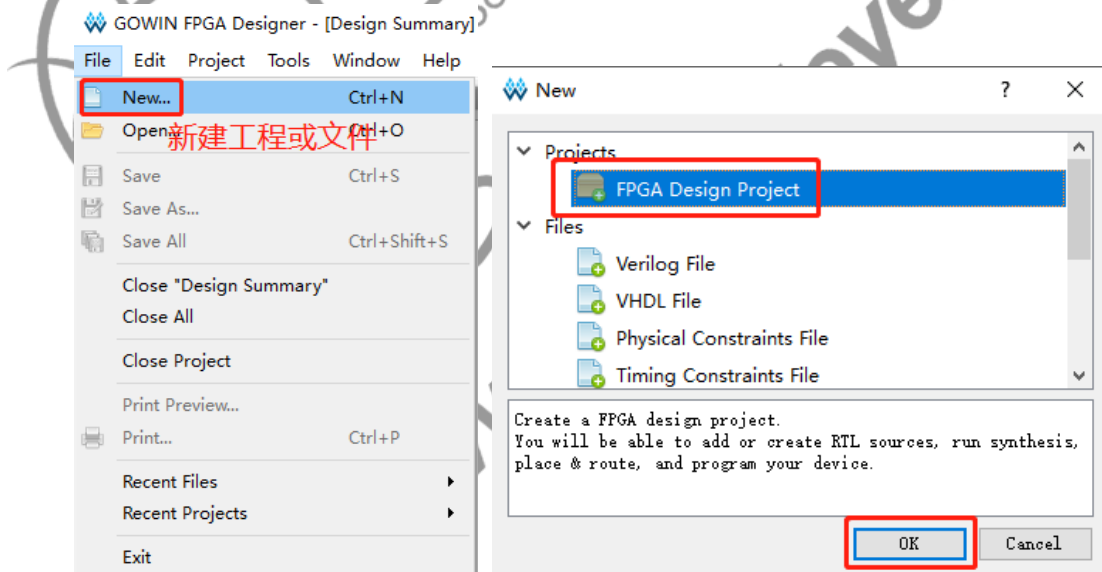


3) 选择新建项目名

选择“FPGA Design Project”，单击“OK”，打开“Project Wizard”



注：如果 Gowin 未显示 Start Page 界面，则可以依次点击 File>>New>>FPGA Design Project>>OK



4) 选择工程名和路径

在 Name 文本框中输入工程名，单击图中“...”选择工程路径，单击 Next 进行下一步

Project Wizard

Project Name

Enter a name for your project, and specify a directory where the project will be stored. The directory will be created if it doesn't exist.

Project Name
Select Device
Summary

在此处输入工程名

选择工程路径

Name:

Create in: ...

☐ Use as default project location

一般不勾选作为默认工程

下一步

5) 选择芯片型号

依次点击选择芯片系列>>设备名>>封装格式>>速度等级>>核电压

Project Wizard

Select Device

Specify a target device for your project

Project Name
Select Device
Summary

Filter

Series: 芯片系列

Device: 设备名

Package: 封装格式

Speed: 速度等级

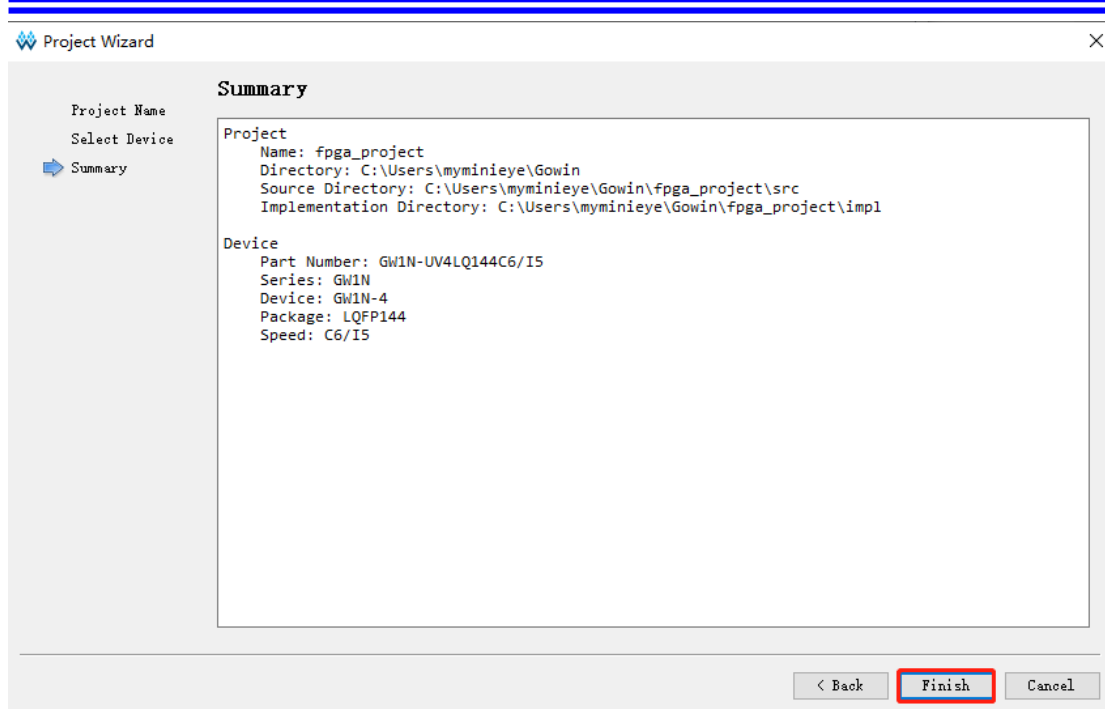
Part Number	Device	Package	Speed	Voltage	IO	LUT	FF
GW1N-LV4LQ144C6/I5	GW1N-4	LQFP144	C6/I5	LV	119	4608	34
GW1N-UV4LQ144C6/I5	GW1N-4	LQFP144	C6/I5	UV	119	4608	34

具体型号

核电压

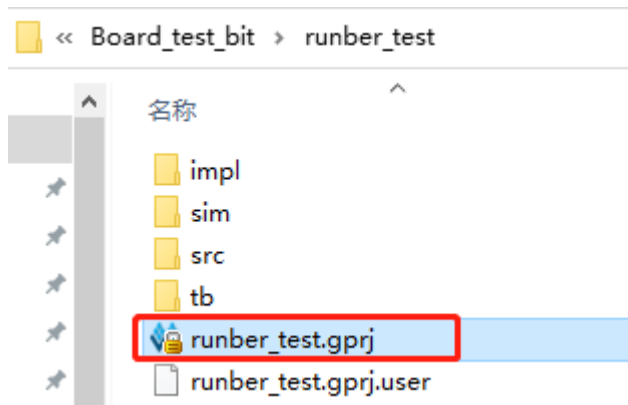
< Back Cancel

6) 检查新建工程信息是否有误，点击 finish，完成工程新建



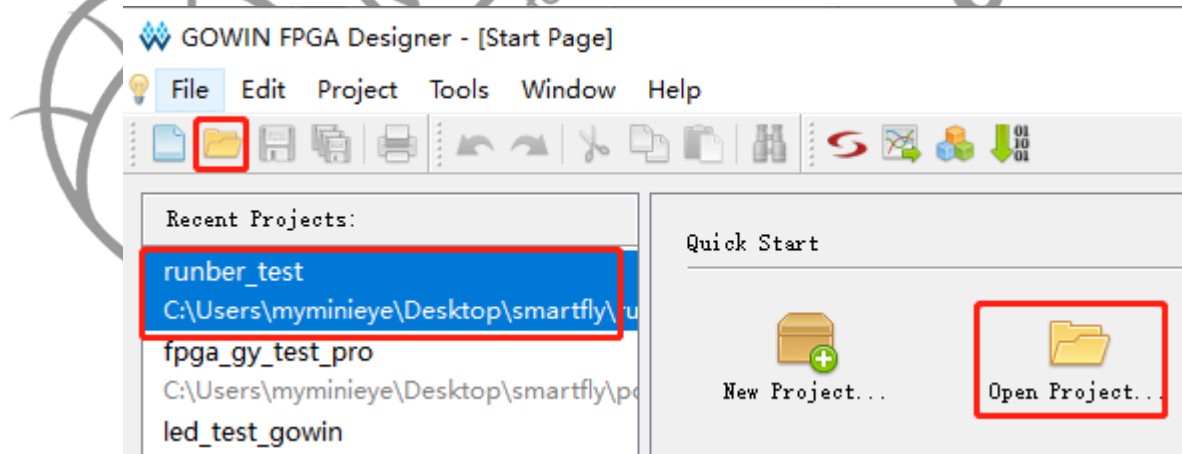
4.3 打开工程

1) 双击.gprj 文件自动运行

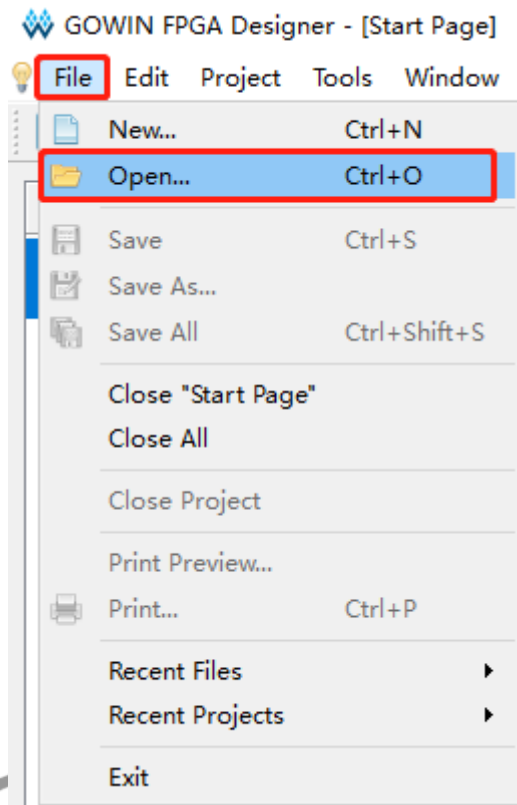


2) 点击快速启动界面

1. 双击 Recent Projects 中所需打开的工程
2. 也可在快速启动界面中点击 Open Project...选择所需打开的工程
3. 也可利用快捷工具中点击左上角小图标选择所需打开的工程

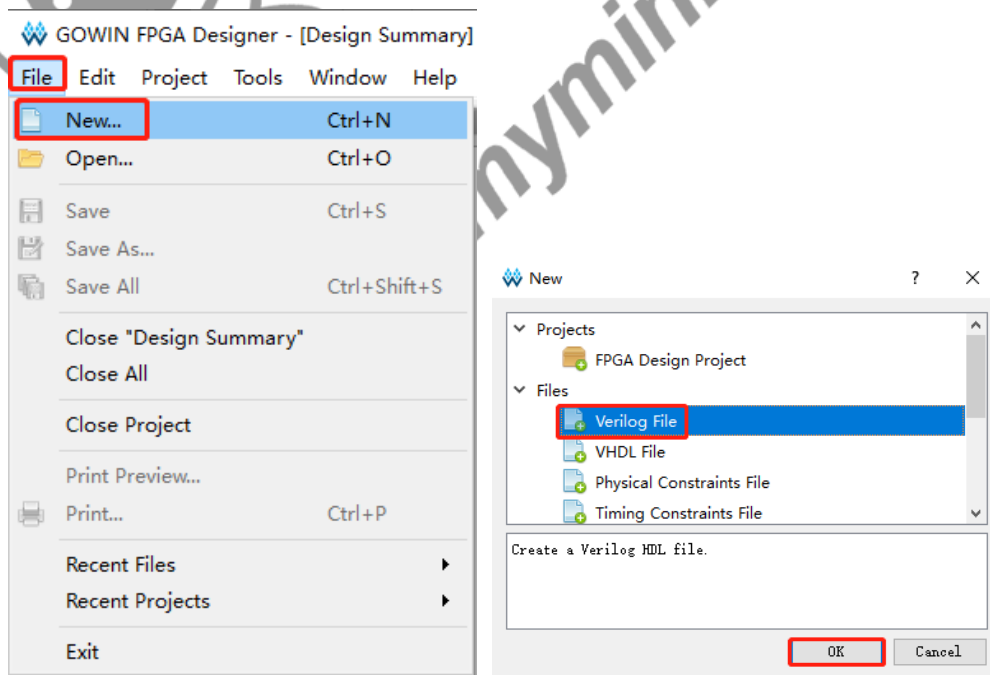


4. 菜单栏点击 File>>Open...

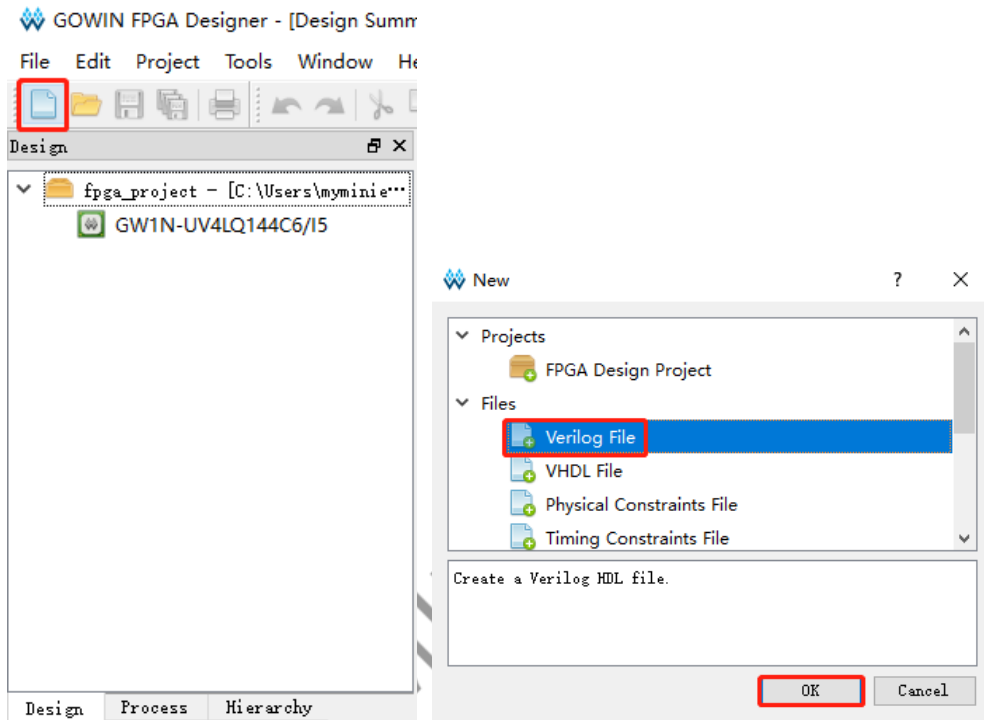


4.4 新建设计源文件

1) 菜单栏点击 File>>New...选择 Verilog File>>点击 OK 确定

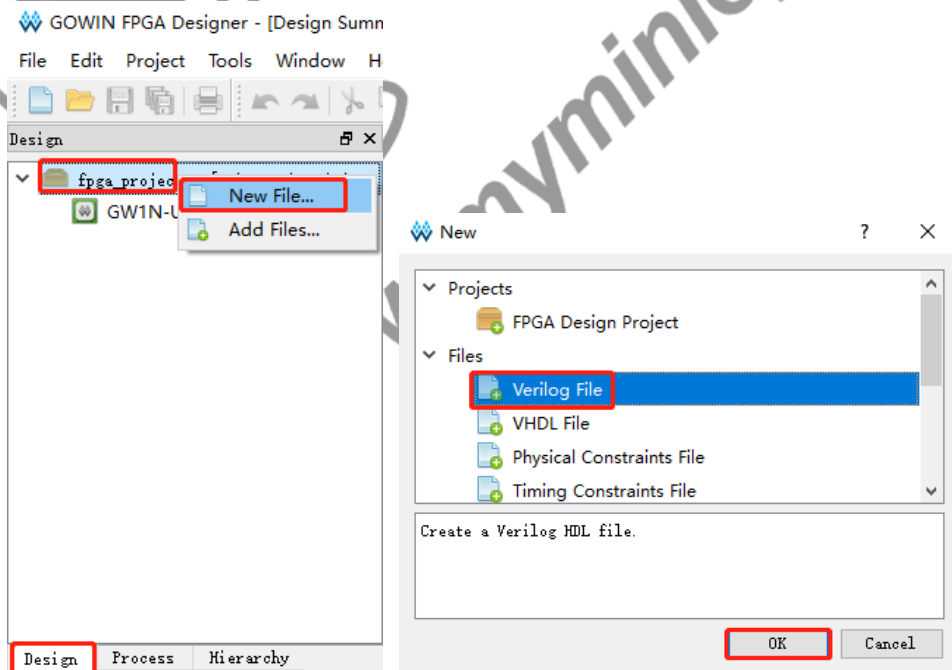


2) 点击左上角小图标>>选择 Verilog File>>点击 OK 确定



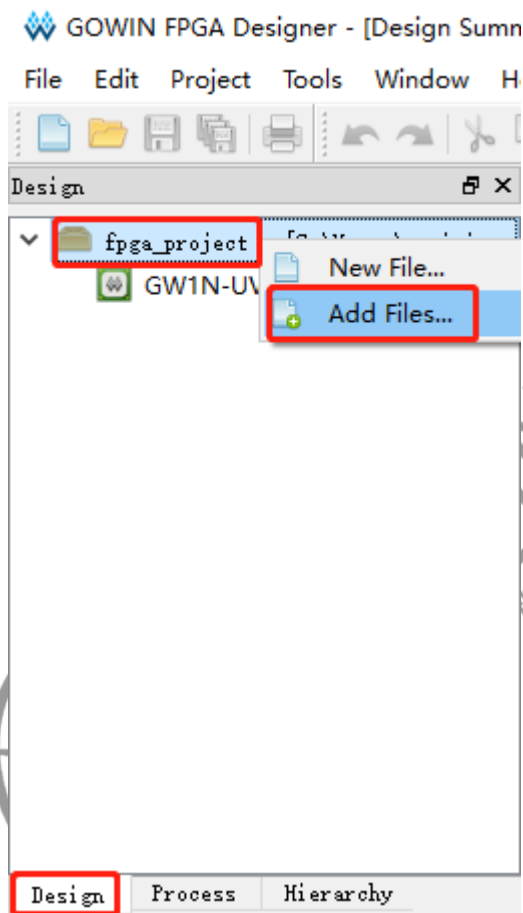
3) 右击

点击 Design，右击空白图中空白处，点击 New File...>>选择 Verilog File>>点击 OK 确定

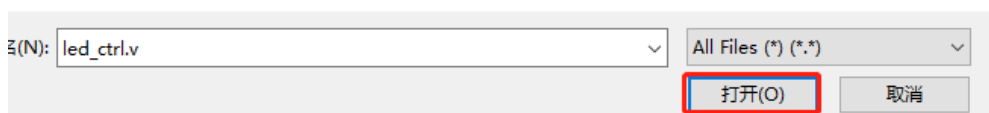
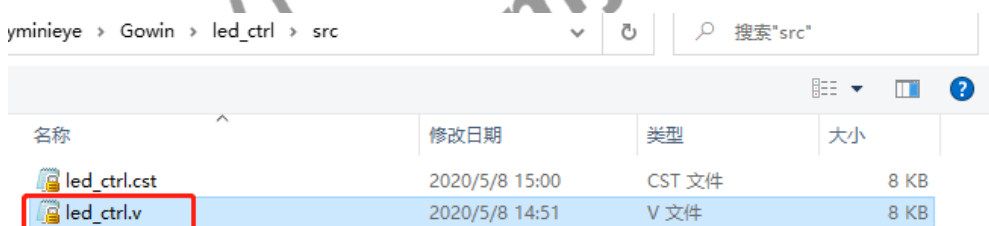


4.5 添加设计源文件

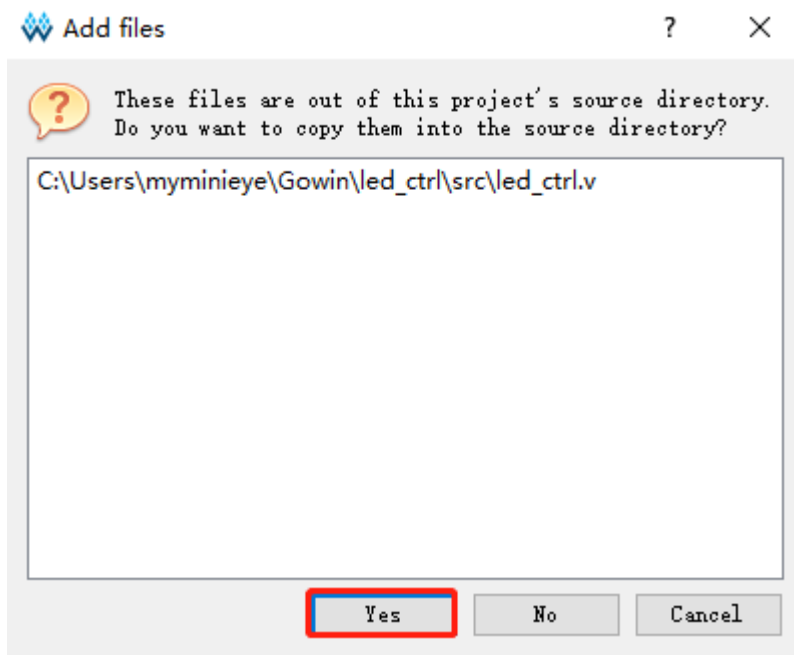
- 1) 点击 Design>>点击选中之前新建的工程>>右击>>选择 Add File...



- 2) 选择所需添加的文件

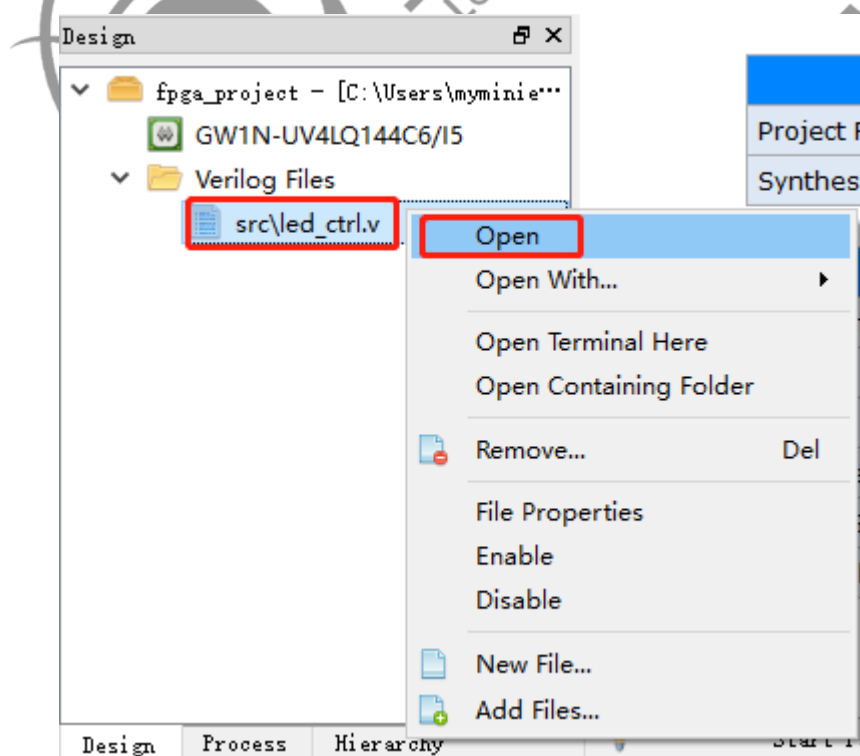


4) 确定复制设计源文件到工程路径下



4.6 修改设计源文件

1) 选择 gowin 自带编辑器编辑

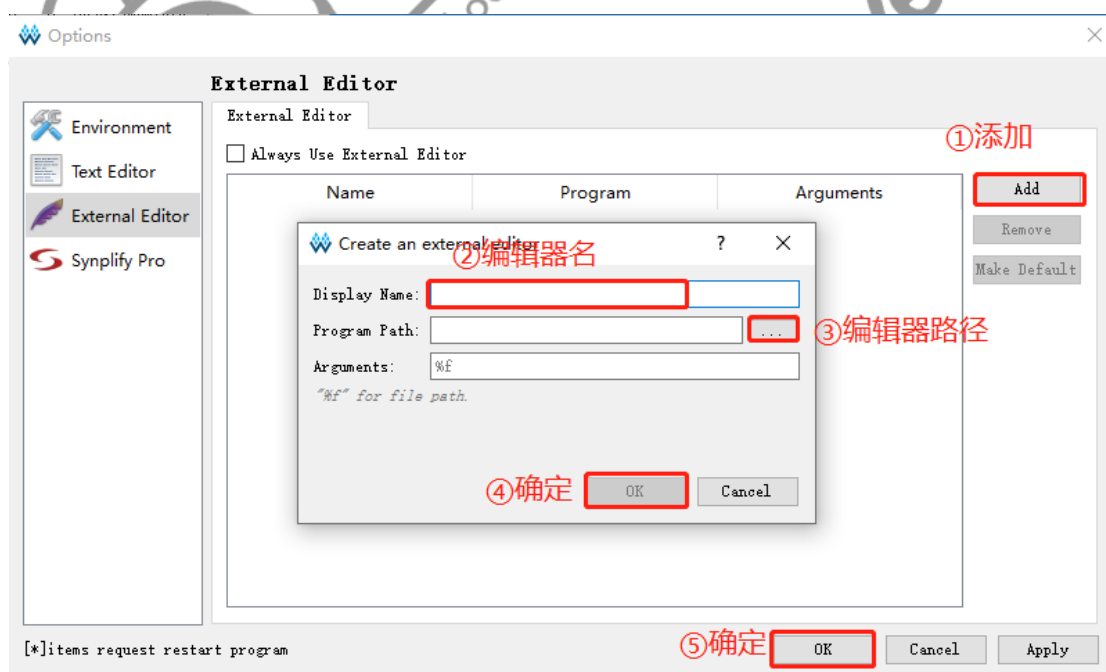
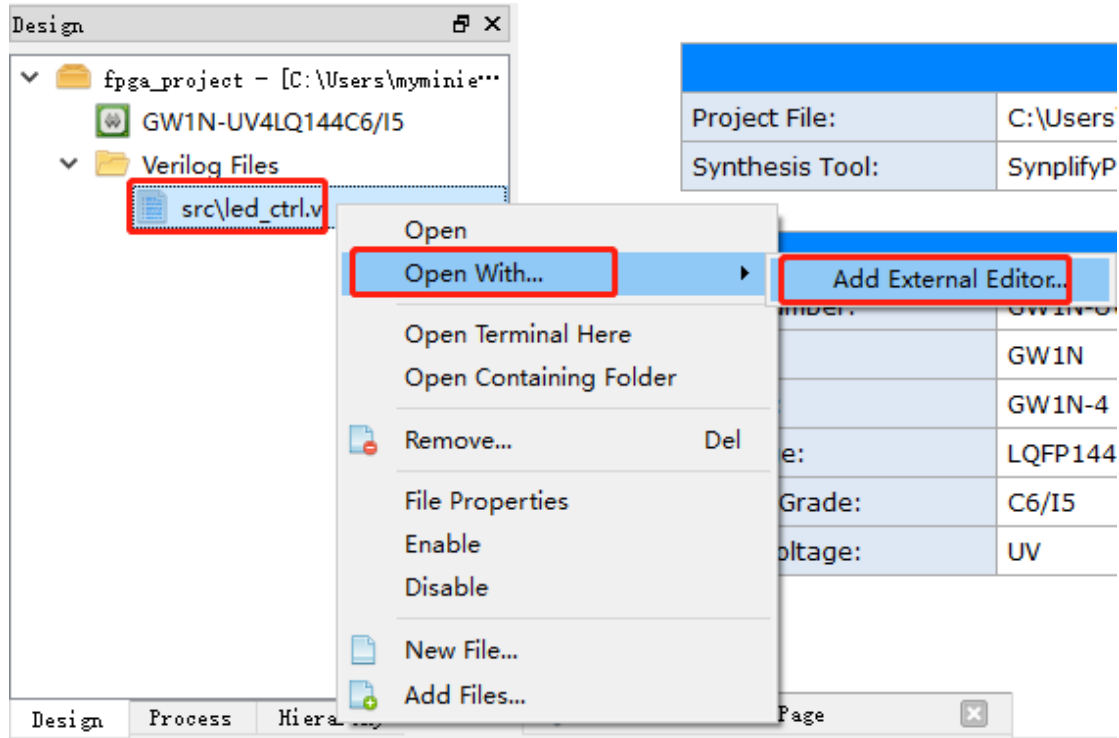


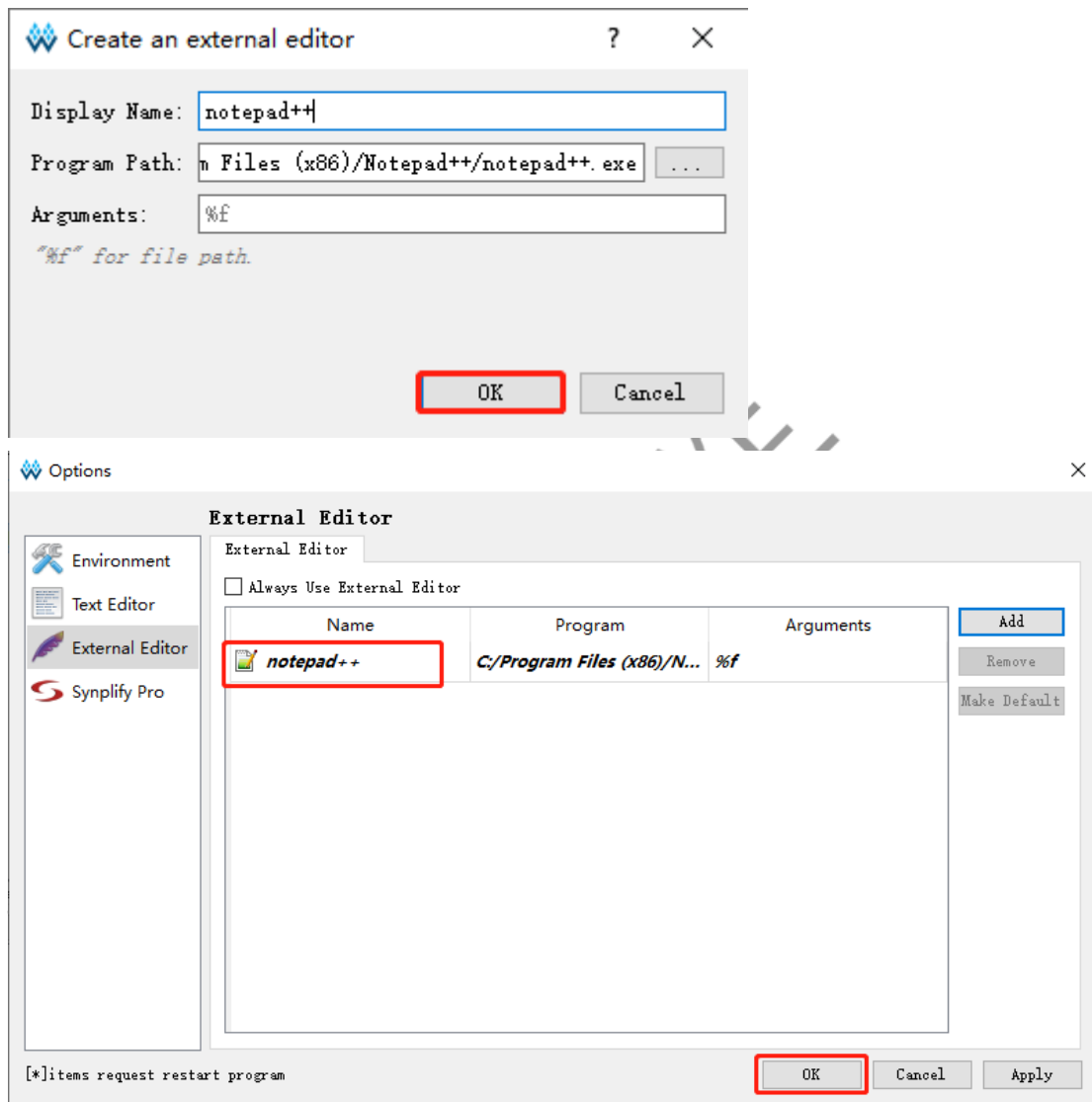
也可双击所添加的设计源文件即可自行编辑

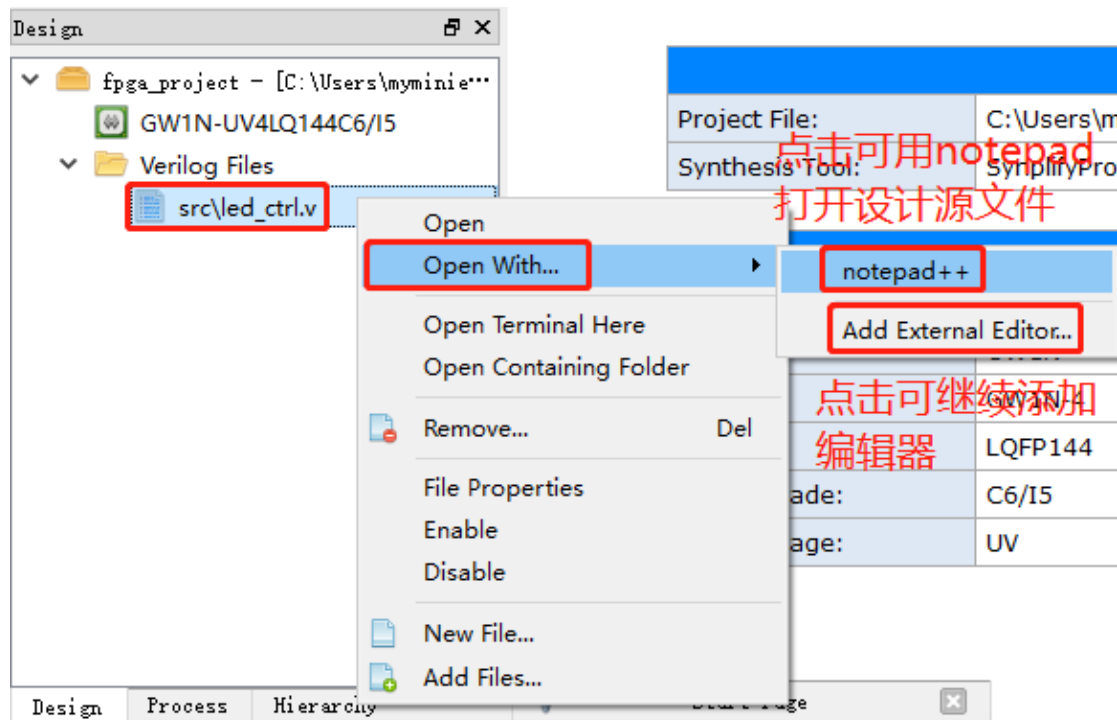
2) 添加第三方编辑器工具

如 Ultra Edit 和 Notepad++ 等编辑器

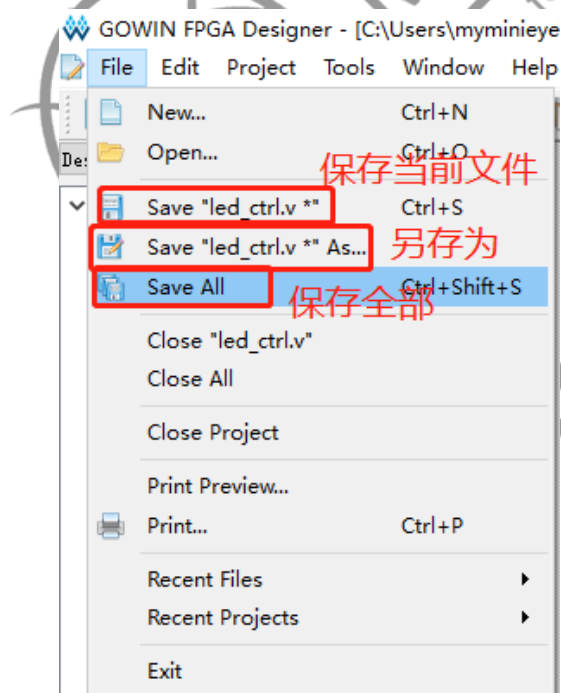
可在软件外自行修改，也可用在软件内打开







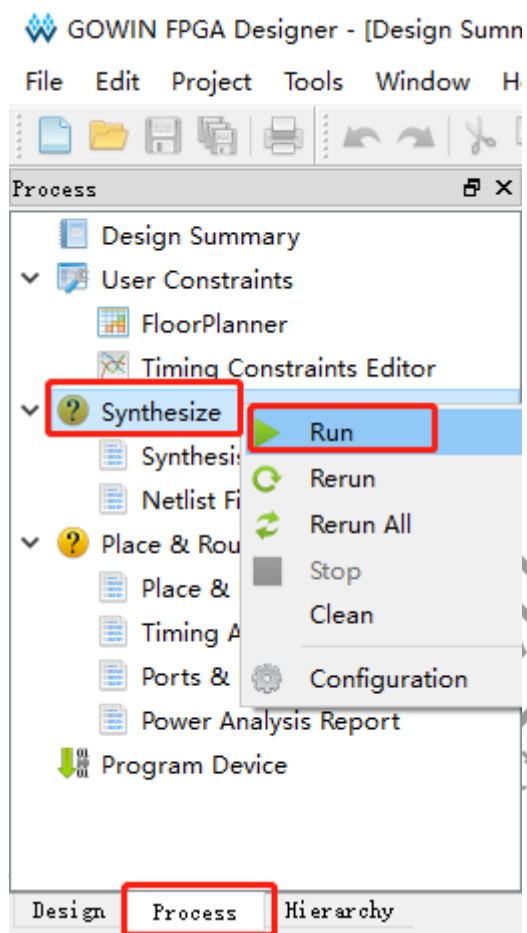
修改完毕后记得点击保存



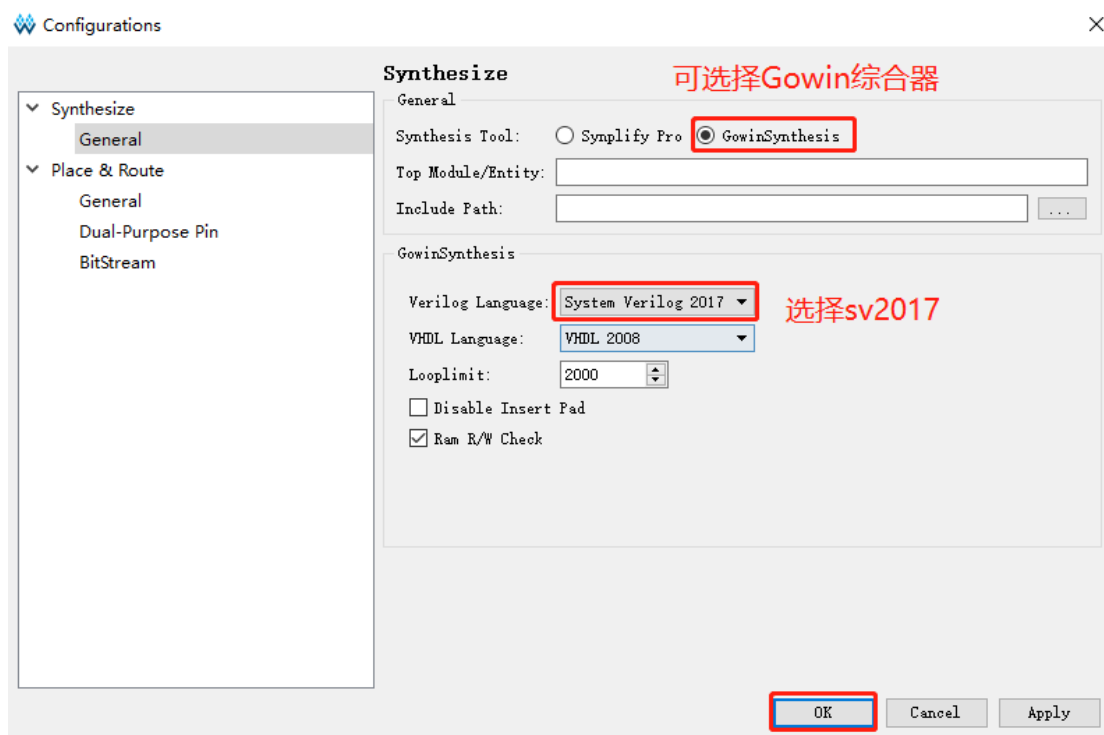
其他方法与上面类似，因此不再赘述

4.7 编译综合




点击 process>>右击 Synthesize>>Run



也可在 Configuration 中设置为高云自带综合器

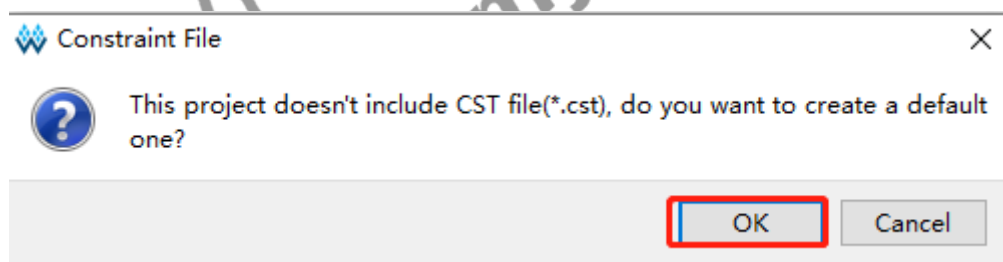


综合状态判断表

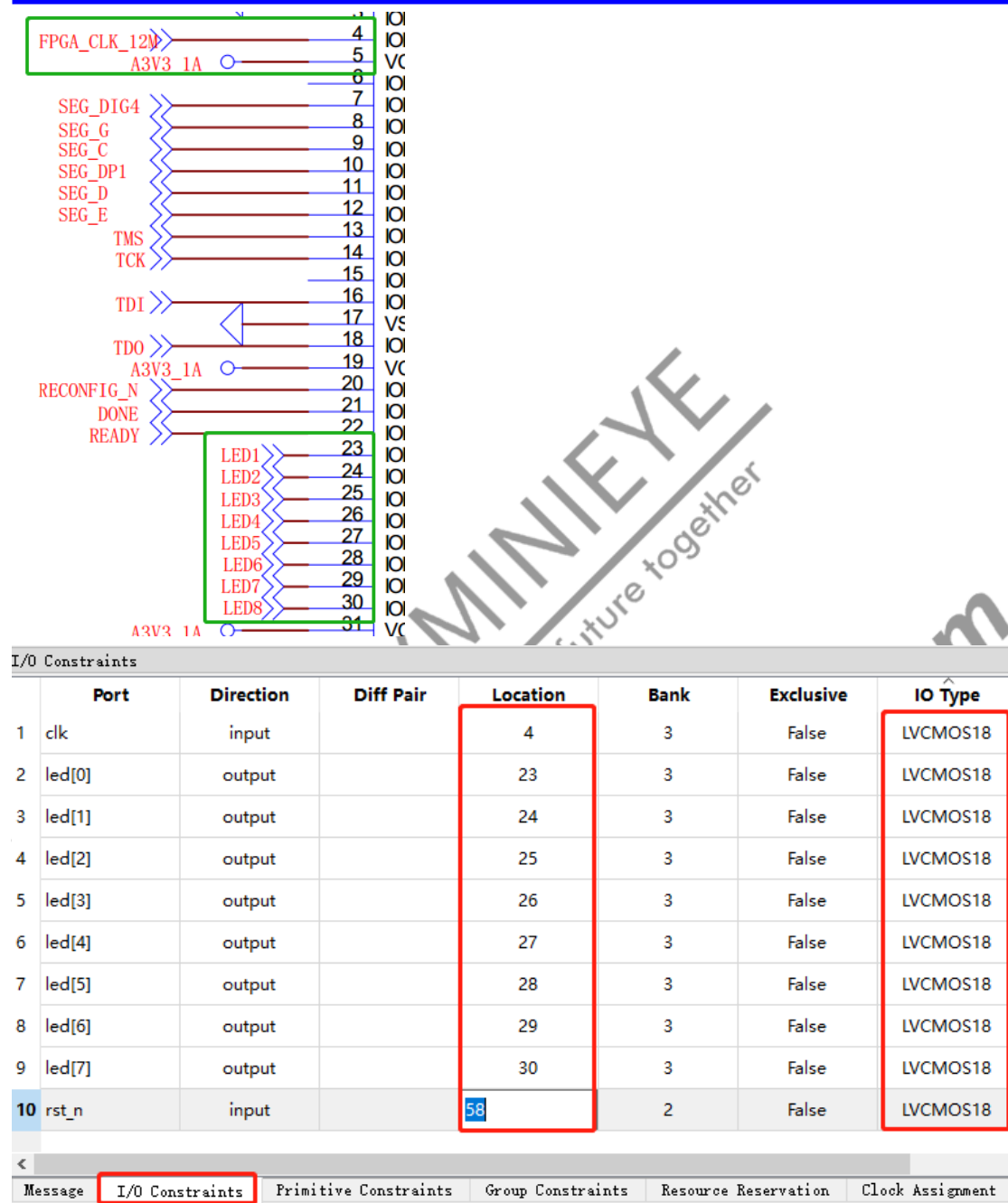
未综合	综合失败	综合成功
 Synthesize	 Synthesize	 Synthesize

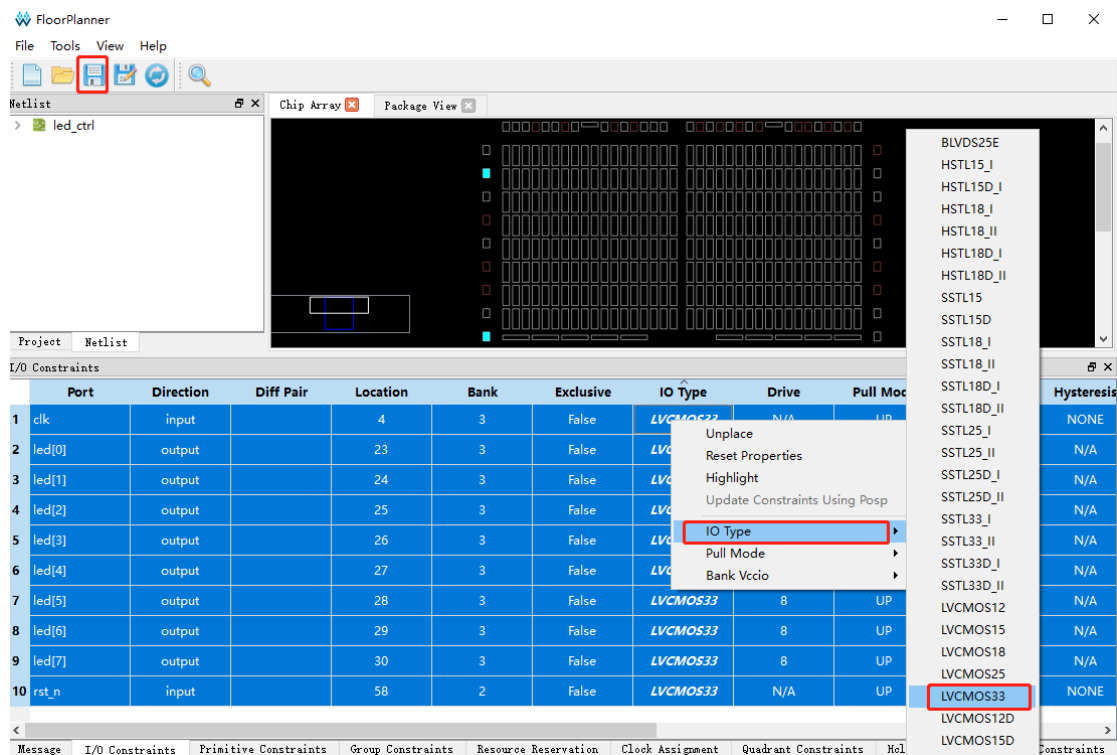
4.8 新建约束文件

工程编译综合完后，双击 FloorPlaner，创建物理约束文件



点击 I/O Constraints，通过查找原理图及设计需求进行 IO 约束

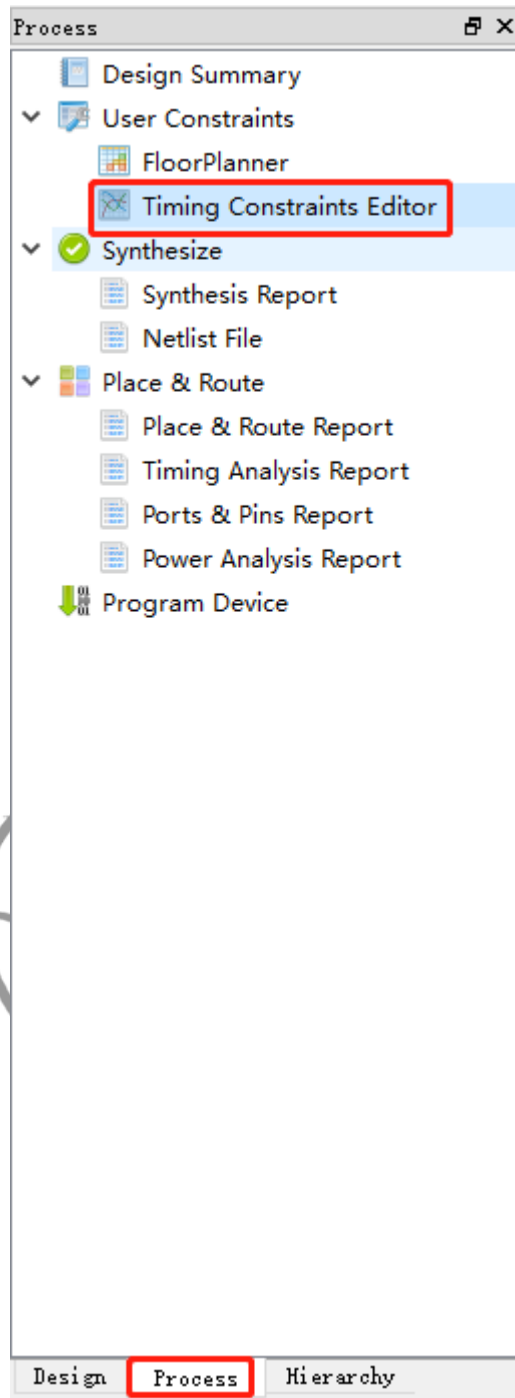




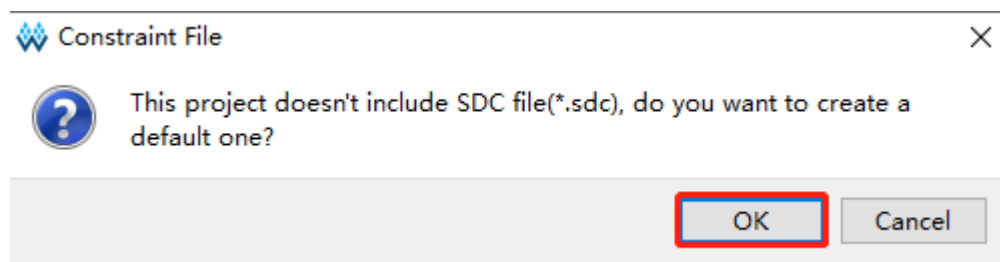
选择所需修改的文件>>右击>>I/O Type>>LVCOMS33

点击保存修改

点击 timing constraints editor

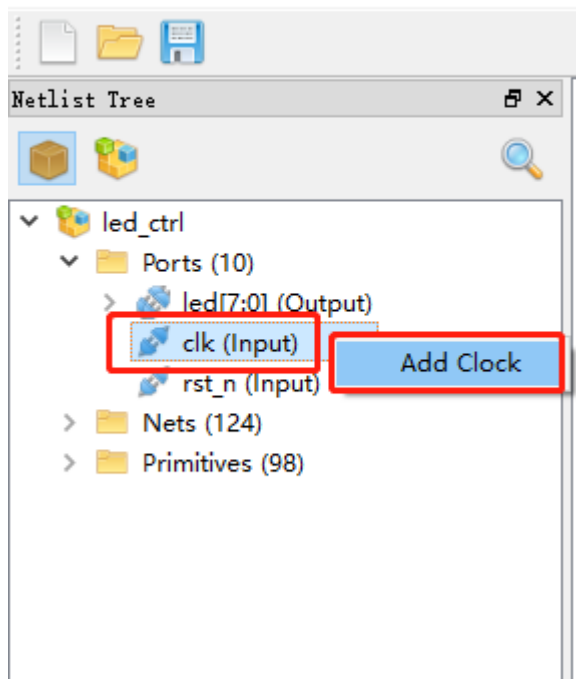


点击 ok 确定，新建时序约束文件

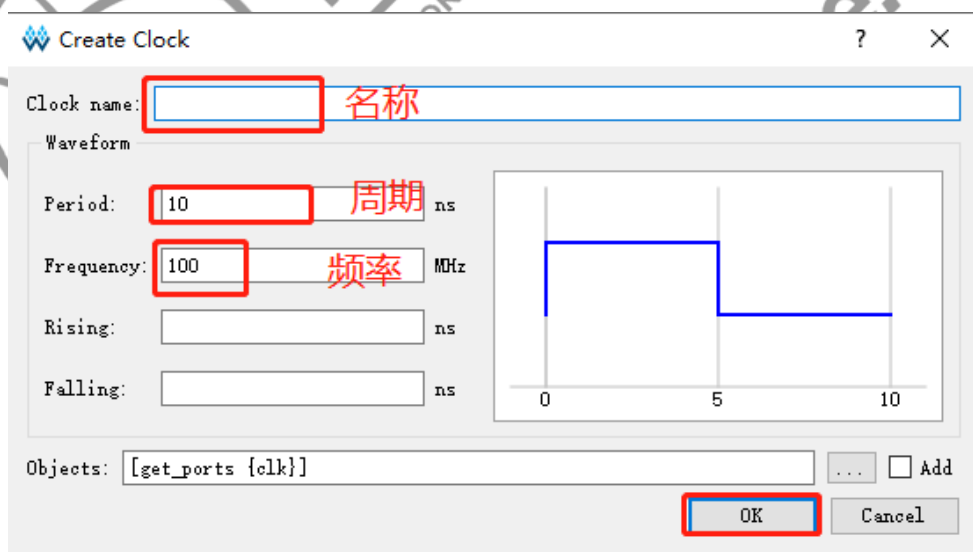


Gowin Timing Constraints Editor - C:/Users/m

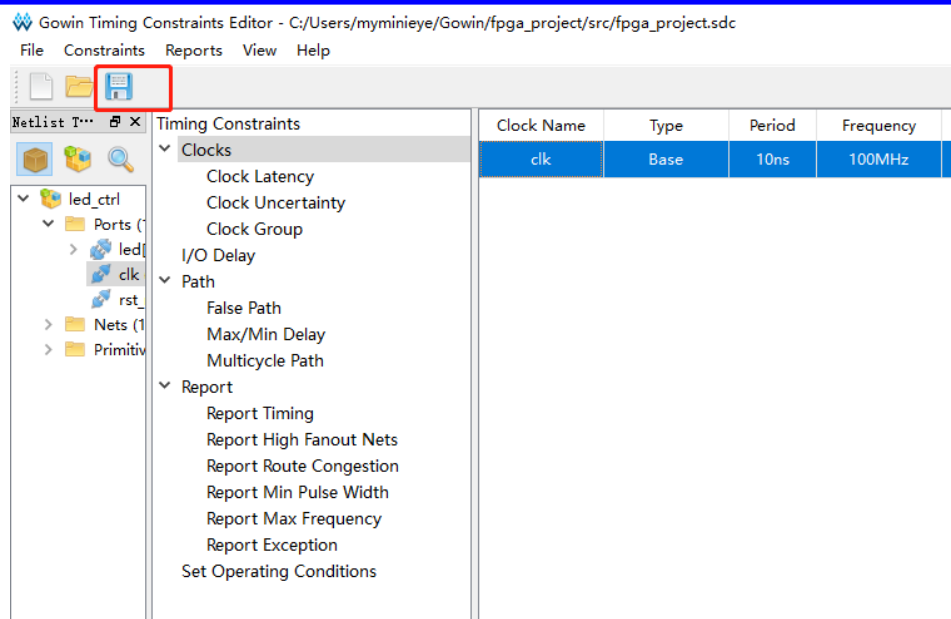
File Constraints Reports View Help



可对时钟周期和频率进行约束



约束完成后记得保存

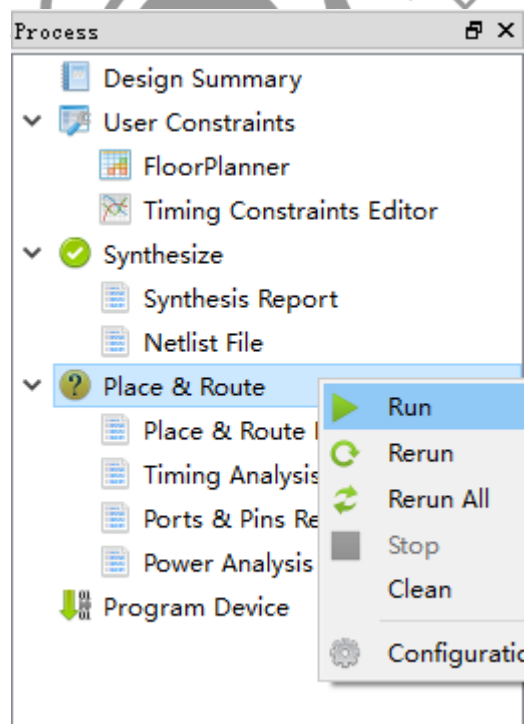


4.9 添加约束文件

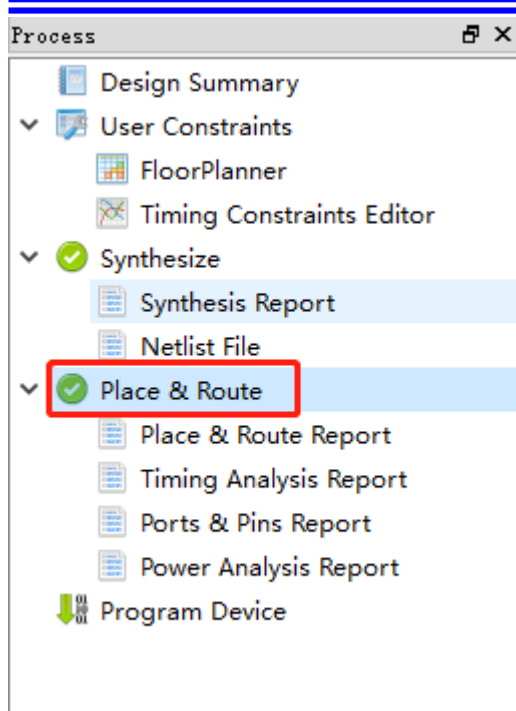
方法同 6.5 添加设计源文件

4.10 布局布线综合

双击或右击 Place & Route

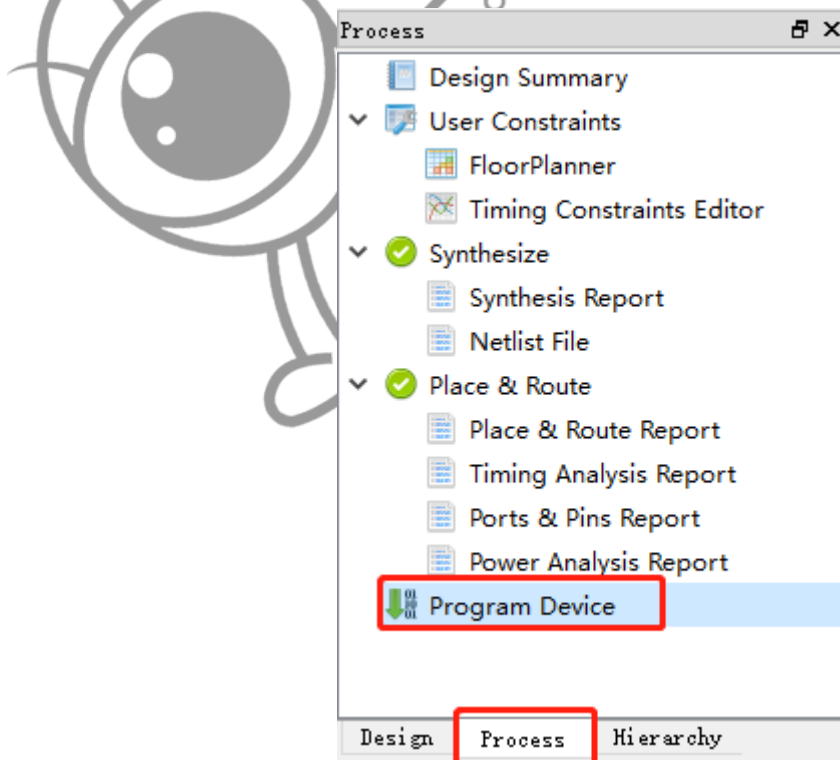


当 Place&Route 为绿色时方为综合成功，此时生成了可供下载烧录的.fs 文件

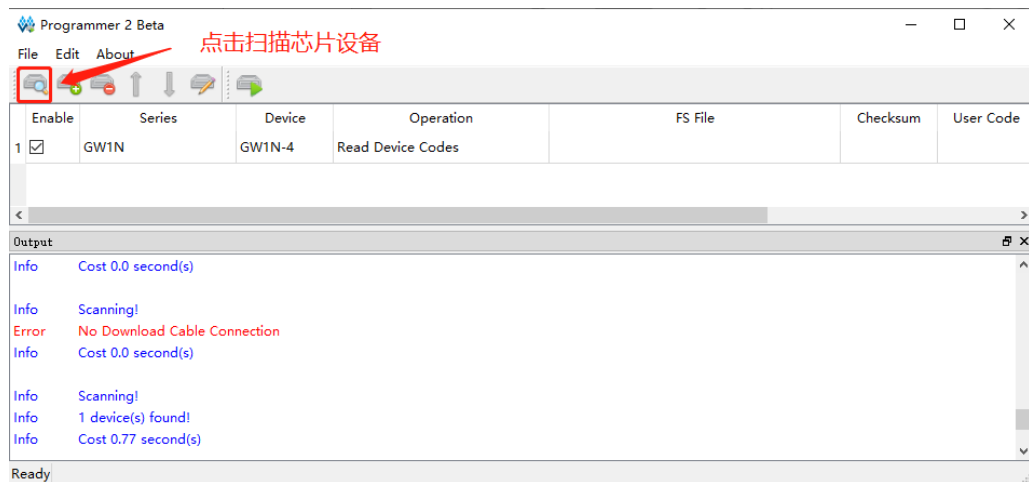


4.11 烧录

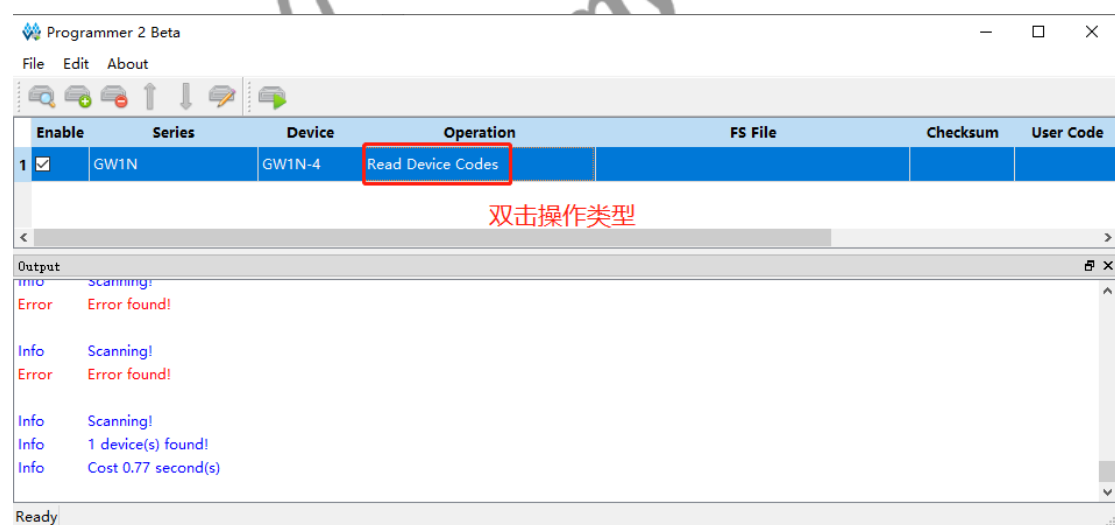
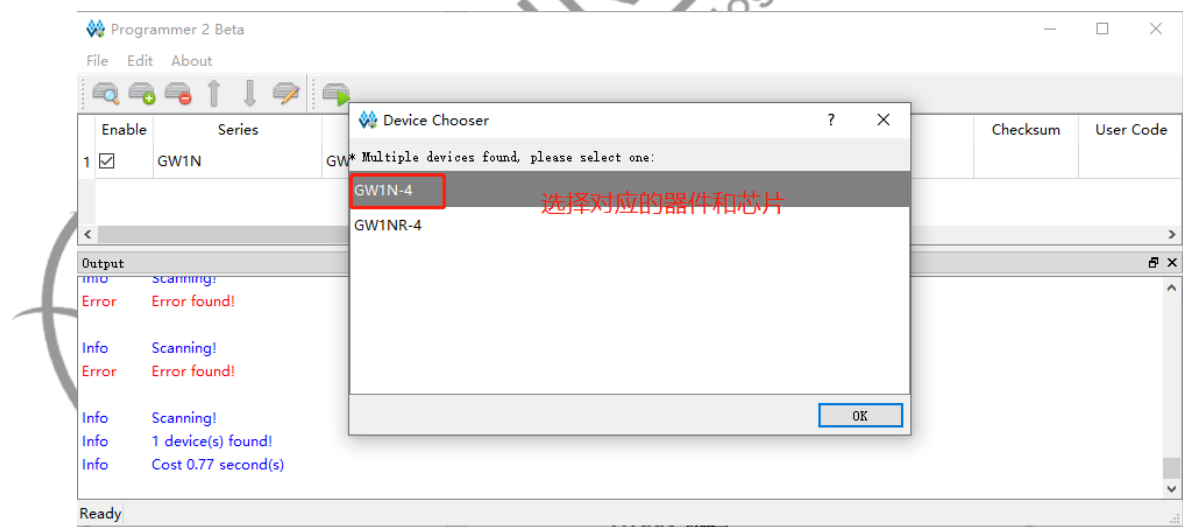
点击 process>>双击 Program Device

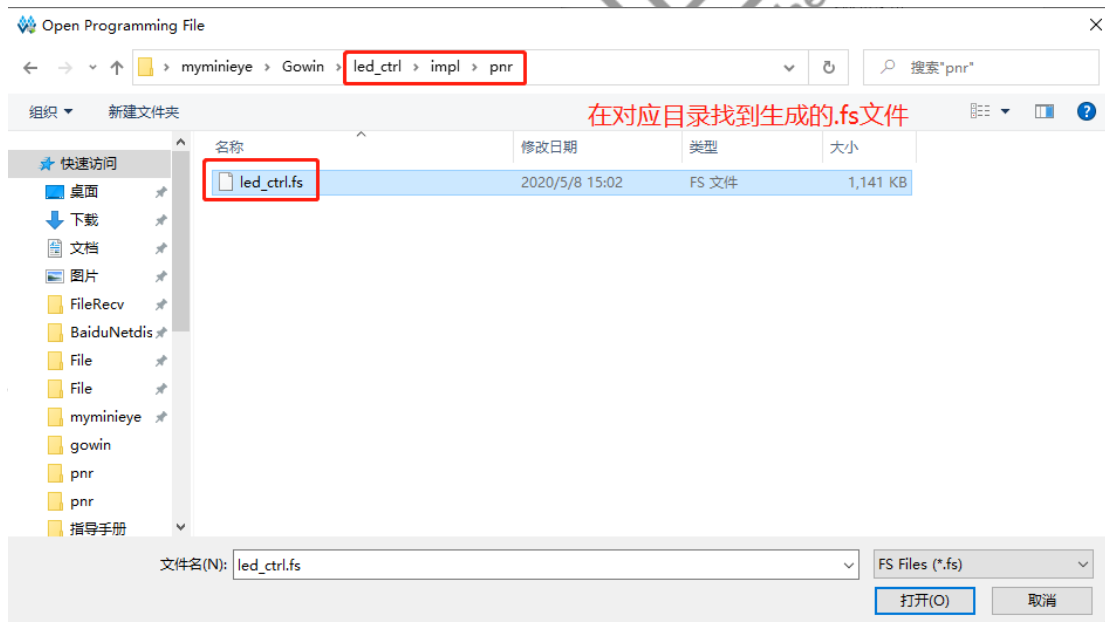
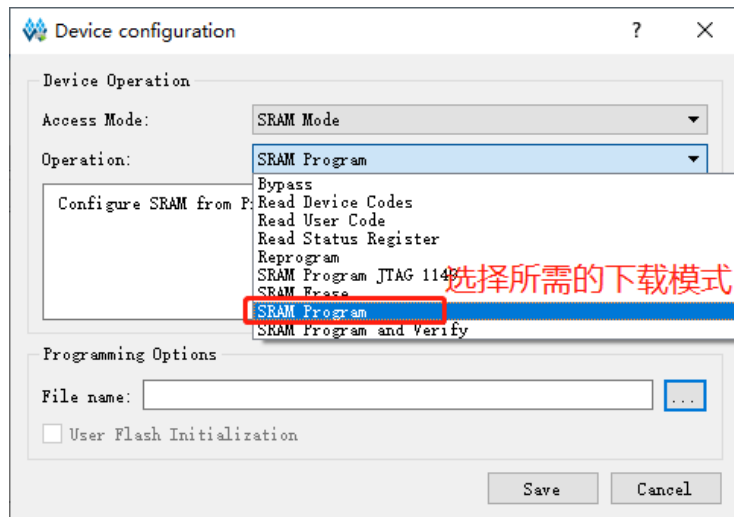


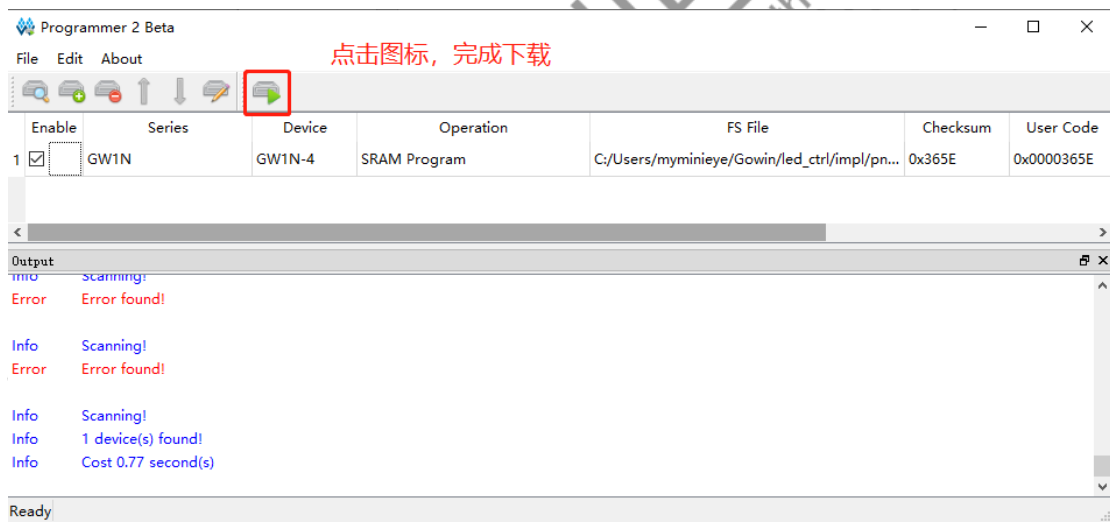
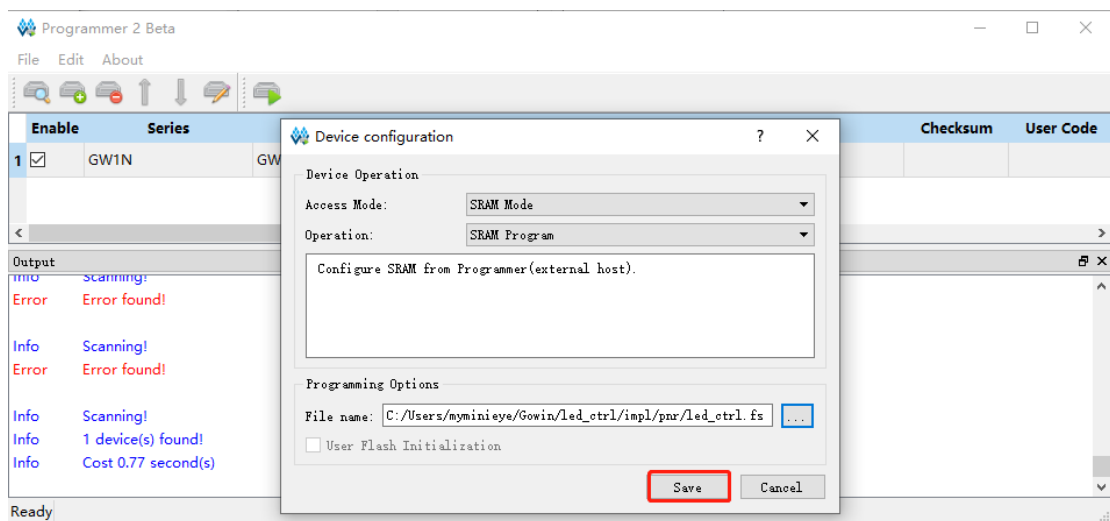
连接板卡到电脑的下载线



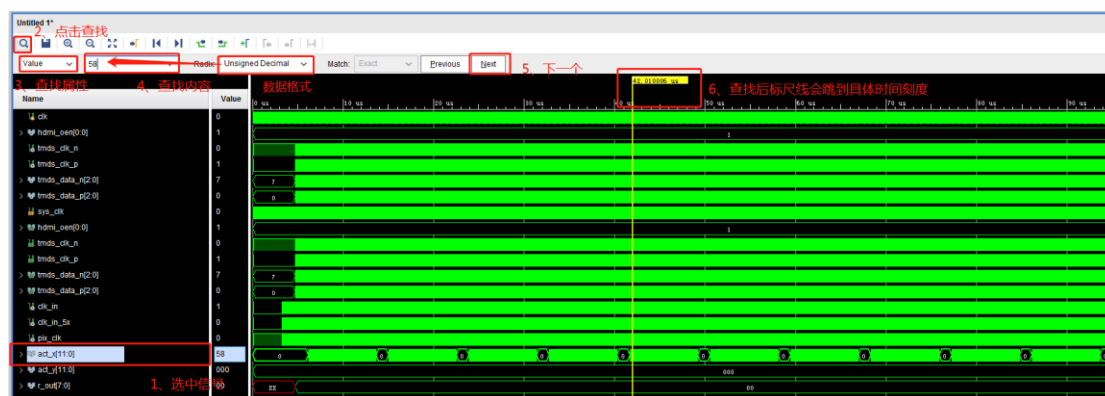
直至设备刷新出来







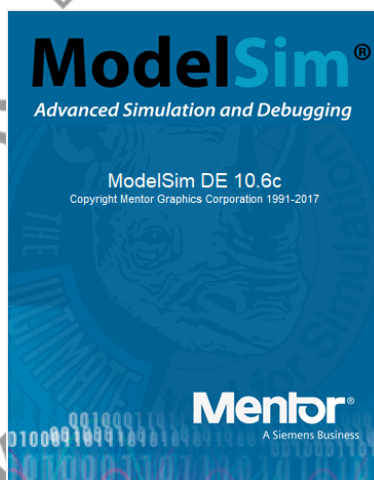
5 Modelsim 的使用



5.1 概述

Modelsim 的简单使用

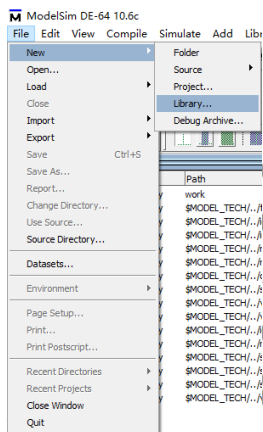
对于 FPGA 开发而言，仿真是开发流程中必不可少的一步，也是非常重要的一步，仿真是将 RTL 代码模拟运行，得到 module 中信号波形，再进行功能分析的过程。强大的功能与速度兼具的 modelsim 仿真就是你开发过程的最合适的选择了，下面我以简单的 24 进制计数器带各位熟悉 modelsim 仿真流程及波形。



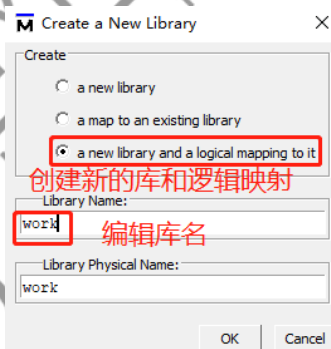
5.2 新建工作库 Library

1、新建库

1) 点击 File>New>Library



创建新的库和逻辑映射，编辑库名，点击 ok 确定



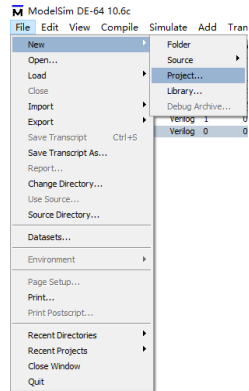
如果已经建立过 work 库可以跳过该步骤

2、库的其他功能

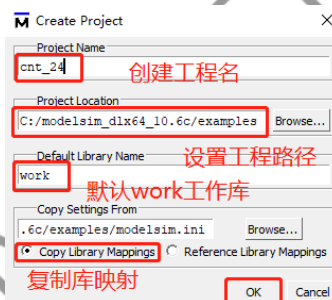
由于 modelsim 无法识别其他厂商器件的 IPcore，所以如果需要用到综合器对应厂商如 Xilinx 或 Gowin 芯片的功能，则需对 modelsim 添加厂商提供的库相关文件，并编译库，从而达到调用库的功能，进而对 VIVADO 或 Gowin 软件进行设置，最后进行联合仿真。

5.3 新建工程 Project

点击 File>New>Project

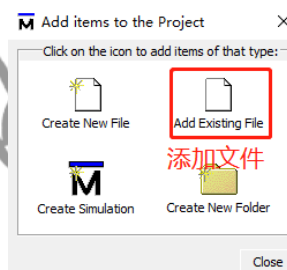


创建工程名、设置工程路径、确定默认工作库

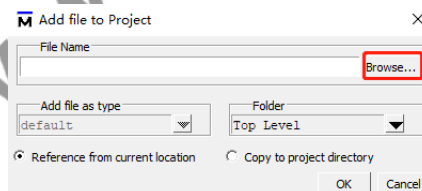


5.4 添加仿真源文件

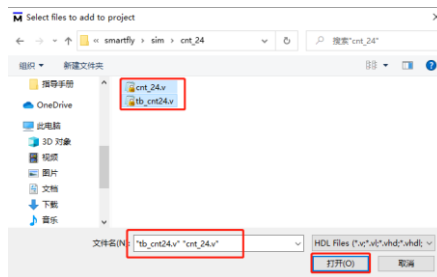
仿真源文件包含功能源文件与测试激励源文件；



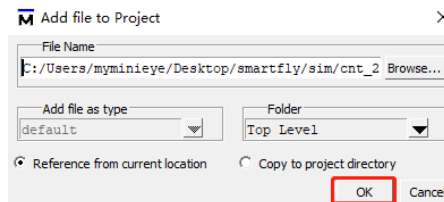
点击 Browse，浏览文件



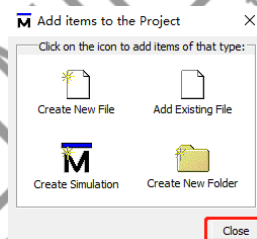
选择两个文件并打开



添加文件到工程，点击 OK



点击 close 关闭



如有不清楚 testbench 编写，可以参考 myminieye 公益课堂系列教程第 18 集；

仿真基础篇 1FPGA_simulation_testbench,

连接: <https://www.bilibili.com/video/BV1EE411475Z?p=18>

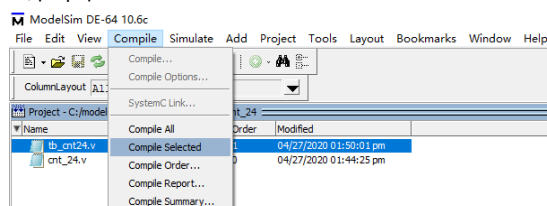
5.5 仿真源文件编译

若状态 Status 显示“?”为文件未编译

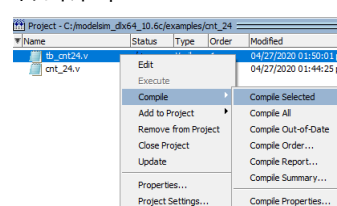
Project - C:/modelsim_dlx64_10.6c/examples/cnt_24				
Name	Status	Type	Order	Modified
tb_cnt24.v	?	Verilog	1	04/27/2020 02:16:04 pm
cnt_24.v	?	Verilog	0	04/27/2020 02:16:20 pm

常用有 3 种编译方式:编译选中文件、编译所有文件、编译未编译文件;对应操作方式如下:

<1>菜单栏:



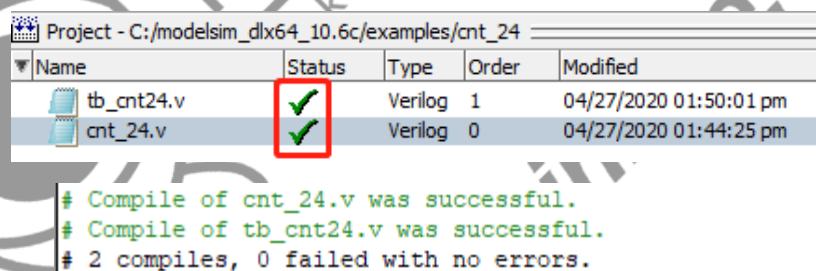
<2>右击菜单



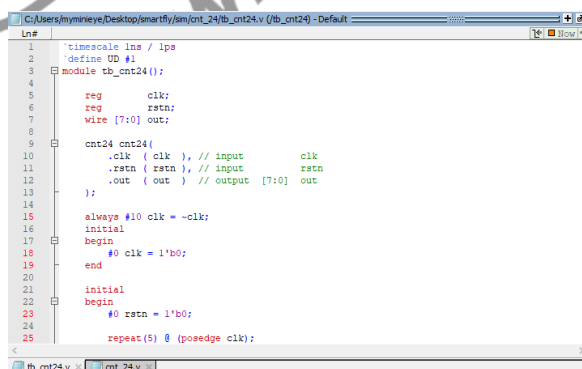
<3>图标:

图标			
选项	Compile Selected	Compile All	Compile Out of Date
功能	对指定源码文件编译	编译所有源码文件	未编译或修改文件编译
优点	文件修改后指定对应文件编译即可；	可以一次性编译所有的文件，与不用像选中编译一样一个一个的点击，仿真工程建立后第一次编译一般用全部编译，源文件比较少时也可以使用；源文件较多时，编译时间较长，如果文件较多，使用全编译会浪费大量时间	文件修改后或者添加新的源文件时使用；

若状态 Status 显示“√”则为编译成功，也可从下方 Transcript 看出文件编译成功



若状态 Status 并未显示“√”，或者下方 Transcript 显示编译不成功，则需修改对应的源文件。

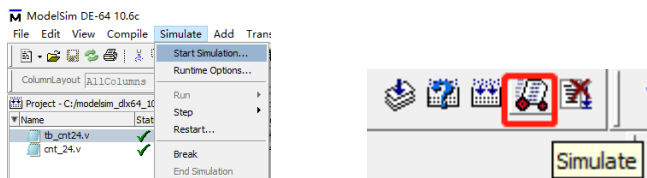


修改后重新编译，可从 Transcript 检查是否有语法错误等，直至显示编译成功。

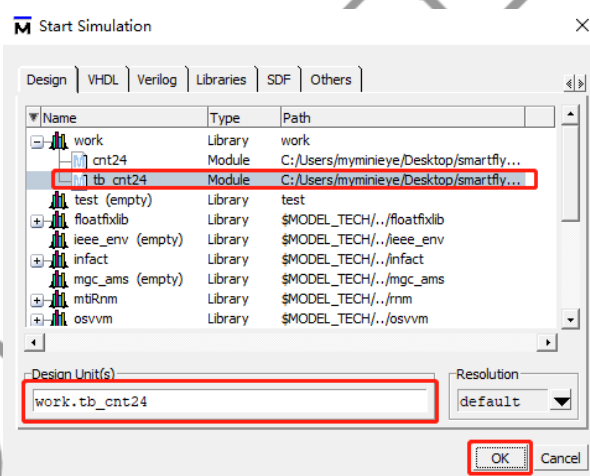
5.6 仿真运行

编译成功后即可运行仿真了；

1.开始仿真：Simulation>Start Simulation；或者点击下图中的小图标；



此时记得要选中 tb 测试激励文件（testbench 文件）进行仿真，点击 ok 确定



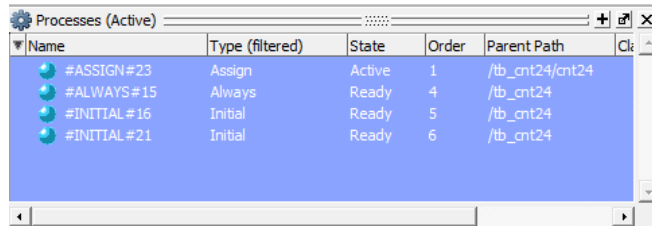
如果 Transcript 显示无报错则可以进行下一步操作

```
# Reading C:/modelsim_dlx64_10.6c/tcl/vsim/pref.tcl
# Loading project cnt_24
# Compile of cnt_24.v was successful.
# Compile of tb_cnt24.v was successful.
# 2 compiles, 0 failed with no errors.
ModelSim> vsim -gui work.tb_cnt24
# // ModelSim DE-64 10.6c Jul 26 2017
# //
# // Copyright 1991-2017 Mentor Graphics Corporation
# // All Rights Reserved.
# //
# // ModelSim DE-64 and its associated documentation contain trade
# // secrets and commercial or financial information that are the property of
# // Mentor Graphics Corporation and are privileged, confidential,
# // and exempt from disclosure under the Freedom of Information Act,
# // 5 U.S.C. Section 552. Furthermore, this information
# // is prohibited from disclosure under the Trade Secrets Act,
# // 18 U.S.C. Section 1905.
# //
```

端口类型

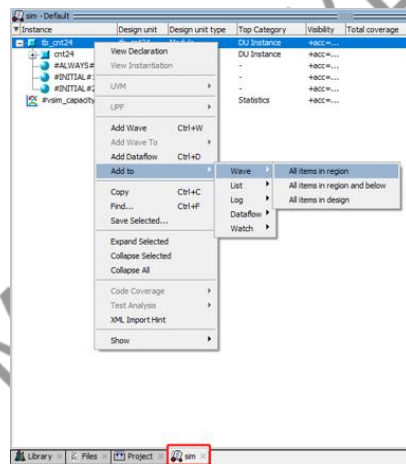
Name	Value	Kind	Mode
clk	1'hx	Regi...	Internal
rstn	1'hx	Regi...	Internal
out	8'hxx	Net	Internal

激励类型

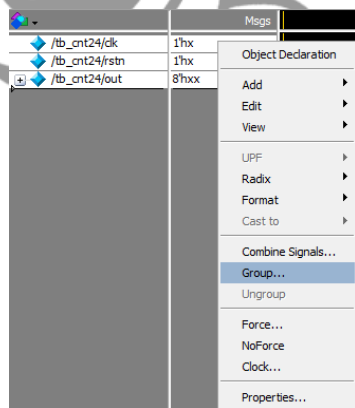


2.添加波形文件

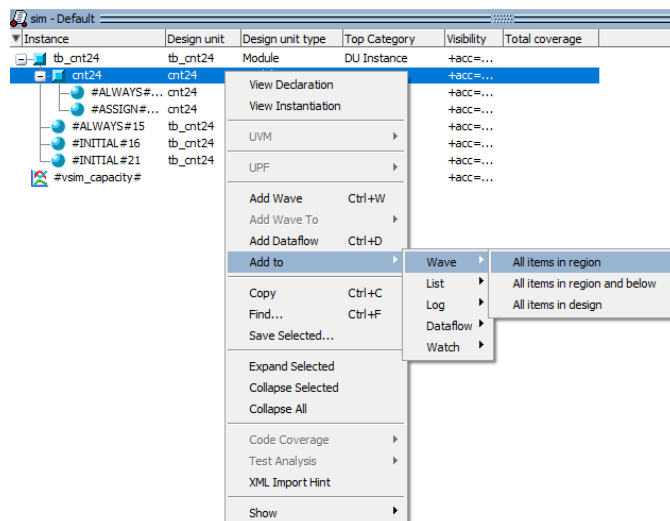
Sim: 选择下图所示的 sim, 右键点击选中 tb 测试文件>add to>wave>all items in region



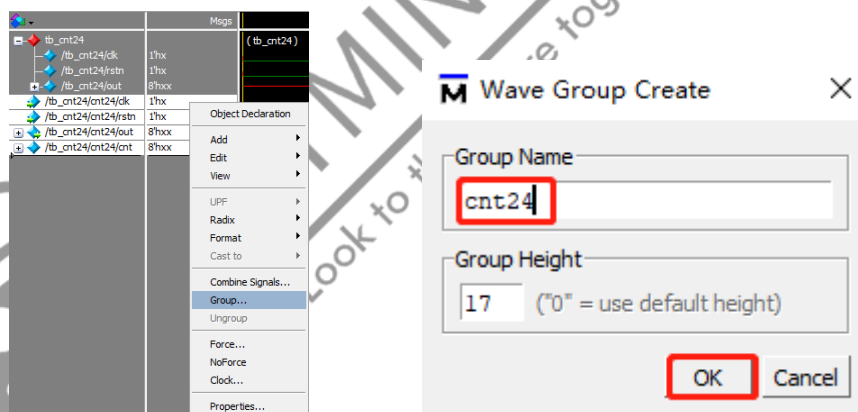
为了便于观察波形, 进行分组并命名, 点击 ok 确定;



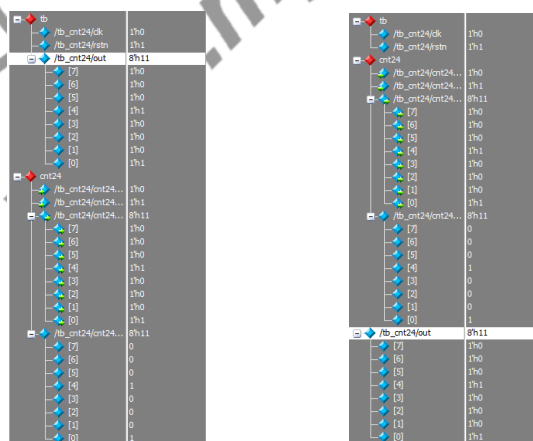
为了与 tb 测试文件仿真波形进行对比, 同理可添加源文件波形;



同样为了便于观察波形，进行分组并命名：



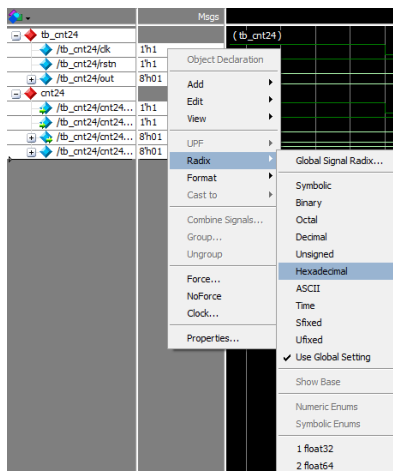
信号位置移动方便多个信号同时分析：分组后，可以上下拖拽所需要分析的信号，方便且清晰的上下对比所需波形之间的差异，此时分组的目的是能与拖拽前后波形信号对比区分，不至于搞混；



信号显示属性设置，选择合适的显示方式便于功能分析更好的找到信号并确定结果是否符合预期；

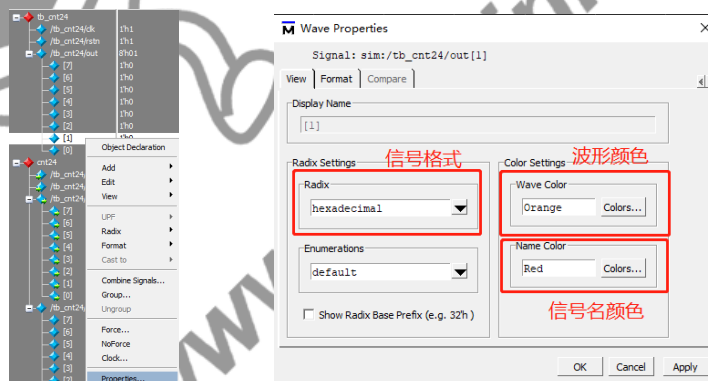
信号显示进制设置：

例：选择十六进制的信号格式：选中对应信号右键>Radix>hexadecimal



可修改为常用的信号格式：二进制 Binary、八进制 Octal、十进制 Decimal、无符号型 Unsigned、十六进制 Hexadecimal 等；

也可在属性 Properties 中修改信号格式，修改波形颜色，信号名颜色；
也可选择需要修改的信号波形颜色及信号名颜色，这样在仿真波形图中能更容易分辨；

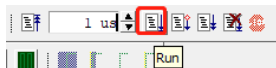


3、运行仿真工程，并设置运行时间

可在 Transcript 命令行输入 run 1us 命令，运行 1us 时间，也可运行其他时间

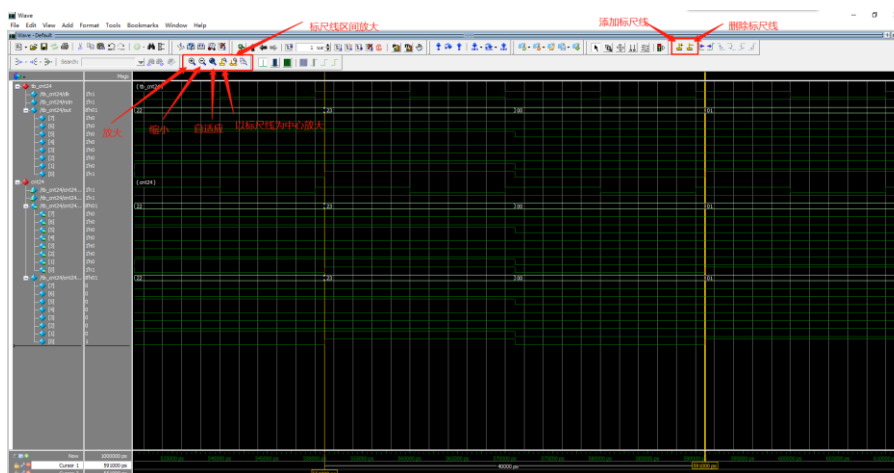
```
Transcript
# // All Rights Reserved.
# //
# // ModelSim DE-64 and its associated documentation contain trade
# // secrets and commercial or financial information that are the property of
# // Mentor Graphics Corporation and are privileged, confidential,
# // and exempt from disclosure under the Freedom of Information Act,
# // 5 U.S.C. Section 552. Furthermore, this information
# // is prohibited from disclosure under the Trade Secrets Act,
# // 18 U.S.C. Section 1905.
# //
add wave sim:/tb_cnt24/*
add wave sim:/tb_cnt24/cnt24/*
VSI4> run 1us
```

也可点击下图中输入需要运行波形的时间，然后点击图中的小图标。



4 波形界面调整

下图为波形界面常用的控制图标解析；



自此 Modelsim 将 RTL 代码转化为波形的功能完成，仿真后续内容需要自行根据实际 module 功能进行波形分析。