

专业的FPGA、无线通信方案商 主讲人: Mill





QQ群: 882634519

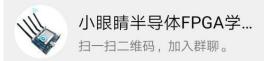
微信公众号: MYMINIEYE

邮箱: mill@myminieye.com

网址: www.myinleye.com

淘宝店铺:小眼睛半导体















FPGA原厂技术支持; 配套12套经典实例; MicroUSB数据线直接下载; 免费专家直播,深入浅出;

点击购买



国产高性价比FPGA套件

近20套配套实验:涉及频率计,密码锁,VGA,

蓝牙,WIFI通信;

硬件的思维解读Verilog和FPGA开发;

MYMINIEYE、高云原厂售后支持;



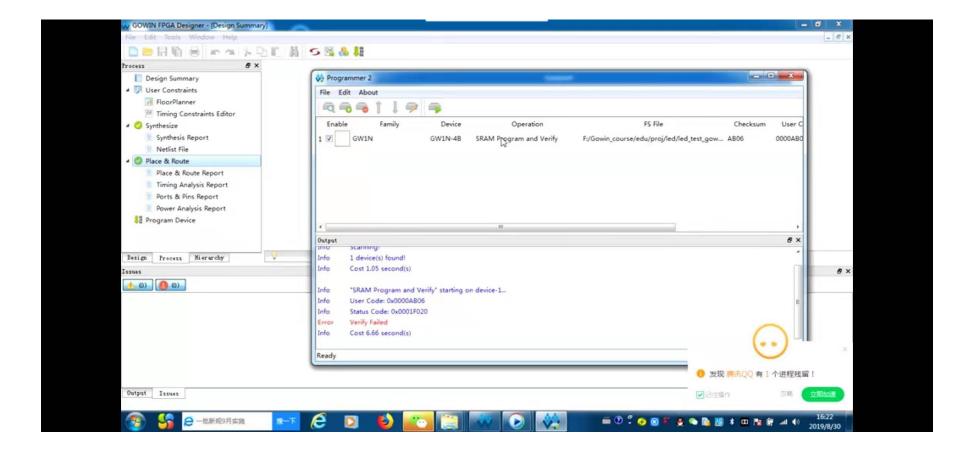






- 1、上一节视频中,将内嵌的Flash说成了内嵌的SRAM;
- 2、上一节视频中,最后下载部分,出现了Verify failed;
- 3、在设计中的一个细节:GCLK和PLL时钟管脚都可以用于全局网络输入;
- 4、注意模式选择引脚MODE:MODE0;MODE1,用于模式选择,亦可用做普通GPIO管脚;







模式引脚:

MODE:MODE0;MODE1; (UG105:P11)

GW1N系列FPGA产品 GW1N-2&2B&4&4B器件Pinout Pin List										\wedge	GO ₩IN 富云			
管脚名	功能	BANK	配置功能	差分Pair	LVDS	QN32	QN48	CS72	QN88	LQ100	LQ144	MG160	PG256	PG256M
IOT32A	I/O	0		True_of_IOT32B	NONE								M14	A13
IOT32B	I/O	0		Comp_of_IOT32A	NONE				75				M15	B13
IOT33A	I/O	0		True_of_IOT33B	NONE						115	B11	D14	C12
IOT33B	I/O	0		Comp_of_IOT33A	NONE				74		114	B12	E15	D11
IOT34A	I/O	0		True_of_IOT34B	NONE									
IOT34B	I/O	0		Comp_of_IOT34A	NONE									
IOT35A	I/O	0		True_of_IOT35B	NONE		39	A3	73	80	113	010	N15	B14
IOT35B	I/O	0		Comp_of_IOT35A	NONE		38	A4	72	79	112	¢10	P16	A15
IOT36A	I/O	0		True_of_IOT36B	NONE				71			П	N16	E12
IOT36B	I/O	0		Comp_of_IOT36A	NONE				70			П	N14	E11
IOT37A	I/O	0		True_of_IOT37B	NONE				69	78	111	A 12	P15	D13
IOT37B	I/O	0		Comp_of_IOT37A	NONE				68	77	110	A 13	R16	D12
IOT4A	I/O	0		True_of_IOT4B	NONE			A6	86	99	142	ВЗ	D16	E6
IOT4B	I/O	0		Comp_of_IOT4A	NONE				85	98	141	B 4	E14	F6
IOT5A	I/O	0		True_of_IOT5B	NONE				84			П	C16	C4
IOT5B	I/O	0		Comp_of_IOT5A	NONE				83			П	D15	D5
IOT6A	I/O	0		True_of_IOT6B	NONE				82	97	140	A 4	E16	B3
IOT6B	I/O	0		Comp_of_IOT6A	NONE				81	96	139	A 5	F15	C3
IOT7A	I/O	0		True_of_IOT7B	NONE						138	B5	F13	B4
IOT7B	I/O	0		Comp_of_IOT7A	NONE						137	E 6	G12	C5
IOT8A	I/O	0		True_of_IOT8B	NONE								F14	D6
IOT8B	I/O	0		Comp_of_IOT8A	NONE							П	F16	C6
IOT9A	I/O	0		True_of_IOT9B	NONE		47		80	95	136	¢ 5	F12	A4
IOT9B	I/O	0		Comp_of_IOT9A	NONE		46			94	135	0 5	G13	A5
IOT2B/MODE0	I/O	0	MODE0	Comp_of_IOT2A	NONE			A7	88	100	144	81	M16	E5
IOT3B/MODE1	I/O	0	MODE1	Comp_of_IOT3A	NONE	23	48		87		143	A3	B16	B1
IOT3A/MODE2	I/O	0	MODE2	True_of_IOT3B	NONE							A2	C15	A2
VCC	Power	N/A				2	12	H8	22	25	36			
VCC	Power	N/A				18	37	A2	66	75	108			
VCC	Power	N/A						A8	1	1	1			
VCC	Power	N/A							45	51	73			
VCC	Power	N/A									\mathbf{V}	A1	A1	F10
VCC	Power	N/A										A14	A16	G11



模式引脚:

MODE:MODE0;MODE1; (UG100:P12)

3.1 支持的配置模式

GW1N(R)系列 FPGA 产品支持的配置模式如表 3-1 所示。

表 3-1 配置模式

配置模式		MODE[2:0] ¹	相关说明		
JTAG		XXX ²	外部 Host 通过 JTAG 接口对 GW1N(R)系列 FPGA 产品进行配置		
	AUTO BOOT	000	FPGA 从内置 Flash 读取配置数据进行配		
	SSPI	001	外部 Host 通过 SPI 接口对 GW1N(R)系列 FPGA 产品进行配置		
O and a CONITIO	MSPI	010	GW1N 作为 Master,通过 SPI 接口 ³ 从外 部 Flash(或其他器件)读取配置数据进行 配置		
GowinCONFIG	DUAL BOOT⁴	100	FPGA 优先选择内置 Flash 读取配置数据进行配置, 内置 Flash 配置失败时选择从外部 Flash 进行配置		
	SERIAL ⁵	101	外部 Host 通过 DIN 接口对 GW1N(R)系列 FPGA 产品进行配置		
	CPU ⁵	111	外部 Host 通过 DBUS 接口对 GW1N(R)系列 FPGA 产品进行配置		

注!

- [1]对于一些 MODE 管脚没有全部封装出来的器件,未封装出来的 MODE 默认已接地;
- [2]JTAG 配置模式与 MODE 输入值无关;
- [3]SSPI 和 MSPI 模式的 SPI 接口是互相独立的;
- [4] GW1N(R)-2和GW1N(R)-4目前暂不支持DUAL BOOT; GW1N(R)-6和GW1N(R)-9 除了支持 MODE 值为 100 的 DUAL BOOT 外,还支持优先从外部 Flash 启动的模式,MODE 值为 110;
- [5]CPU 配置模式的 SCLK、WE_N 和 CLKHOLD_N 管脚与 SERIAL 配置模式共用, CPU 配置模式的数据总线管脚与 MSPI 和 SSPI 配置模式的管脚共用。









视频切换展示









什么是IP Core?

IP(Intellectual Property)在嵌入式FPGA设计中,指的是某些设计好的模块,分为软件模块和硬件模块。这些模块,一般都是已经测试好,所有功能完善的,由一些用户自己设计的。有些模块是免费的,也有收费的模块。所有用户都可以将这些IP核(IP Core)导入到自己的工程中,同样,所有用户也都可以定制自己的IP核。

如FIR滤波器, SDRAM控制器, PCI接口等。



高云IP Core 的使用请参考文档: SUG284-1.8

Gowin设计约束指南:SUG101-1.7



