

Instituto de Computação

Engenharia de Computação

Mateus Fernando Felismino da Silva Patriota

**Universidade Federal de Alagoas**

Lista 2 - Processador MIPS, Desempenho, Mono-ciclo e

Multi-ciclo

Maceió

2019

1. Os dados e instruções em MIPS são armazenados em 4 bytes, ou seja, 32bits.
2. O endereço de memória é ocupado por uma palavra de 4 bytes, ou seja, 4 posições de memória.
3. A arquitetura MIPS possui 32 registrados para armazenamento geral, como endereço e dados, possui formato $n, sendo 0 ≤ n ≤ 31. O registrador 0, é descrito como $zero e possui valor 0.
4. As instruções possuem 3 formatos:

**Formato R**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Opcode – 6bits | Reg s. - 5bits | Reg t. - 5bits | Reg d. - 5bits | Função - 6bits |

**Formato I**

|  |  |  |  |
| --- | --- | --- | --- |
| Opcode – 6bits | Reg s. - 5bits | Reg t. - 5bits | Imediato - 16bits |

**Formato J**

|  |  |
| --- | --- |
| Opcode – 6bits | Endereço - 26bits |

Ou seja, todo opcode possue 6bits de espaço e cada registrador 5. É possível verificar, que toda instrução possui 32bits, 4 bytes.

*Monociclo*

* **Simplicidade de implementação, em datapath e controle.**
* **Todas as intruções utilizam o mesmo período do clock.**
* **O ciclo do clock é mais lento, pois é definido por aquela instrução que possui maior complexidade.**
* **Cada unidade lógica só pode ser utilizada uma vez por ciclo.**
* **Maior custo de HW, necessita de duplicação de componentes.**

*Multiciclo*

* **Cada unidade funcional pode ser utilizada mais de uma vez por instrução.**
* **Cada etapa leva 1 ciclo de clock.**
* **Instruções possuem diferente CPI.**
* **Compartilha unidades funcionais durante a execução de uma única execução.**

1. *Vantagens*

* **Facilidade em executar operações aritméticas simples ao HW.**
* **Formato genérico.**

*Desvantagens*

* **Necessidade de implementação de diversas linhas de códigos complexos quando a realizar operações aninhadas.**
* **Necessita de mais instruções caso tenha mais entradas.**

1. Mips é considerada como arquitetura LOAD/STORE porque suas operações lógicas e aritméticas são executadas exclusivamente entre registradores da arquitetura ou entre constantes imediatas e registradores. As operações de acesso à memória executam, apenas, ou uma leitura ou escrita, dai o LOAD/STORE.

Vantagem

* Velocidade em operações com registradores.
* Facilidade na implementação de operações paralelas, PipeLine.

Desvantagem

* Possui apenas 32 registradores, logo, compensa na leitura e escrita na memoria, causando operações relativamente mais lentas.

1. Considerando a fórmula de tempo de execução

Onde:

**N** = número de instruções a serem executadas.

**CPI** = Ciclos por instrução.

**F =** Frequência do processador.

Considerando N como um número qualquer de instruções, temos:

Para P1 :

, T = N \* 0.75 \* 10^9

Para P2 :

, T = N \* 0.66 \* 10^9

Para P2 :

, T = N \* 0.83 \* 10^9

Dessa maneira, o processador que possui menos tempo de execução para N instruções é P2, logo P2 detém o melhor desempenho.

1. **Para P1:**

, N =2\*10^10 / 1.5 = **13 \* 10^9 instruções.**

, C = 13 \*10^9 \* 1.5 = **19.5 \* 10^9 Ciclos.**

**Para P2:**

, N =15\*10^9 / 1 = **15 \* 10^9 instruções.**

, C = 15\*10^9 \* 1 = **15 \* 10^9 Ciclos.**

**Para P3:**

, N = 30\*10^9 / 2.5 = **12 \* 10^9 instruções.**

, C = 12 \*10^9 \* 2.5 = **30 \* 10^9 Ciclos.**

1. **Para P1:**

, f = 23.4 \* 10^9 / 7 = **3.34 \* 10^9.**

**Para P2:**

, f = 18 \* 10^9 / 7 = **2.57 \* 10^9.**

**Para P2:**

, f = 36 \* 10^9 / 7 = **5.14 \* 10^9.**

1. Considerando que a quantidade de ciclos é dada por:

Temos que,

Para P1:

**T = 1.86 \* 10^-3 segundos.**

Para P2:

T = **1 \* 10^-3 segundos.**

**Logo P2, tem melhor desempenho.**

1. Para P1:

CPI = C / N

CPI = 2.7999 \* 10^6 / 10^6 = **2.8 Ciclos por instrução.**

Para P2:

CPI = C / N

CPI = 2 \* 10^6 / 10^6 = **2 ciclos Ciclos por instrução.**

1. **Para P1, temos 2.8\*10^6 Ciclos de clock.**

**Para P2, temos 2\*10^6 Ciclos de clock.**