ICBBridge设计文档

**1 概述**

* 1. **模块功能**

设计一个ICB协议的跨时钟域桥接电路。其中主设备测时钟为60ns，数据位宽为32位，从设备侧时钟为12ns，数据位宽位128位，两个时钟的上升沿对齐。要求设计电路完成主从设备的ICB握手协议，并实现ICB协议到DDR3 native interface的协议转换。

* 1. **本级系统在上级系统中的位置**



1. **功能描述**
   1. **算法描述**

设计的主要思想是利用了两个时钟的整数倍关系。输入用了一个深度为1的FIFO进行缓冲，FIFO的空满作为cmd\_ready信号，当FIFO为空且cmd\_valid有效时，使能写FIFO。写指针的改变自动时ready信号拉低，这个时候输入FIFO进入了等待状态。直到内部模块和DDR3 controller 完成通信，发出一个可读信号，在下一个内核时钟上升沿完成读FIFO指针改变，FIFO再次为空可以接收新的valid指令。

输出FIFO同理，当内部模块完成与DDR3 controller 的通信后，会发出一个可写信号，在内核时钟的上升沿，输出FIFO写指针加一，FIFO进入满状态，同时rsp\_valid表示这个满状态，如果下个时钟周期rsp\_ready有效，则读指针加1，再次将输出FIFO变为空状态，rsp\_valid也失效。

整个内部模块通过一个状态机实现，分为IDLE，READ，WRITE，WAIT，WAITRSP，RSP六个状态。

* 1. **模块总体实现框图**



