# 概述

由需求文档，结合ZYNQ SoC系统的结构，



如上图中红色框内信息，有以下几种设计方案：

《一》AXI Slave

逻辑部分部分作为AXI的Slave与PS部分的CPU通过AXI总线连接，CPU通过AXI总线读取逻辑部分产生的脉冲计数；

《二》AXI Master

逻辑部分部分作为AXI Master与PS部分的CPU通过AXI总线连接，产生的脉冲计数主动发送给CPU，CPU接收数据；

《三》High Performance AXI Slave

逻辑部分作为高性能AXI总线的Slave，通过PL与Memory的接口直接连接到DDR，将产生的脉冲计数直接送入DDR中，或者通过OCM接口，直接与CPU连接；

方案一实现比较简单，CPU作为AXI的Master，根据需要主动读取逻辑部分的数据；方案二CPU处于被动接收，再者AXI Master的处理相对复杂；方案三实现难度较大，需要对Memory Controller进行配置，适合高速率带宽的数据传输；综合分析，采用方案一来实现需求。

# 系统总体设计需求

1. 逻辑部分产生脉冲计数；
2. 逻辑部分通过AXI总线与PS部分的CPU连接；
3. CPU接受中断（GATE信号的下降沿产生中断）信息，然后读取逻辑部分的计数；

# 逻辑RTL设计

1. 计数模块；
2. 存储FIFO模块；

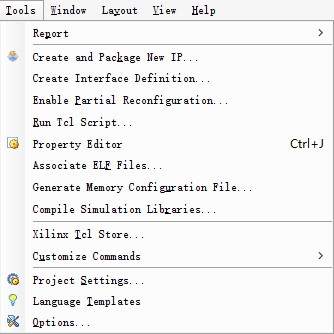
这两个主要的模块根据需求文档进行设计，需要注意FIFO的读写信号，计数产生时，此时需要产生FIFO的write信号，将计数值写入FIFO；当门控信号GATE的下降沿时，产生中断信号给cpu，同时产生FIFO的read信号，将当前的计数值送出给AXI总线的axi\_rdata，cpu根据中断处理读取计数值。

注：RTL中的pmt\_signal模块是测试时产生PMT激励信号用的。

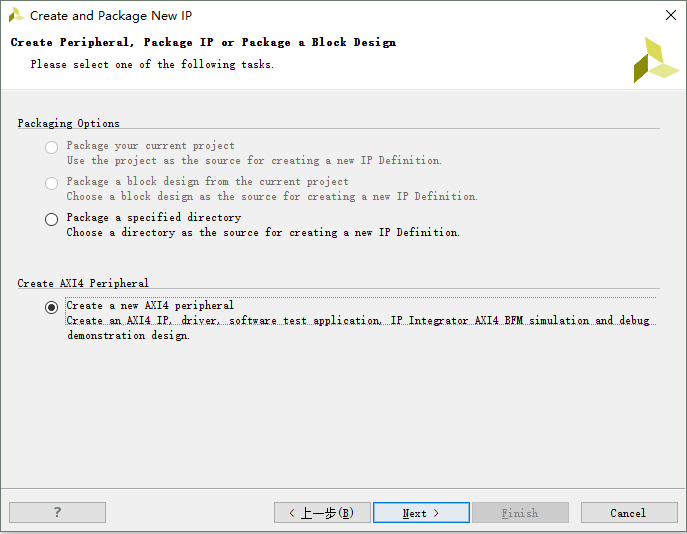
# AXI总线Slave接口

AXI Slave接口可以采用RTL代码的设计，也可以通过图形化界面生成该接口的IP，这里采用图形化界面生成IP，流程如下（这里以OLED示例）：

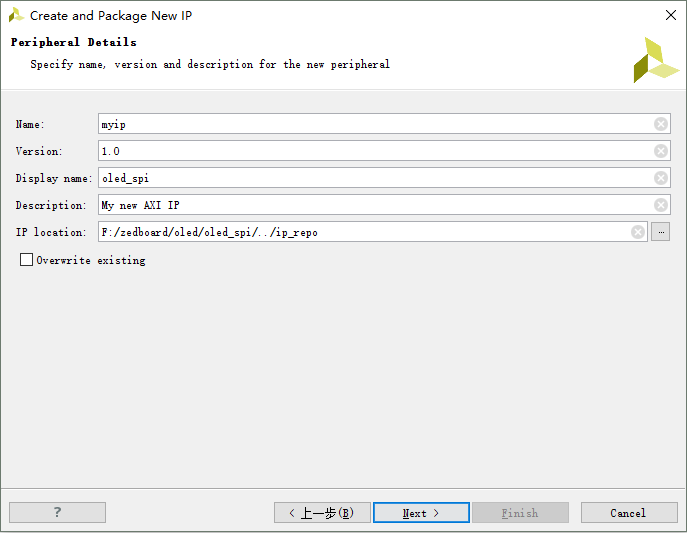
1. 新建一个vivado工程，不添加任何的源文件；
2. 点击vivado菜单栏的Tools下的Create and Package New IP...；



1. 弹出Create and Package New IP窗口，点击Next，进入下一步，选择Create AXI4 Peripheral，如下：

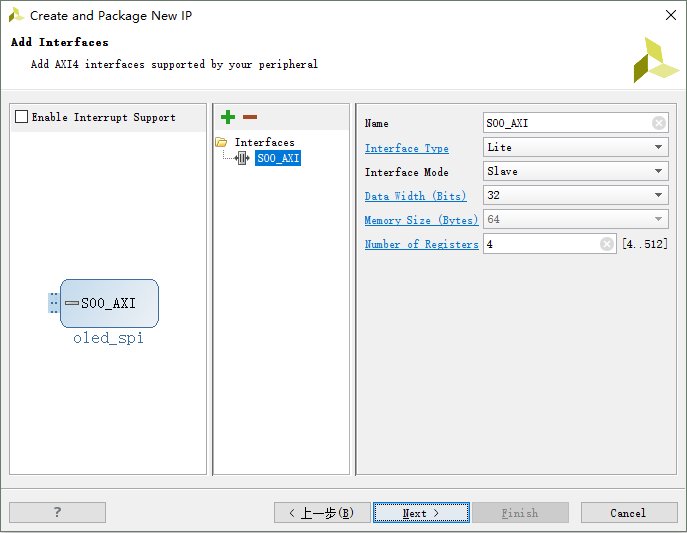


1. 点击Next，进入所创建的IP的基本信息设置窗口，设置好的信息如下：



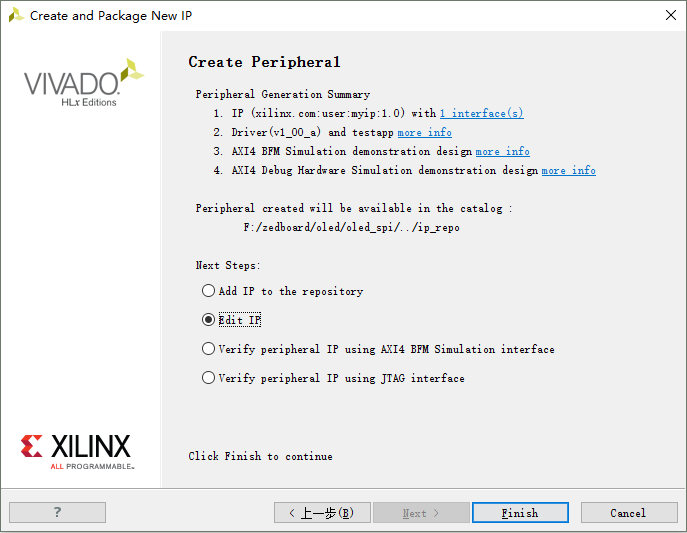
其中Display name为的IP显示的名字，IP创建成功后，在IP catalog中的名字就是这个，IP location为存放IP的路径，一般放在该工程路径下。

1. 点击Next，添加接口，如下：

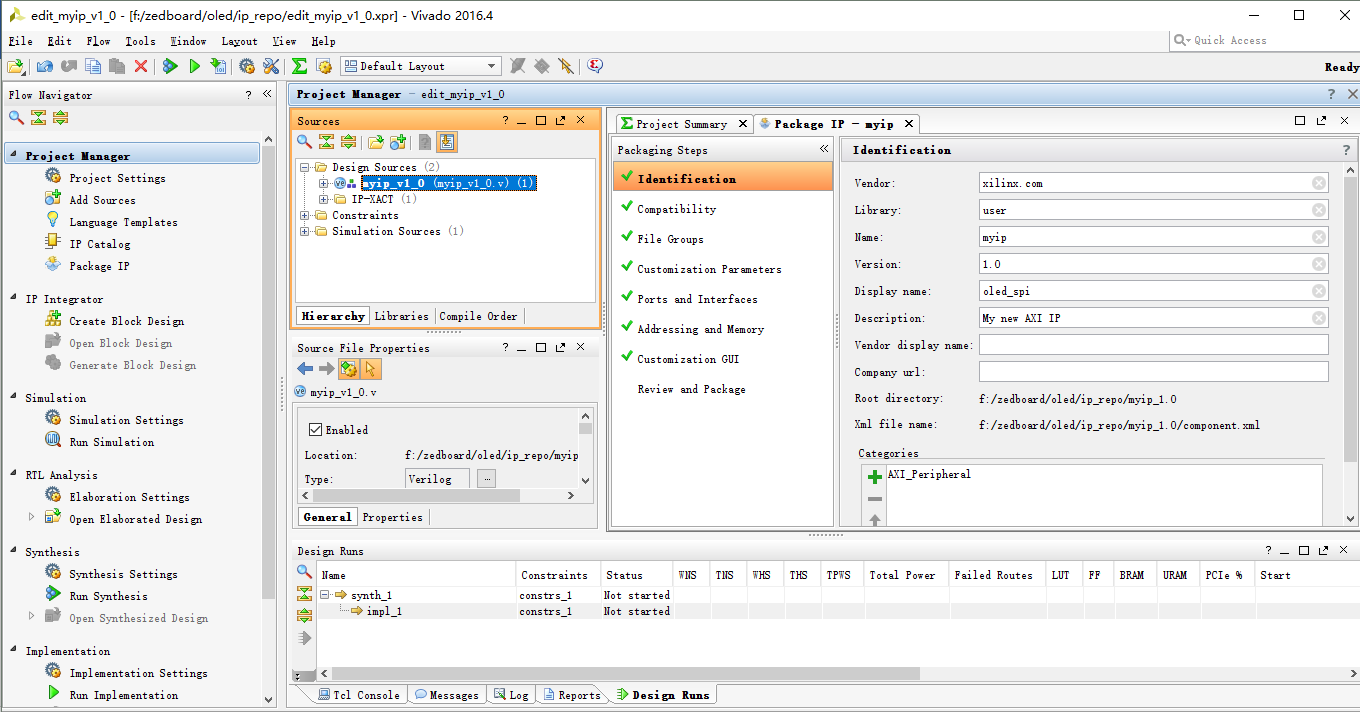


根据需要可以修改相应的接口类型，包括Lite、Full、Stream；接口的模式可选为Master和Slave，这里选择Slave；数据位宽为32bit，不可选；寄存器的个数，根据需要可进行增减减少（最小为4），这里不做修改。

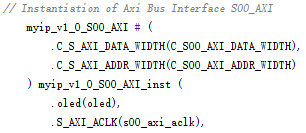
1. 点击Next，选择Edit IP，设置如下



1. 点击Finish，会弹出一个新的vivado工程窗口（在packaging成功后会提示关闭该工程），如下：



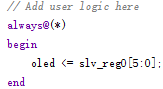
1. 修改.v文件，添加端口信息，在myip\_v1\_0.v文件中，修改如下：

output [5:0] oled,

.oled(oled),

在myip\_v1\_0\_S00\_AXI.v文件中，修改如下：

output reg [5:0] oled,

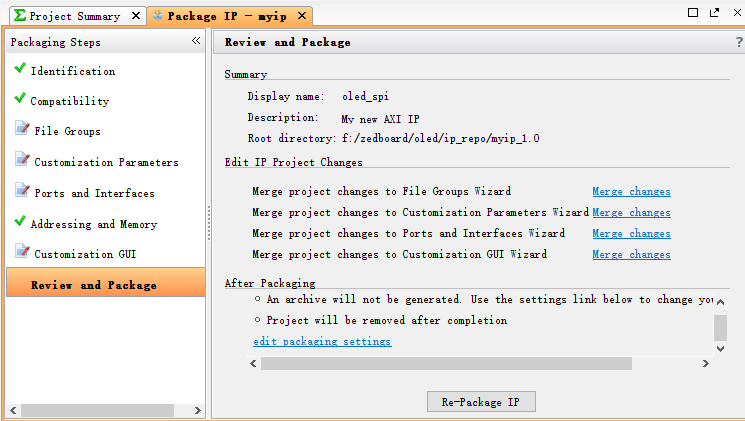
always@(\*)

begin

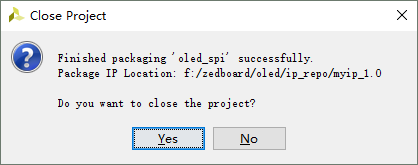
oled <= slv\_reg0[5:0];

end

1. 修改完.v文件，保存，然后在Package IP – myip窗口选择Review and Package栏中的Re-Package IP，如下：



1. Package IP完成后，弹出一个Close Project的窗口，如下：

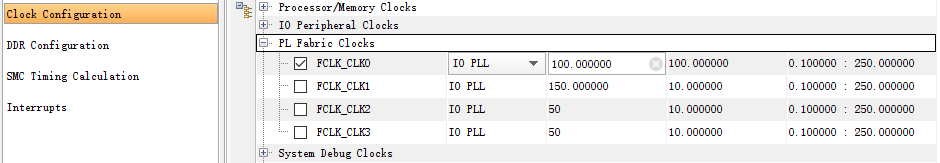


点击Yes，关闭工程。

# CPU配置与软件

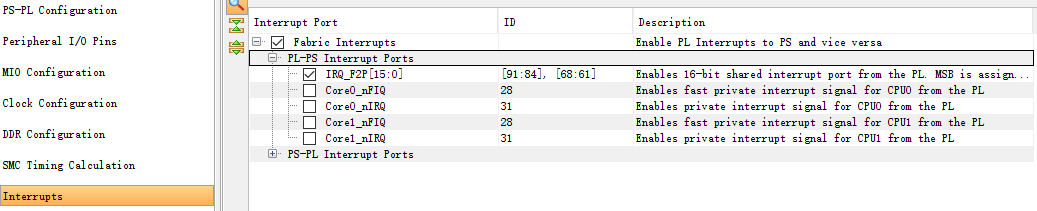
CPU的配置，主要指硬件的配置，vivado工程创建完成后，添加一个块设计，双击打开块IP，进行CPU的配置。

1. 首先去掉不使用的外设接口和存储设备接口，只留下uart作为调试使用。
2. 设置PL部分的时钟为100MHz，如下：



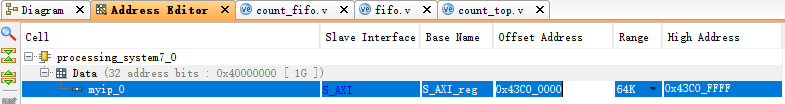
该时钟可根据需要进行修改。

1. 设置中断信息，PL-PS（SPI共享外设中断）中断，如下：



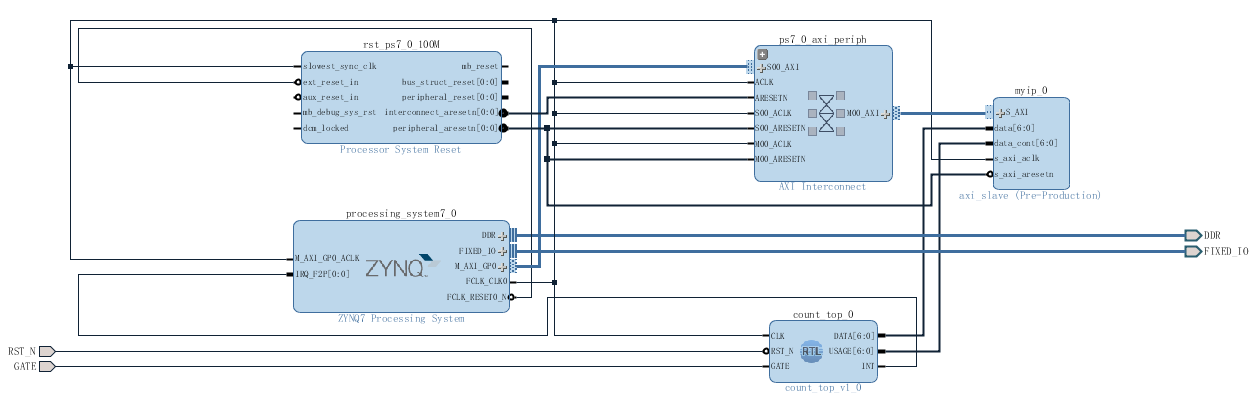
由于只产生一个中断信号，所以中断对应的ID为61，在后边的软件设计中需要使用该ID号进行中断的注册与处理。

设置完成后，添加刚才设计的AXI Slave IP模块，可以看到刚才生成的AXI Slave模块的基址如下：



该地址可以进行修改，但必须在CPU分配的PL部分的地址范围内，该地址也是软件中需要操作的寄存器的基址，点击自动连接，CPU会和AXI Slave通过内部连接器连接在一起。

将逻辑RTL模块添加到块设计中，此时RTL会生成一个模块出现在当前设计窗口，然后彼此进行连接，最终的连接如下：



然后生成bit文件导出到SDK，启动SDK，进行软件设计，软件设计主要完成中断的初始化、中断的注册、中断的处理等，软件中需要注意硬件中断的ID、逻辑部分的寄存器地址。

# 参考文档

《ug585-Zynq-7000-TRM》

《amba\_axi\_protocol\_spec》