数字收音机

1. SDR接收机，ADC->DE0->My FPGA Board->PC。

主要工作量：

1. CIC，FIR Comp滤波器设计。
2. 串口通信协议。
3. DLL文件的编写。

具体操作：

1. CIC滤波器，不需要推导寄存器位宽公式，但是要了解一下问题：

1，M、N、R对滤波器性能的影响。

2，各级寄存器位宽的剪切。

1. DE0-nano，串口接收，nco，cic，fir，串口发送
2. 先搞算法，再搞接口吧，算法自行仿真，再与接口连接。

 输入端口可以由wire/reg驱动,但输入端口只能是wire;输出端口可以使wire/reg类型,输出端口只能驱动wire;

具体代码解析：

1. 信号处理，主要由mDSP.v负责。

流程如下： NCO

|

input->ADC->mixer->CIC->FIR->output

module mDSP.v

(

input clk,

input clk\_fir, //fir滤波器时钟,20Mhz/200=100Khz

input rst\_n,

input [9:0] adc\_data, //输入ADC采样数据

input [31:0] phi\_inc\_i, //相位累加字

output [31:0] i\_out, //baseband i-q data

output [31:0] q\_out

);

验证思路:

输入一调制信号，观察输出信号载波频率是否降低，同时采样率降低。

具体参数：

输入载波频率为5Mhz，1Khz调制的AM信号，观察输出信号的频谱是否以0Hz为中心，即数字下变频是否成功，采样率是否降低。

其中，AD9200输出格式为straight binary，这里要人为加入偏置。得到的数值非补码，均为原码。

仿真步骤：

1. 下变频前后的频谱，验证NCO和Mixer的工作。
2. 级联滤波器，观察前后频谱，验证CIC和FIR工作。

初步仿真结果：

NCO工作是正常的，只是较长时钟周期才锁定输出。

问题：q路输出不正常，似乎毕设时的问题又出现了。

下午工作量，观察输入输出频谱，解决q路不正常问题。

9/4日进度：NCO，Mixer，CIC仿真结果均为正常，FIR似乎不正常，查找原因。

结果，输出的数据经过FIR的两倍抽取，速率降为50KHz，之前一直没注意到这个事情，将FIR滤波器输出数据速率改为50KHz后正常了。

1. 进入下一阶段了，串口通信协议的编写。

分为两部分，发送和接收，serial\_recv和serial\_send,虽然有现成的代码，但还是自己学习一下。

1,先搞serial\_recv，接收部分。

功能为接收NCO的频率控制字。

module serial\_recv(

input wire sclk, //96MHz

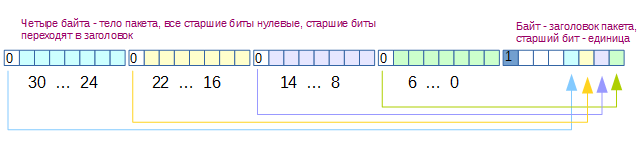
input wire sdata,

output reg [31:0]tuner\_freq,

output wire [3:0]bits4

);

接收，发送均将4字节的数据封装为5字节的数据包进行同步，相当于信源编码。



对于一个字节首先传送LSB还是MSB呢？先传送LSB。

对于1packet，由5Byte数据组成。在这5字节数据中，先传送低位还是高位呢？从程序上来看，先传送高位byte数据。