**VLSI Technology**

**X2X Synchronous Bridge**

**Lê Quang Hưng**

**Nguyễn Hùng Quân**

**2021.02.27**

**Đây là tài liệu mô tả thiết kế AXI Bus cho lõi VG CPU được phát triển bởi VLSI Technology**

LỜI NÓI ĐẦU

**Tài liệu mô tả đặc điểm thiết kế và cấu trúc của AXI Bus**

[**quanghungbk1999@gmail.com**](mailto:quanghungbk1999@gmail.com)

**…**

***Trân trọng.***

MỤC LỤC

[LỜI NÓI ĐẦU 3](#_Toc65883753)

[MỤC LỤC 4](#_Toc65883754)

[DANH SÁCH HÌNH 4](#_Toc65883755)

[DANH SÁCH BẢNG 5](#_Toc65883756)

[PHẦN MỀM SỬ DỤNG 6](#_Toc65883757)

[TỔNG QUAN 7](#_Toc65883758)

[CHI TIẾT THIẾT KẾ 8](#_Toc65883759)

[A) SI (Slave Interface) 8](#_Toc65883760)

[1 WSI 9](#_Toc65883761)

[2 RSI 30](#_Toc65883762)

[B) MI (Master Interface) 41](#_Toc65883763)

[1 WMI 41](#_Toc65883764)

[2 RMI 50](#_Toc65883765)

[C) Arbiter Scheme 54](#_Toc65883766)

[1 Round Robin Arbiter 54](#_Toc65883767)

[2 Dynamic Priority Arbiter 57](#_Toc65883768)

DANH SÁCH HÌNH

[Hình 1: AXI Interconnect 10](#_Toc65883876)

[Hình 2: Sơ đồ khối chức năng SI 11](#_Toc65883877)

[Hình 3: Sơ đồ tín hiệu giao tiếp AWSI 12](#_Toc65883878)

[Hình 4: Sơ đồ khối chức năng AWSI 14](#_Toc65883879)

[Hình 5: Sơ đồ tín hiệu giao tiếp AW Decoder 15](#_Toc65883880)

[Hình 6: Sơ đồ logic AW Decoder 16](#_Toc65883881)

[Hình 7: Sơ đồ tín hiệu giao tiếp của AW Ordering 17](#_Toc65883882)

[Hình 8: Sơ đồ logic AW Ordering (1) 18](#_Toc65883883)

[Hình 9: Sơ đồ logic AW Ordering (2) 19](#_Toc65883884)

[Hình 10: Sơ đồ logic AW Ordering (3) 20](#_Toc65883885)

[Hình 11: Sơ đồ tín hiệu giao tiếp AW Queue 20](#_Toc65883886)

[Hình 12: Sơ đồ logic AW Queue 21](#_Toc65883887)

[Hình 13: Sơ đồ logic các tín hiệu khác của AWSI 22](#_Toc65883888)

[Hình 14: Sơ đồ tín hiệu giao tiếp W Router 23](#_Toc65883889)

[Hình 15: Sơ đồ logic W Router 25](#_Toc65883890)

[Hình 16: Sơ đồ tín hiệu giao tiếp B Arbiter 26](#_Toc65883891)

[Hình 17: Sơ đồ logic B Arbiter (1) 28](#_Toc65883892)

[Hình 18: Sơ đồ logic B Arbiter (2) 29](#_Toc65883893)

[Hình 19: Sơ đồ logic B Arbiter (3) 30](#_Toc65883894)

[Hình 20: Sơ đồ tín hiệu giao tiếp WDS 30](#_Toc65883895)

[Hình 21: Sơ đồ logic WDS 31](#_Toc65883896)

[Hình 22: Sơ đồ tín hiệu giao tiếp ARSI 32](#_Toc65883897)

[Hình 23: Sơ đồ khối chức năng ARSI 34](#_Toc65883898)

[Hình 24: Sơ đồ tín hiệu giao tiếp AR Decoder 34](#_Toc65883899)

[Hình 25: Sơ đồ logic AR Decoder 35](#_Toc65883900)

[Hình 26: Sơ đồ tín hiệu giao tiếp AR Ordering 36](#_Toc65883901)

[Hình 27: Sơ đồ logic AW Ordering 37](#_Toc65883902)

[Hình 28: Sơ đồ tín hiệu giao tiếp 38](#_Toc65883903)

[Hình 29: Sơ đồ logic R Arbiter (1) 39](#_Toc65883904)

[Hình 30: Sơ đồ logic R Arbiter (2) 40](#_Toc65883905)

[Hình 31: Sơ đồ logic R Arbiter (3) 40](#_Toc65883906)

[Hình 32: Sơ đồ tín hiệu giao tiếp RDS 41](#_Toc65883907)

[Hình 33: Sơ đồ logic RDS 42](#_Toc65883908)

[Hình 34: Sơ đồ khối chức nằng MI 43](#_Toc65883909)

[Hình 35: Sơ đồ tín hiệu giao tiếp AW Arbiter 44](#_Toc65883910)

[Hình 36: Sơ đồ logic AW Arbiter (1) 45](#_Toc65883911)

[Hình 37: Sơ đồ logic AW Arbiter (2) 46](#_Toc65883912)

[Hình 38: Sơ đồ tín hiệu giao tiếp W Queue 47](#_Toc65883913)

[Hình 39: Sơ đồ tín hiệu giao tiếp W Mux 48](#_Toc65883914)

[Hình 40: Sơ đồ logic W Mux 49](#_Toc65883915)

[Hình 41: Sơ đồ tín hiệu giao tiếp BMI 50](#_Toc65883916)

[Hình 42: Sơ đồ logic BMI 51](#_Toc65883917)

[Hình 43: Sơ đồ tín hiệu giao tiếp AR Arbiter 52](#_Toc65883918)

[Hình 44: Sơ đồ logic AR Arbiter 53](#_Toc65883919)

[Hình 45: Sơ đồ tin hiệu giao tiếp RMIm 54](#_Toc65883920)

[Hình 46: Sơ đồ logic RMIm 55](#_Toc65883921)

[Hình 47: Sơ đồ tín hiệu giao tiếp Round Robin Arbiter ở bộ B Arbiter 56](#_Toc65883922)

[Hình 48: Sơ đồ khối chức năng của Round Robin Arbiter ở bộ B Arbiter 57](#_Toc65883923)

[Hình 49: Sơ đồ logic Prior\_Gen 57](#_Toc65883924)

[Hình 50: Sơ đò logic Dynamic Prior Mask 58](#_Toc65883925)

[Hình 51: Sơ đồ logic Reg\_Collect 58](#_Toc65883926)

[Hình 52: Sơ đồ tín hiệu giao tiếp Dynamic Priority của bộ B Arbiter 59](#_Toc65883927)

[Hình 53: Sơ đồ khối chức năng Dynamic Priority Arbiter 59](#_Toc65883928)

[Hình 54: Sơ đồ logic Fixed\_Prior\_Mask 60](#_Toc65883929)

DANH SÁCH BẢNG

[Bảng 1: Bảng mô tả tín hiệu giao tiếp của AWSI 14](#_Toc65883940)

[Bảng 2: Bảng mô tả tín hiệu giao tiếp AW Decoder 15](#_Toc65883941)

[Bảng 3: Bảng mô tả tín hiệu giao tiếp của AW Ordering 17](#_Toc65883942)

[Bảng 4: Bảng mô tả tín hiệu giao tiếp AW Queue 21](#_Toc65883943)

[Bảng 5: Bảng mô tả tín hiệu giao tiếp của W Router 24](#_Toc65883944)

[Bảng 6: Bàng mô tả tín hiệu giao tiếp B Arbiter 27](#_Toc65883945)

[Bảng 7: Bảng mô tả tín hiệu giao tiếp WDS 31](#_Toc65883946)

[Bảng 8: Bảng mô tả tín hiệu giao tiếp ARSI 33](#_Toc65883947)

[Bảng 9: Bảng mô tả tín hiệu giao tiếp AR Decoder 35](#_Toc65883948)

[Bảng 10: Bảng mô tả tín hiệu giao tiếp AR Ordering 36](#_Toc65883949)

[Bảng 11: Bảng mô tả tín hiệu giao tiếp R Arbiter 39](#_Toc65883950)

[Bảng 12: Bảng mô tả tín hiệu giao tiếp RDS 41](#_Toc65883951)

[Bảng 13: Bảng mô tả tín hiệu giao tiếp AW Arbiter 45](#_Toc65883952)

[Bảng 14: Bảng mô tả tín hiệu giao tiếp W Queue 47](#_Toc65883953)

[Bảng 15: Bảng mô tả tín hiệu giao tiếp W Mux 49](#_Toc65883954)

[Bảng 16: Bảng mô tả tín hiệu giao tiếp BMI 50](#_Toc65883955)

[Bảng 17: Bảng tín hiệu giao tiếp AR Arbiter 53](#_Toc65883956)

[Bảng 18: Bảng mô tả tín hiệu giao tiếp RMIm 54](#_Toc65883957)

[Bảng 19: Bảng mô tả tín hiệu giao tiếp bộ Round Robin Arbiter ở bộ B Arbiter 56](#_Toc65883958)

[Bảng 20: Bảng mô tả tín hiệu giao tiếp Dynamic Priority Arbiter của bộ B Arbiter 59](#_Toc65883959)

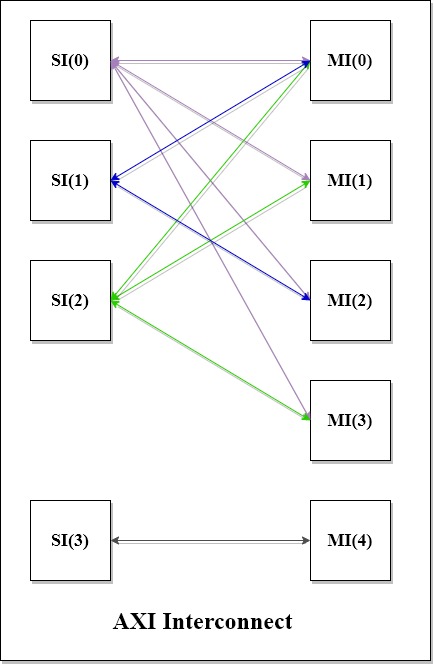
PHẦN MỀM SỬ DỤNG

|  |  |
| --- | --- |
|  |  |

|  |  |
| --- | --- |
| **Phần mềm** | **Mục đích sử dụng** |
| Microsoft Word 2013 | Soạn thảo tài liệu hướng dẫn chi tiết |
| Microsoft Excel 2013 | Tạo bảng tính và mô tả dữ liệu dảng bảng như bảng lệnh, bảng chu kỳ lệnh |
| Microsoft Visio 2013  Drawio | Vẽ hình minh họa |
| QuestaSim 10.2c | Mô phỏng RTL code |
| Quartus Prime Lite Edition 18.1 | Khả tổng hợp RTL code |

TỔNG QUAN

Thành phần cơ bản của AXI Interconnect là các khối SI và MI. Số lương SI và MI tương ứng với số lượng Master và Slave cần hỗ trợ.



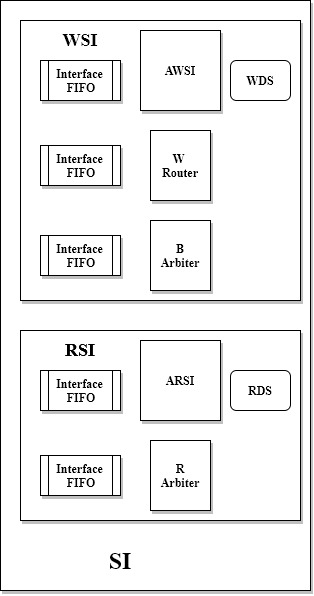
Hình 1: AXI Interconnect

CHI TIẾT THIẾT KẾ

Các tín hiệu trùng tên đươc sử dụng trong cùng một module được mô tả dưới đây, được phân biệt trong rtl code nhờ các hậu tố in và out

Vd: awvalid\_in và awvalid\_out[n:0]

A) SI (Slave Interface)

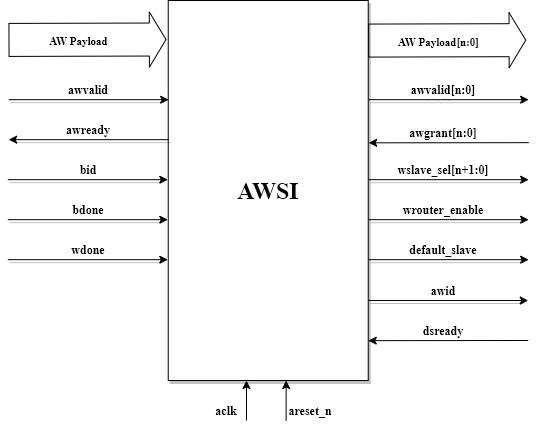


Hình 2: Sơ đồ khối chức năng SI

SI gồm 2 khối cơ bản là WSI và RSI. Các bộ SI được sử dụng để giao tiếp với các Master.

* WSI (Write Slave Interface): quản lý giao tiếp ở các kênh AW, W và B.
* RSI (Read Slave Interface): quản lý giao tiếp ở các kênh AR và R.

1. WSI
   1. AWSI



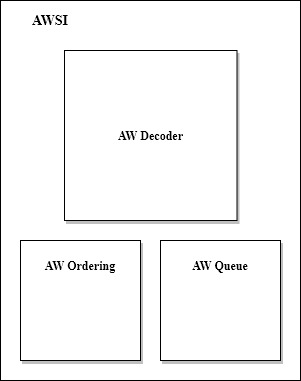
Hình 3: Sơ đồ tín hiệu giao tiếp AWSI

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **TT** | **Tên tín hiệu** | **Số bit** | **Chiều** | **Mô tả** |
| 1 | awvalid\_in | 1 | Ngõ vào | Tín hiệu awvalid được đưa đến từ Master hoặc Interface FIFO tương ứng (nếu được sử dụng) |
| 2 | awready | 1 | Ngõ ra | Tín hiệu awready từ AWSI trả về cho Master hoặc Interface FIFO tương ứng (nếu đươc sử dụng). |
| 3 | bid | BID\_LENGTH | Ngõ vào | Tín hiệu bid được đưa đến từ B Arbiter.  Dùng để nhận biết id của Write transaction vừa được hoàn thành, |
| 4 | bdone | 1 | Ngõ vào | Tín hiệu bdone được đưa đến từ B Arbiter.  Tín hiệu này được bật lên khi có sự hoàn thành của một Write transaction. |
| 5 | wdone | 1 | Ngõ vào | Tín hiệu wdone được đưa đến từ W Rounter.  Dùng để phát hiện thời điểm trên kênh W kết thúc burst transaction hiện tại. |
| 6 | awvalid\_out | MASTER\_X\_SLAVE\_NUM | Ngõ ra | Các tín hiệu awvalid này được đưa đến các MI tương ứng.  Báo hiệu dữ liệu trên kênh AW tương ứng là hợp lệ. |
| 7 | awgrant | MASTER\_X\_SLAVE\_NUM | Ngõ vào | Các tín hiệu awgrant được đưa đến từ các MI tương ứng.  Báo dữ liệu trên kênh AW đã được nhận bởi MI đích. |
| 8 | wslave\_sel | MASTER\_X\_SLAVE\_NUM+1 | Ngõ ra | Tín hiệu wslave\_sel được đưa đến cho W Router.  Dùng để chọn Slave đích cho kênh W. |
| 9 | wrouter\_enable | 1 | Ngõ ra | Tín hiệu wrouter\_enable được đưa đến cho W Router.  Cho phép W Rounter phân phối dữ liệu đến Slave tương ứng. |
| 10 | default\_slave | 1 | Ngõ ra | Tín hiệu default\_slave được đưa đến cho WDS.  Báo hiệu địa chỉ dữ liệu hiện tại trên kênh AW là không hợp lệ. |
| 11 | awid | AWID\_LENGTH | Ngõ ra | Tín hiệu awid được đưa đến cho WDS. |
| 12 | dsready | 1 | Ngõ vào | Tín hiệu dsready được đưa đến từ WDS.  Báo hiệu rằng WDS cho phép sử lý transaction hiện tại. |
| AW Payload: bao gồm các tín hiệu của kênh AW giống như AXI specification nhưng loại bỏ 2 tín hiệu awvalid và awready. | | | | |

Bảng 1: Bảng mô tả tín hiệu giao tiếp của AWSI

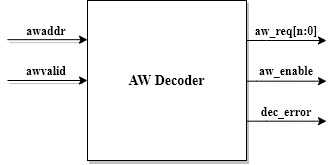
Module AWSI chứa 3 sub-module:

* AW Decoder: decode địa chỉ nhận trên kênh AW
* AW Ordering: đảm bảo CDAS (các outstanding transaction có cùng id phải đến cùng một Slave)
* AW Queue: dùng để xác định Slave đích cho kênh W



Hình 4: Sơ đồ khối chức năng AWSI

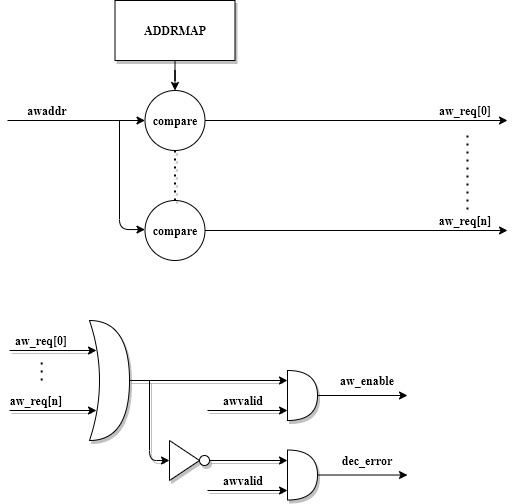
* + 1. AW Decoder



Hình 5: Sơ đồ tín hiệu giao tiếp AW Decoder

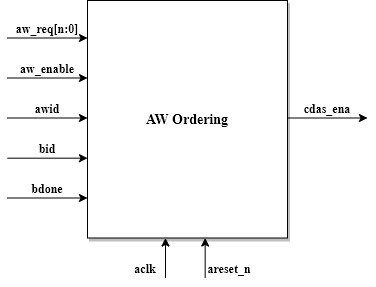
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **TT** | **Tên tín hiệu** | **Số bit** | **Chiều** | **Mô tả** |
| 1 | awaddr | AWADDR\_LENGTH | Ngõ vào | Tín hiệu awaddr được lấy ra từ AW Payload được đưa vào AWSI |
| 2 | awvalid | 1 | Ngõ vào | Tín hiệu awvalid này chính là tín hiệu awvalid được đưa vào AWSI |
| 3 | aw\_req | MASTER\_X\_SLAVE\_NUM | Ngõ ra | Tín hiệu yêu cầu kết nối đến Slave tương ứng |
| 4 | aw\_enable | 1 | Ngõ ra | Tín hiệu báo hiệu địa chỉ awaddr hiện tại là hợp lệ |
| 5 | dec\_error | 1 | Ngõ ra | Tín hiệu báo hiệu địa chỉ awaddr hiện tại là không hợp lệ |

Bảng 2: Bảng mô tả tín hiệu giao tiếp AW Decoder



Hình 6: Sơ đồ logic AW Decoder

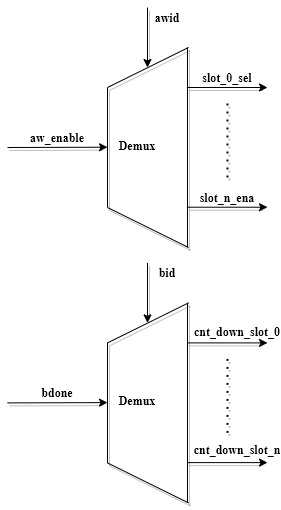
* + 1. AW Ordering



Hình 7: Sơ đồ tín hiệu giao tiếp của AW Ordering

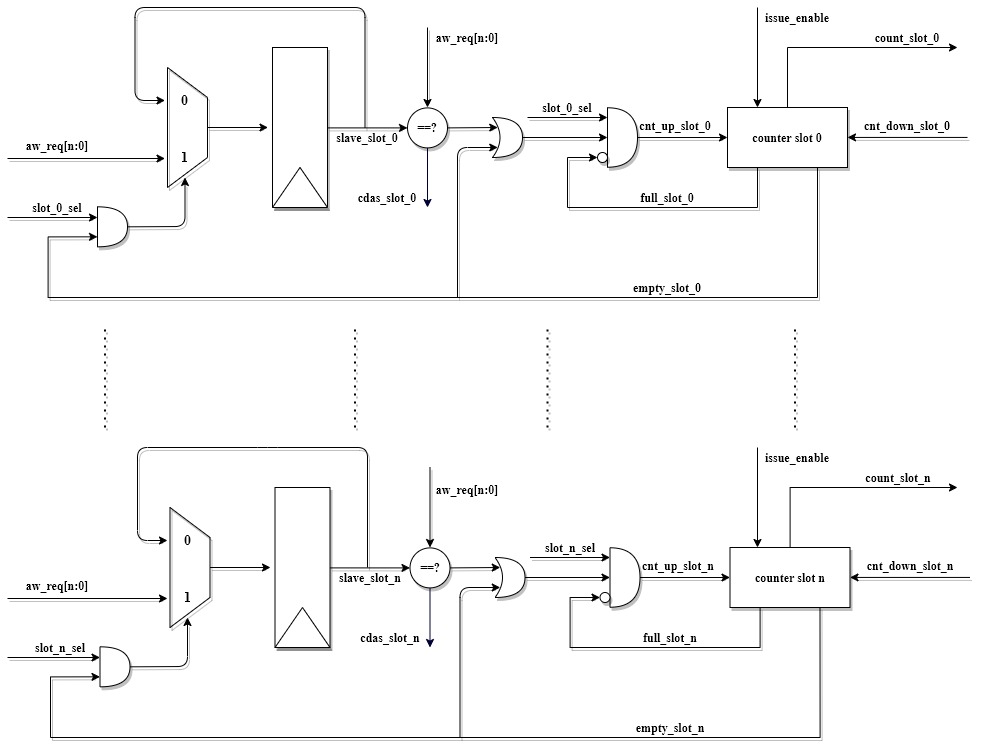
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **TT** | **Tên tín hiệu** | **Số bit** | **Chiều** | **Mô tả** |
| 1 | aw\_req | MASTER\_X\_SLAVE\_NUM | Ngõ vào | Tín hiệu aw\_req được đưa đến từ AW Decoder  Cho biết transaction hiện tại đang trỏ đến Slave đích nào |
| 2 | aw\_enable | 1 | Ngõ vào | Tín hiệu aw\_enable được đưa đến từ AW Decoder  Cho biết địa chỉ transaction hiện tại là hợp lệ |
| 3 | awid | AWID\_LENGTH | Ngõ vào | Tín hiệu awid được lấy ra từ ngõ vào AW Payload của AWSI |
| 4 | bid | BID\_LENGTH | Ngõ vào | Chính là tín hiệu bid nhận vào ở AWSI |
| 5 | bdone | 1 | Ngõ vào | Chính là tín hiệu bdone nhận vào ở AWSI |

Bảng 3: Bảng mô tả tín hiệu giao tiếp của AW Ordering



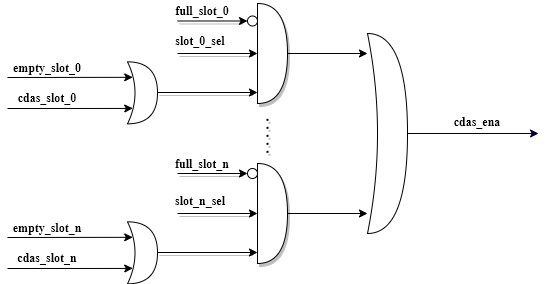
Hình 8: Sơ đồ logic AW Ordering (1)

* slot\_x\_sel: chọn bộ quản lý cdas tương ứng khi có tín hiệu aw\_enable (Master đang gửi dữ liệu trên kênh AW và awaddr là hợp lệ)
* cnt\_down\_slot\_x: chọn bộ quản lý cdas tương ứng khi có tín hiệu bdone gửi tới.



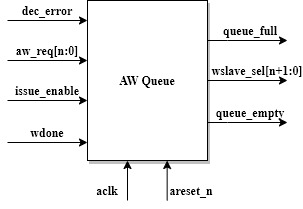
Hình 9: Sơ đồ logic AW Ordering (2)

* Các bộ cdas chứa bộ đếm lên xuống giúp quản lý các outstanding transaction ứng với từng id:
  + Nếu aw\_req hiện tại trùng với các aw\_req trước đó và counter vẫn chưa full thì counter sẽ được đếm lên (outstanding transaction cùng id đến cùng một slave).
  + Nếu tín hiệu cnt\_down\_slot\_x tương ứng được bật lên thì counter sẽ được đếm xuống.



Hình 10: Sơ đồ logic AW Ordering (3)

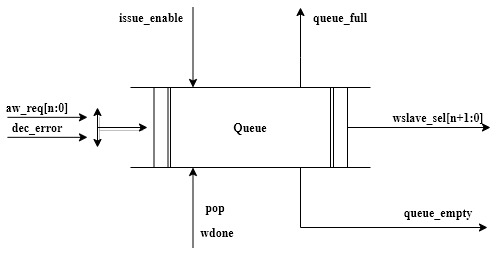
* Tín hiệu cdas\_ena bị tắt đi khi outstanding transaction cho id hiện tại đã vượt quá số lượng cho phép hoặc địa chỉ Slave trỏ tới khác với các địa chỉ Slave của outstanding transaction chưa hoàn thành trước đó.
  + 1. AW Queue



Hình 11: Sơ đồ tín hiệu giao tiếp AW Queue

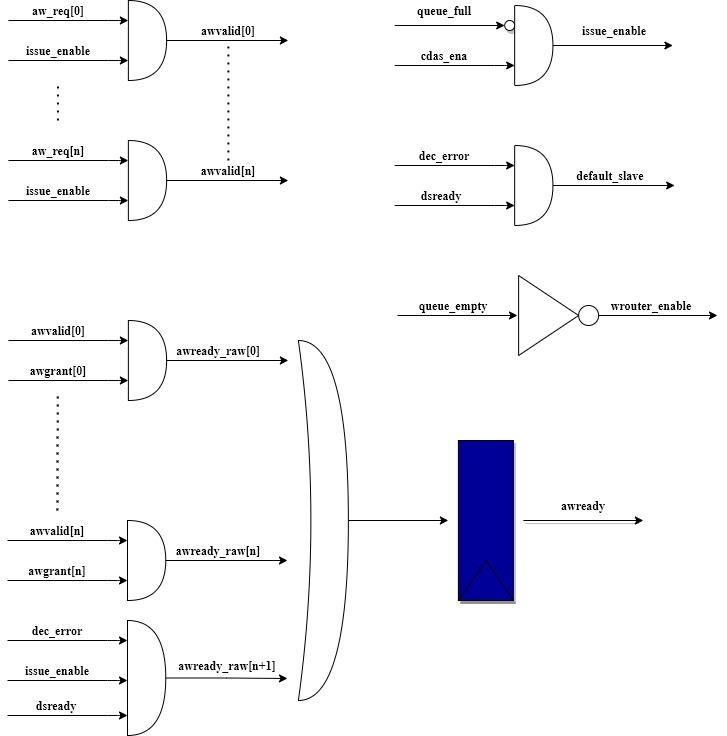
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **TT** | **Tên tín hiệu** | **Số bit** | **Chiều** | **Mô tả** |
| 1 | dec\_error | 1 | Ngõ vào | Tín hiệu dec\_error được đưa đến từ bộ AW Decoder. |
| 2 | aw\_req | MASTER\_X\_SLAVE\_NUM | Ngõ vào | Tín hiệu aw\_req được đưa đến từ bộ AW Decoder. |
| 3 | issue\_enable | 1 | Ngõ vào | Tín hiệu nội của bộ AWSI, cho phép nhận dữ liệu trên kênh AW. |
| 4 | wdone | 1 | Ngõ vào | Tín hiệu wdone được đưa đến từ bộ W Router.  Báo hiệu một burst transaction trên kênh W đã hoàn thành. |
| 5 | queue\_full | 1 | Ngõ ra | Tín hiệu này được bật lên mức 1 khi AW Queue đầy, không thể nhận thêm dữ liệu mới. |
| 6 | wslave\_sel | MASTER\_X\_SLAVE\_NUM+1 | Ngõ ra | Tín hiệu chọn Slave đích cho W Router.  Bit MSB của tín hiệu này đươc bật lên khi có một decode error. |
| 7 | queue\_empty | 1 | Ngõ ra | Tín hiệu này được bật lên mức 1 khi AW Queue rỗng, không có bất kì write transaction nào cần gửi đến Slave |

Bảng 4: Bảng mô tả tín hiệu giao tiếp AW Queue



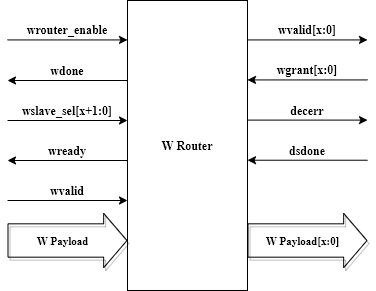
Hình 12: Sơ đồ logic AW Queue

**Các logic khác của AWSI:**



Hình 13: Sơ đồ logic các tín hiệu khác của AWSI

* 1. W Router

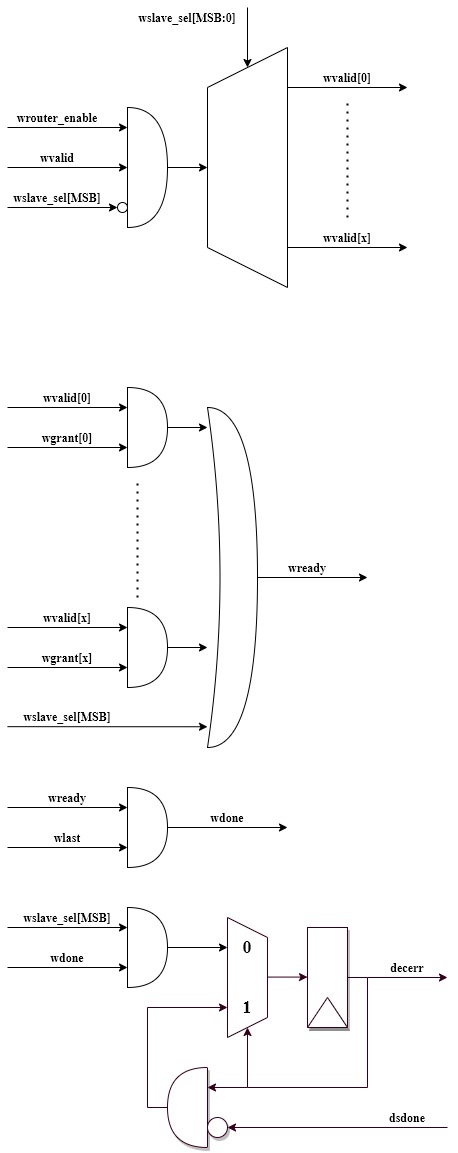


Hình 14: Sơ đồ tín hiệu giao tiếp W Router

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **TT** | **Tên tín hiệu** | **Số bit** | **Chiều** | **Mô tả** |
| 1 | wrounter\_enable | 1 | Ngõ vào | Tín hiệu wrouter\_enable được đưa đến từ AWSI  Cho phép W Rounter phân phối dữ liệu đến Slave tương ứng. |
| 2 | wdone | 1 | Ngõ ra | Tín hiệu wdone được bật lên sau khi một burst transaction trên kênh W được hoàn thành |
| 3 | wslave\_sel | MASTER\_X\_SLAVE\_NUM+1 | Ngõ vào | Tín hiệu wslave\_sel được đưa đến cho W Router.  Dùng để chọn Slave đích cho kênh W. |
| 4 | wready | 1 | Ngõ ra | Tín hiệu wready trả về cho Master hoặc Interface FIFO tương ứng (nếu đươc sử dụng). |
| 5 | wvalid\_in | 1 | Ngõ vào | Tín hiệu wvalid đến từ Master hoặc Interface FIFO tương ứng (nếu được sử dụng). |
| 6 | wvalid\_out | MASTER\_X\_SLAVE\_NUM | Ngõ ra | Các tín hiệu wvalid này được đưa đến các MI tương ứng.  Báo hiệu dữ liệu trên kênh W tương ứng là hợp lệ. |
| 7 | wgrant | MASTER\_X\_SLAVE\_NUM | Ngõ vào | Các tín hiệu wgrant được đưa đến từ các MI tương ứng.  Báo dữ liệu trên kênh W đã được nhận bởi MI đích. |
| 8 | decerr | 1 | Ngõ ra | Tín hiệu decerr được đưa đến cho WDS tương ứng.  Tín hiệu này được bật lên khi các W transaction hiện tại có địa chỉ Slave không hợp lệ. |
| 9 | dsdone | 1 | Ngõ vào | Tín hiệu dsdone được đưa đến từ B Arbiter.  Được bật lên khi Master hoặc Interface FIFO nhận được DECERR response. |
| W Payload: bao gồm các tín hiệu của kênh W giống như AXI specification nhưng loại bỏ 2 tín hiệu wvalid và wready. | | | | |

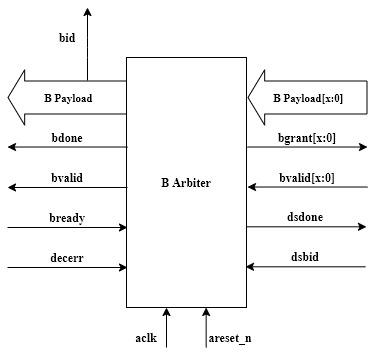
Bảng 5: Bảng mô tả tín hiệu giao tiếp của W Router

* Bit MSB của tín hiệu wslave\_sel được bật lên khi W transaction hiện tại có địa chỉ Slave không hợp lệ.. W Router sẽ nhận tất cả dữ liệu trên kênh W nhưng không phân phối đến cho bất kì Slave nào. Sau khi W Router nhận hết dữ liệu trên kênh W, tín hiệu decerr sẽ được bật lên nhằm yêu cầu B Arbiter trả DECERR response cho Master.



Hình 15: Sơ đồ logic W Router

* 1. B Arbiter

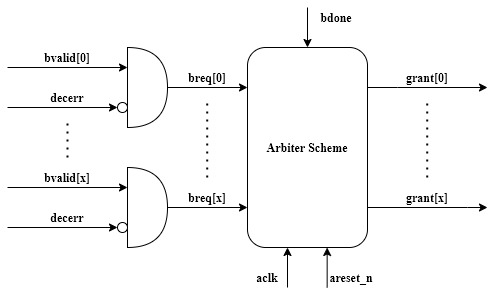


Hình 16: Sơ đồ tín hiệu giao tiếp B Arbiter

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **TT** | **Tên tín hiệu** | **Số bit** | **Chiều** | **Mô tả** |
| 1 | bdone | 1 | Ngõ ra | Tín hiệu bdone được đưa đến cho AWSI.  Tín hiệu này được bật lên khi có sự hoàn thành của một Write transaction. |
| 2 | bvalid\_out | 1 | Ngõ ra | Tín hiệu bvalid được đưa đến cho Master hoặc Interface FIFO tương ứng (nếu được sử dung). |
| 3 | bready | 1 | Ngõ vào | Tín hiệu bready được đưa đến từ Master hoặc Interface FIFO tương ứng (nếu được sử dung). |
| 4 | decerr | 1 | Ngõ vào | Tín hiệu decerr được đưa đến từ W Router  Tín hiệu này được bật lên khi W transaction hiện tại có địa chỉ Slave không hợp lệ. |
| 5 | bgrant | MASTER\_X\_SLAVE\_NUM | Ngõ ra | Các tín hiệu bgrant được đưa đến các MI tương ứng.  Báo dữ liệu trên kênh B đã được nhận bởi B Arbiter |
| 6 | bvalid\_in | MASTER\_X\_SLAVE\_NUM | Ngõ vào | Các tín hiệu bvalid này được đưa đến từ các MI tương ứng.  Báo hiệu dữ liệu trên kênh B tương ứng là hợp lệ. |
| 7 | dsdone | 1 | Ngõ ra | Tín hiệu dsdone được đưa đến cho WDS và W Router.  Được bật lên khi Master hoặc Interface FIFO nhận được DECERR response. |
| 8 | dsbid | BID\_LENGTH | Ngõ vào | Tín hiệu bid được đưa đến từ WDS.  Dùng để nhận biết id của DECERR response |
| B Payload: bao gồm các tín hiệu của kênh B giống như AXI specification nhưng loại bỏ 2 tín hiệu bvalid và bready. | | | | |

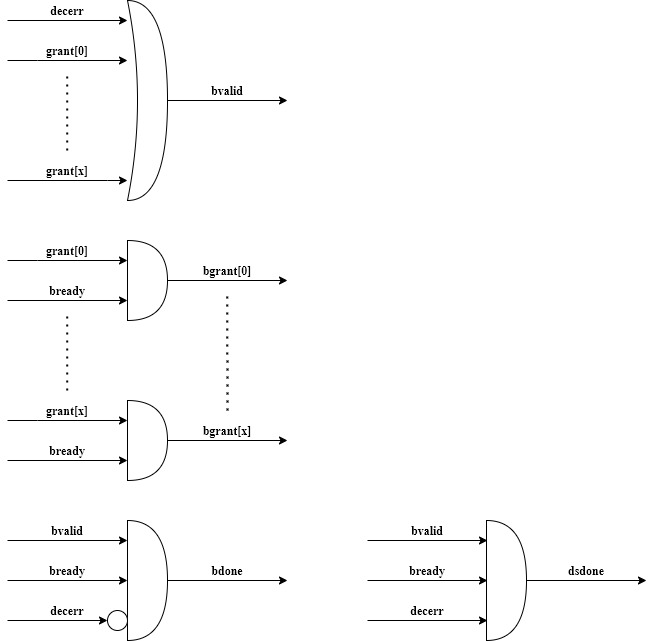
Bảng 6: Bàng mô tả tín hiệu giao tiếp B Arbiter

* Thành phần chính của B Arbiter là bộ Arbiter Scheme.



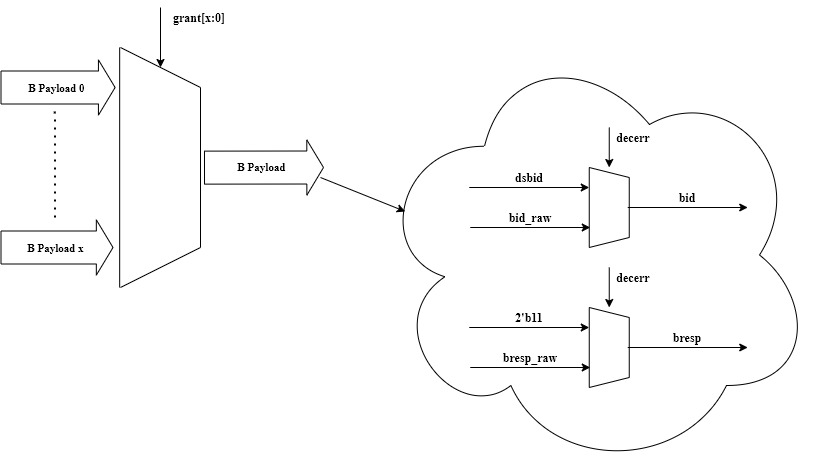
Hình 17: Sơ đồ logic B Arbiter (1)

* Yêu cầu từ DECERR response luôn có mức yêu tiên cao nhất không quan tâm loại Arbiter được sử dụng là gì.



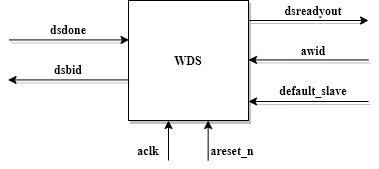
Hình 18: Sơ đồ logic B Arbiter (2)

* Các tín hiệu bid và bresp của tín hiệu B Payload sẽ được điều chỉnh trước khi trả cho Master nếu có yêu cầu DECERR response.



Hình 19: Sơ đồ logic B Arbiter (3)

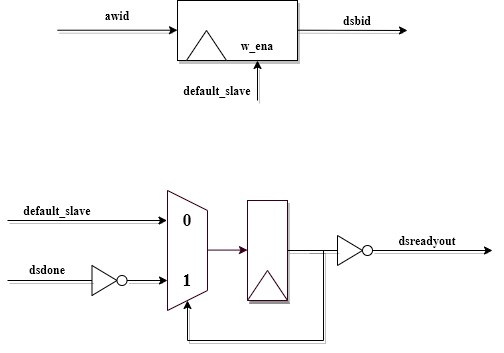
* 1. WDS



Hình 20: Sơ đồ tín hiệu giao tiếp WDS

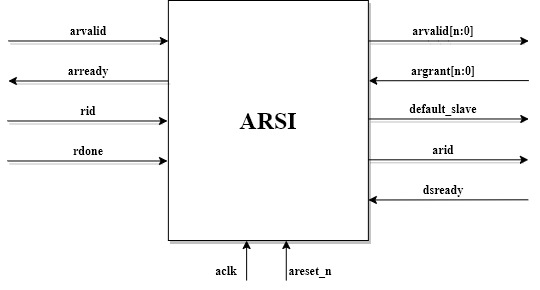
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **TT** | **Tên tín hiệu** | **Số bit** | **Chiều** | **Mô tả** |
| 1 | dsdone | 1 | Ngõ vào | Tín hiệu dsdone được đưa đến từ B Arbiter.  Được bật lên khi Master hoặc Interface FIFO nhận được DECERR response. |
| 2 | dsbid | 1 | Ngõ ra | Tín hiệu dsbid được đưa đến cho B Arbiter  Dùng để nhận biết id của DECERR response |
| 3 | dsreadyout | 1 | Ngõ ra | Tín hiệu dreadyout được đưa đến cho AWSI (dsready)  Được bật lên khi WDS không phải xử lý DECERR trước đó. |
| 4 | awid | 1 | Ngõ vào | Tín hiệu awid được đưa đến từ AWSI để lưu id có DECERR |
| 5 | default\_slave | 1 | Ngõ vào | Tín hiệu default\_slave được đưa đến từ AWSI  Tín hiệu này chỉ được bật lên khi có DECERR và dsreadyout được tích cực. |

Bảng 7: Bảng mô tả tín hiệu giao tiếp WDS



Hình 21: Sơ đồ logic WDS

1. RSI
   1. ARSI



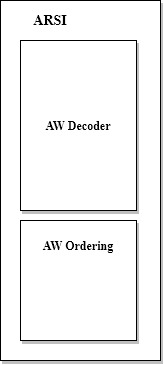
Hình 22: Sơ đồ tín hiệu giao tiếp ARSI

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **TT** | **Tên tín hiệu** | **Số bit** | **Chiều** | **Mô tả** |
| 1 | arvalid\_in | 1 | Ngõ vào | Tín hiệu arvalid được đưa đến từ Master hoặc Interface FIFO tương ứng (nếu được sử dụng) |
| 2 | arready | 1 | Ngõ ra | Tín hiệu arready từ ARSI trả về cho Master hoặc Interface FIFO tương ứng (nếu đươc sử dụng). |
| 3 | rid | RID\_LENGTH | Ngõ vào | Tín hiệu bid được đưa đến từ R Arbiter.  Dùng để nhận biết id của Burst Read transaction vừa được hoàn thành, |
| 4 | rdone | 1 | Ngõ vào | Tín hiệu rdone được đưa đến từ R Arbiter.  Tín hiệu này được bật lên khi có sự hoàn thành của một Burst Read transaction. |
| 5 | arvalid\_out | MASTER\_X\_SLAVE\_NUM | Ngõ ra | Các tín hiệu arvalid này được đưa đến các MI tương ứng.  Báo hiệu dữ liệu trên kênh AR tương ứng là hợp lệ. |
| 6 | argrant | MASTER\_X\_SLAVE\_NUM | Ngõ vào | Các tín hiệu argrant được đưa đến từ các MI tương ứng.  Báo dữ liệu trên kênh AR đã được nhận bởi MI đích. |
| 7 | default\_slave | 1 | Ngõ ra | Tín hiệu default\_slave được đưa đến cho RDS.  Báo hiệu địa chỉ dữ liệu hiện tại trên kênh AR là không hợp lệ. |
| 8 | arid | ARID\_LENGTH | Ngõ ra | Tín hiệu awid được đưa đến cho RDS. |
| 9 | dsready | 1 | Ngõ vào | Tín hiệu dsready được đưa đến từ RDS.  Báo hiệu rằng RDS cho phép sử lý transaction hiện tại. |
| AR Payload: bao gồm các tín hiệu của kênh AR giống như AXI specification nhưng loại bỏ 2 tín hiệu arvalid và arready. | | | | |

Bảng 8: Bảng mô tả tín hiệu giao tiếp ARSI

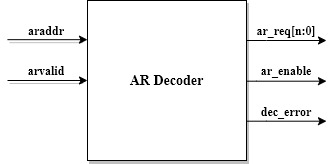
Module ARSI chứa 2 sub-module:

* AR Decoder: decode địa chỉ nhận trên kênh AR
* AR Ordering: đảm bảo CDAS (các outstanding transaction có cùng id phải đến cùng một Slave)



Hình 23: Sơ đồ khối chức năng ARSI

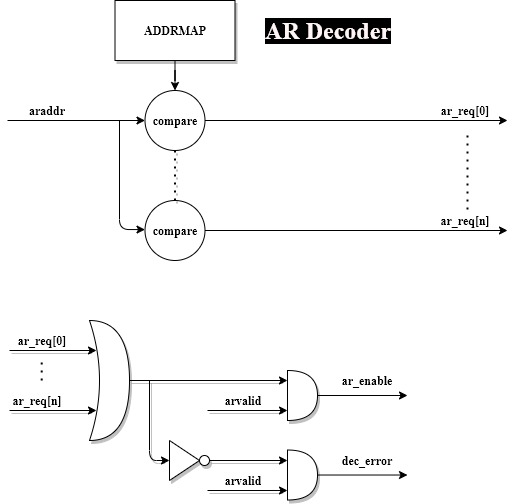
* + 1. AR Decoder



Hình 24: Sơ đồ tín hiệu giao tiếp AR Decoder

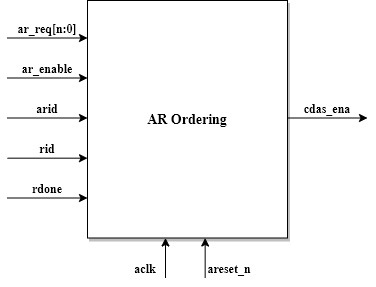
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **TT** | **Tên tín hiệu** | **Số bit** | **Chiều** | **Mô tả** |
| 1 | araddr | ARADDR\_LENGTH | Ngõ vào | Tín hiệu araddr được lấy ra từ AR Payload được đưa vào ARSI |
| 2 | arvalid | 1 | Ngõ vào | Tín hiệu arvalid này chính là tín hiệu awvalid được đưa vào ARSI |
| 3 | ar\_req | MASTER\_X\_SLAVE\_NUM | Ngõ ra | Tín hiệu yêu cầu kết nối đến Slave tương ứng |
| 4 | ar\_enable | 1 | Ngõ ra | Tín hiệu báo hiệu địa chỉ araddr hiện tại là hợp lệ |
| 5 | dec\_error | 1 | Ngõ ra | Tín hiệu báo hiệu địa chỉ araddr hiện tại là không hợp lệ |

Bảng 9: Bảng mô tả tín hiệu giao tiếp AR Decoder



Hình 25: Sơ đồ logic AR Decoder

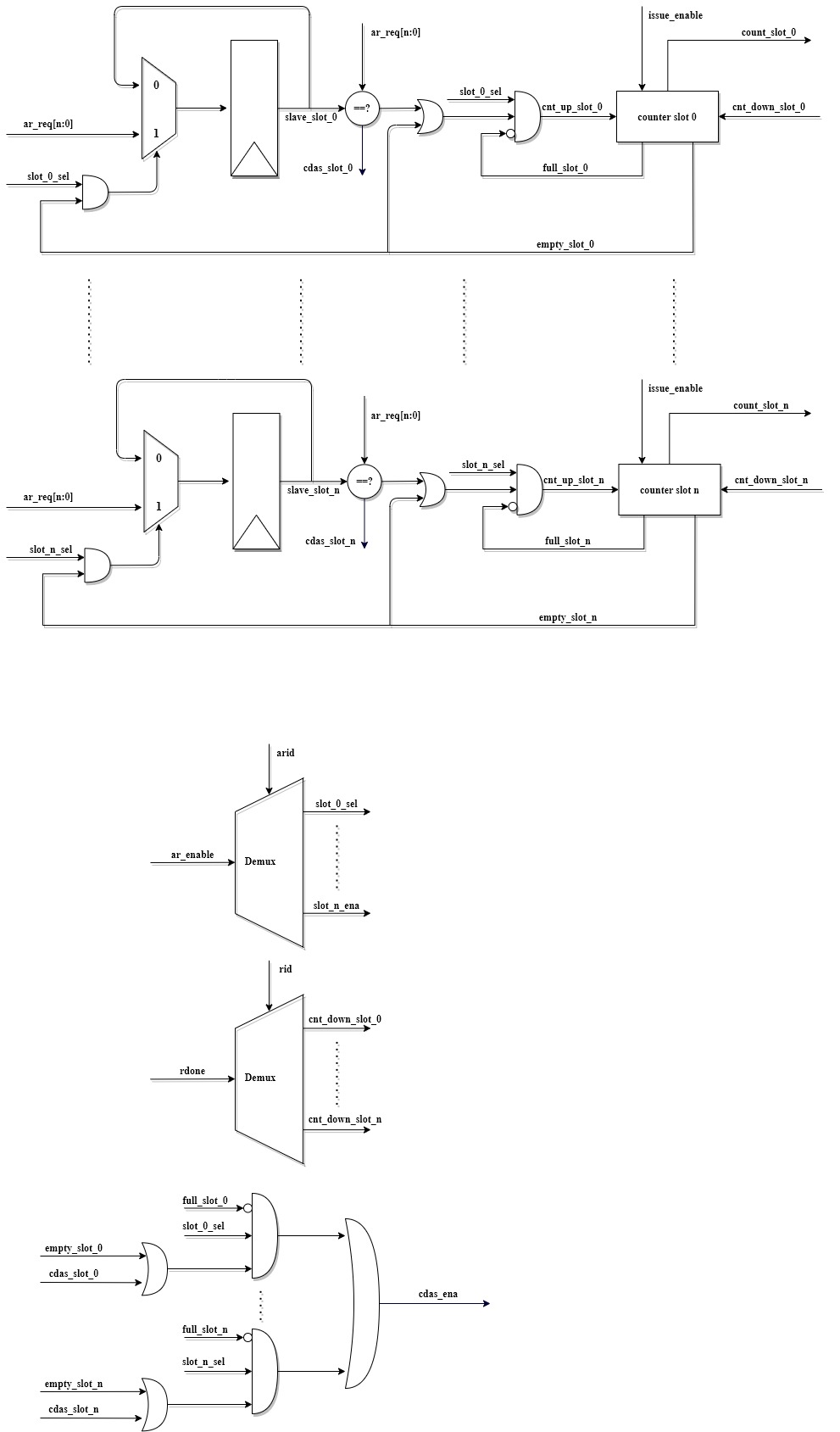
* + 1. AR Ordering



Hình 26: Sơ đồ tín hiệu giao tiếp AR Ordering

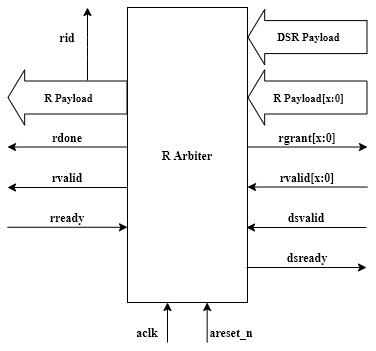
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **TT** | **Tên tín hiệu** | **Số bit** | **Chiều** | **Mô tả** |
| 1 | ar\_req | MASTER\_X\_SLAVE\_NUM | Ngõ vào | Tín hiệu aw\_req được đưa đến từ AR Decoder  Cho biết transaction hiện tại đang trỏ đến Slave đích nào |
| 2 | ar\_enable | 1 | Ngõ vào | Tín hiệu aw\_enable được đưa đến từ AR Decoder  Cho biết địa chỉ transaction hiện tại là hợp lệ |
| 3 | arid | AWID\_LENGTH | Ngõ vào | Tín hiệu awid được lấy ra từ ngõ vào AR Payload của ARSI |
| 4 | rid | BID\_LENGTH | Ngõ vào | Chính là tín hiệu bid nhận vào ở ARSI |
| 5 | rdone | 1 | Ngõ vào | Chính là tín hiệu bdone nhận vào ở ARSI |

Bảng 10: Bảng mô tả tín hiệu giao tiếp AR Ordering



Hình 27: Sơ đồ logic AW Ordering

* 1. R Arbiter

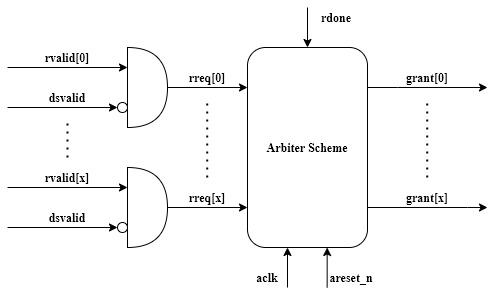


Hình 28: Sơ đồ tín hiệu giao tiếp

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **TT** | **Tên tín hiệu** | **Số bit** | **Chiều** | **Mô tả** |
| 1 | rdone | 1 | Ngõ ra | Tín hiệu rdone được đưa đến cho ARSI.  Tín hiệu này được bật lên khi có sự hoàn thành của một Read transaction. |
| 2 | rvalid\_out | 1 | Ngõ ra | Tín hiệu rvalid được đưa đến cho Master hoặc Interface FIFO tương ứng (nếu được sử dung). |
| 3 | rready | 1 | Ngõ vào | Tín hiệu rready được đưa đến từ Master hoặc Interface FIFO tương ứng (nếu được sử dung). |
| 4 | rgrant | MASTER\_X\_SLAVE\_NUM | Ngõ ra | Các tín hiệu bgrant được đưa đến các MI tương ứng.  Báo dữ liệu trên kênh W đã được nhận bởi B Arbiter |
| 5 | rvalid\_in | MASTER\_X\_SLAVE\_NUM | Ngõ vào | Các tín hiệu rvalid này được đưa đến từ các MI tương ứng.  Báo hiệu dữ liệu trên kênh R tương ứng là hợp lệ. |
| 7 | dsvalid | 1 | Ngõ ra | Tín hiệu dsvalid được đưa đến cho RDS và R Router.  Được bật lên khi Master hoặc Interface FIFO nhận được DECERR response. |
| 8 | dsready | 1 | Ngõ ra | Tín hiệu dsready được đưa đến cho RDS |
| R Payload: bao gồm các tín hiệu của kênh R giống như AXI specification nhưng loại bỏ 2 tín hiệu rvalid và rready. | | | | |

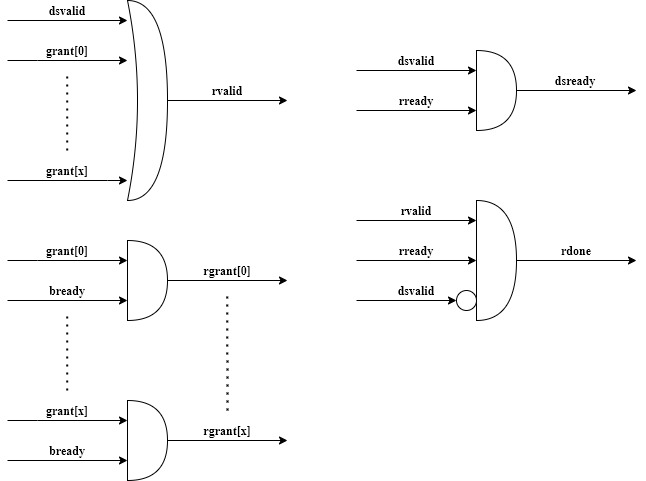
Bảng 11: Bảng mô tả tín hiệu giao tiếp R Arbiter

* Thành phần chính của R Arbiter là bộ Arbiter Scheme.



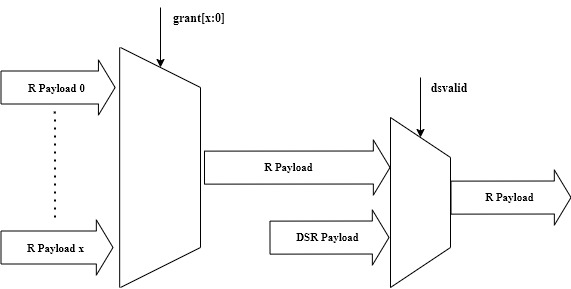
Hình 29: Sơ đồ logic R Arbiter (1)

* Yêu cầu từ DECERR response luôn có mức yêu tiên cao nhất không quan tâm loại Arbiter được sử dụng là gì.



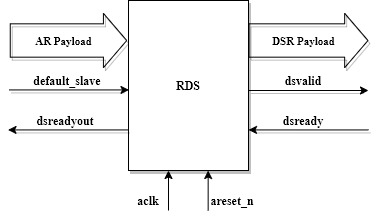
Hình 30: Sơ đồ logic R Arbiter (2)

* Tín hiệu B Payload sẽ được điều chỉnh trước khi trả cho Master nếu có yêu cầu DECERR response.



Hình 31: Sơ đồ logic R Arbiter (3)

* 1. RDS

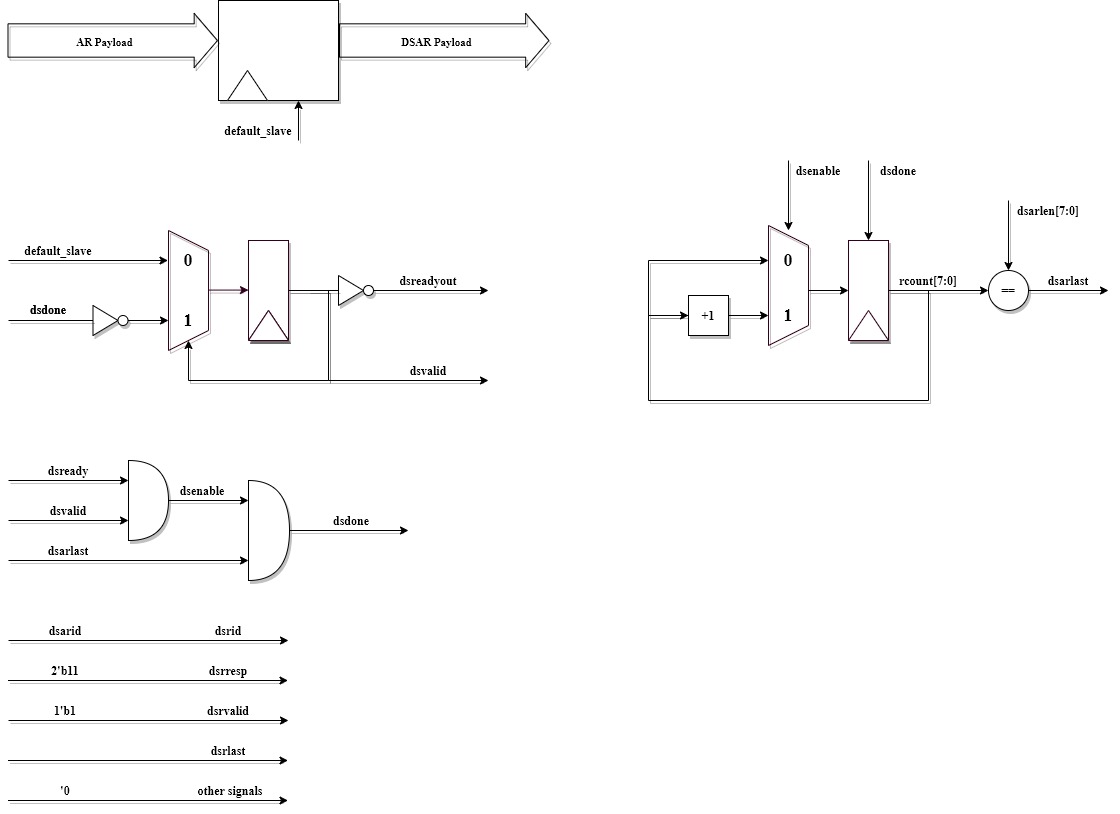


Hình 32: Sơ đồ tín hiệu giao tiếp RDS

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **TT** | **Tên tín hiệu** | **Số bit** | **Chiều** | **Mô tả** |
| 1 | default\_slave | 1 | Ngõ vào | Tín hiệu default\_slave được đưa đến từ ARSI  Tín hiệu này chỉ được bật lên khi có DECERR và dsreadyout được tích cực. |
| 2 | dsreadyout | 1 | Ngõ ra | Tín hiệu dreadyout được đưa đến cho ARSI (dsready)  Được bật lên khi RDS không phải xử lý DECERR trước đó. |
| 3 | dsvalid | 1 | Ngõ ra | Tín hiệu dsvalid được gửi đến cho AWSI  Yêu cầu R Arbiter trả DECERR response cho master |
| 4 | dsready | 1 | Ngõ vào | Tín hiệu dsready được đưa đến từ R Arbiter  Master sẵn sàng nhận dữ liệu trên kênh R |
| DSR Payload: bao gồm các tín hiệu của kênh R giống như AXI specification nhưng loại bỏ 2 tín hiệu rvalid và rready. | | | | |

Bảng 12: Bảng mô tả tín hiệu giao tiếp RDS

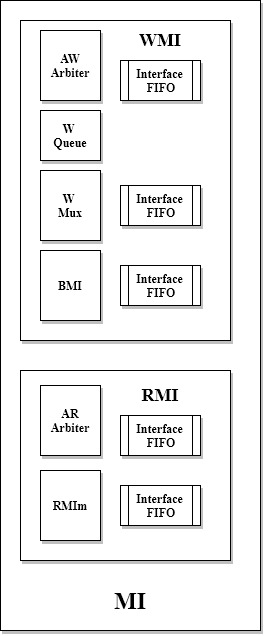
* RDS chứa các thanh ghi lưu giá trị trên kênh AR để trả lại giá trị phù hợp cho Master khi có DECERR xảy ra.
* Sau khi hoàn thành các R transaction cho DECERR response, RDS sẽ tự động ngắt tín hiệu dsvalid.



Hình 33: Sơ đồ logic RDS

B) MI (Master Interface)

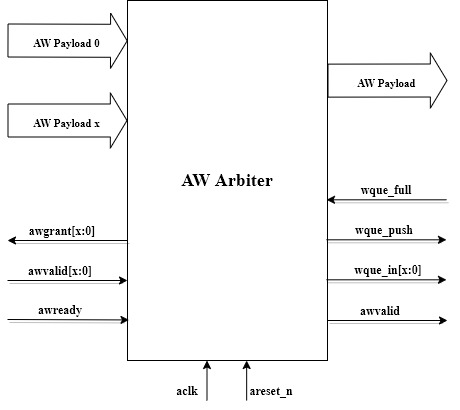
1. WMI



Hình 34: Sơ đồ khối chức nằng MI

MI gồm 2 khối cơ bản là WMI và RMI. Các bộ MI được sử dụng để giao tiếp với các Slave.

* WMI (Write Master Interface): quản lý giao tiếp ở các kênh AW, W và B.
* RMI (Read Master Interface): quản lý giao tiếp ở các kênh AR và R.
  1. AW Arbiter

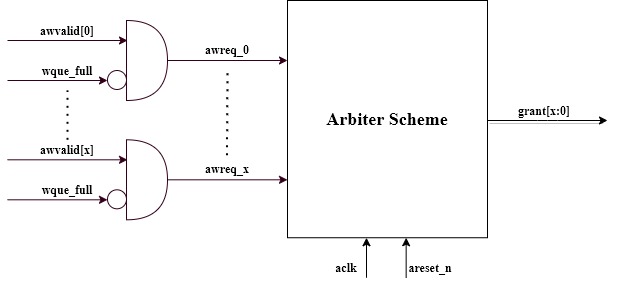


Hình 35: Sơ đồ tín hiệu giao tiếp AW Arbiter

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **TT** | **Tên tín hiệu** | **Số bit** | **Chiều** | **Mô tả** |
| 1 | awgrant | SLAVE\_X\_MASTER\_NUM | Ngõ ra | Các tín hiệu awgrant được đưa đến các SI tương ứng.  Báo dữ liệu trên kênh AW đã được nhận bởi AW Arbiter |
| 2 | awvalid\_in | SLAVE\_X\_MASTER\_NUM | Ngõ vào | Các tín hiệu awvalid này được đưa đến từ các SI tương ứng.  Báo hiệu dữ liệu trên kênh AW tương ứng là hợp lệ. |
| 3 | awready | 1 | Ngõ vào | Tín hiệu awready được đưa đến từ Slave hoặc Interface FIFO tương ứng (nếu được sử dung). |
| 4 | wque\_full | 1 | Ngõ vào | Tín hiệu wqueue\_full được đưa đến từ W Queue  Được bật lên khi W Queue đầy và không thể nhận thêm dữ liệu mới |
| 5 | wque\_push | 1 | Ngõ ra | Tín hiệu wque\_push được đến đến cho W Queue  Yêu cầu đẩy dữ liệu mới vào W Queue |
| 6 | wque\_in | SLAVE\_X\_MASTER\_NUM | Ngõ ra | Tín hiệu wque\_in được đưa đến cho W Mux  Dùng để chọn dữ liệu nguồn trên kênh W |
| 7 | awvalid\_out | 1 | Ngõ ra | Tín hiệu awvalid được đưa đến từ Slave hoặc Interface FIFO tương ứng (nếu được sử dung). |
| AW Payload: bao gồm các tín hiệu của kênh AW giống như AXI specification nhưng loại bỏ 2 tín hiệu awvalid và awready. | | | | |

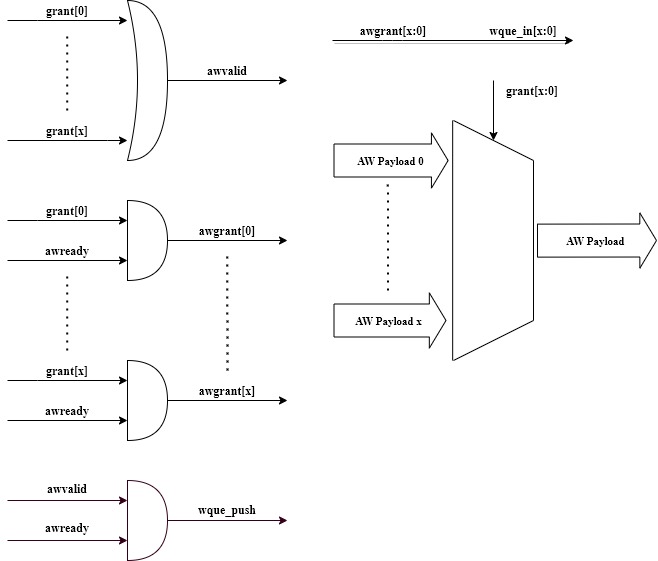
Bảng 13: Bảng mô tả tín hiệu giao tiếp AW Arbiter

* Thành phần chính của AW Arbiter là bộ Arbiter Scheme.



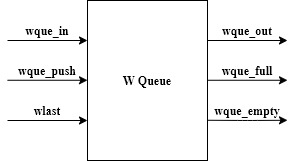
Hình 36: Sơ đồ logic AW Arbiter (1)

* Khi wque\_full được bật lên, AW Arbiter không được phép nhận dữ liệu từ bất kì nguồn nào. Do đó tín hiệu wque\_push sẽ không bao giờ được bật lên khi wque\_full



Hình 37: Sơ đồ logic AW Arbiter (2)

* 1. W Queue

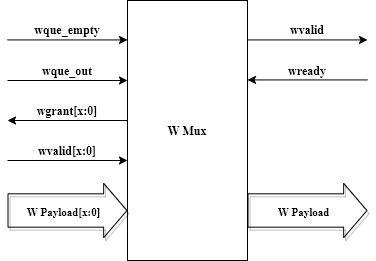


Hình 38: Sơ đồ tín hiệu giao tiếp W Queue

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **TT** | **Tên tín hiệu** | **Số bit** | **Chiều** | **Mô tả** |
| 1 | wque\_in | SLAVE\_X\_MASTER\_NUM | Ngõ ra | Tín hiệu wque\_in được đưa đến từ AW Arbiter  Dùng để chọn dữ liệu nguồn trên kênh W |
| 2 | wque\_push | 1 | Ngõ ra | Tín hiệu wque\_push được đến từ AW Arbiter  Yêu cầu đẩy dữ liệu mới vào W Queue |
| 3 | wque\_out | SLAVE\_X\_MASTER\_NUM | Ngõ ra | Tín hiệu wque\_in được đưa đến cho W Mux  Dùng để chọn dữ liệu nguồn trên kênh W |
| s | wque\_full | 1 | Ngõ vào | Tín hiệu wqueue\_full được đưa đến cho AW Arbiter  Được bật lên khi W Queue đầy và không thể nhận thêm dữ liệu mới |
| 5 | wque\_empty | 1 | Ngõ ra | Tín hiệu wqueu\_empty được đưa đến cho W Mux  Được bật lên khi W Queue rỗng |

Bảng 14: Bảng mô tả tín hiệu giao tiếp W Queue

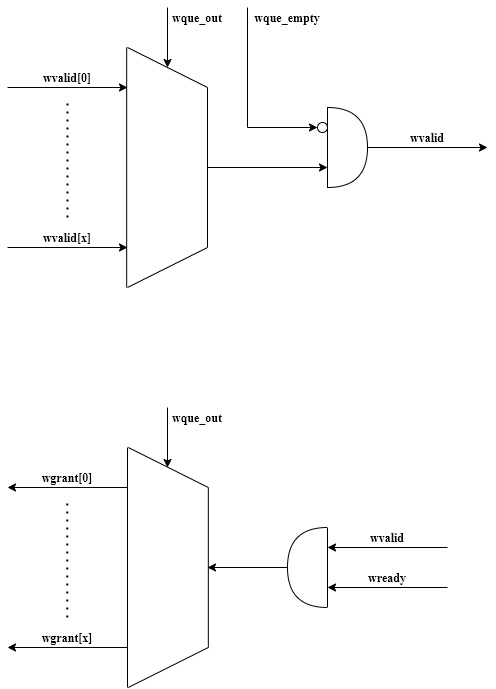
* W Queue chỉ đơn giản là một bộ FIFO, do đó sơ đồ logic của W Queue sẽ không được trình bày ở đây.
  1. W Mux



Hình 39: Sơ đồ tín hiệu giao tiếp W Mux

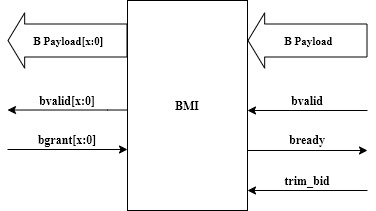
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **TT** | **Tên tín hiệu** | **Số bit** | **Chiều** | **Mô tả** |
| 1 | wque\_empty | 1 | Ngõ vào | Tín hiệu wqueu\_empty được đưa đến cho W Mux  Được bật lên khi W Queue rỗng |
| 2 | wque\_out | SLAVE\_X\_MASTER\_NUM | Ngõ vào | Tín hiệu wque\_in được đưa đến từ W Queue  Dùng để chọn dữ liệu nguồn trên kênh W |
| 3 | wgrant | SLAVE\_X\_MASTER\_NUM | Ngõ ra | Các tín hiệu wgrant được đưa đến các SI tương ứng.  Báo dữ liệu trên kênh W đã được nhận bởi W Mux |
| 4 | wvalid\_in | SLAVE\_X\_MASTER\_NUM | Ngõ vào | Các tín hiệu bvalid này được đưa đến từ các SI tương ứng.  Báo hiệu dữ liệu trên kênh W tương ứng là hợp lệ. |
| 5 | wvalid\_out | 1 | Ngõ ra | Tín hiệu wvalid được đưa đến cho Slave hoặc Interface FIFO tương ứng (nếu được sử dung). |
| 6 | wready | 1 | Ngõ vào | Tín hiệu wready được đưa đến từ Slave hoặc Interface FIFO tương ứng (nếu được sử dung). |
| W Payload: bao gồm các tín hiệu của kênh W giống như AXI specification nhưng loại bỏ 2 tín hiệu wvalid và wready. | | | | |

Bảng 15: Bảng mô tả tín hiệu giao tiếp W Mux



Hình 40: Sơ đồ logic W Mux

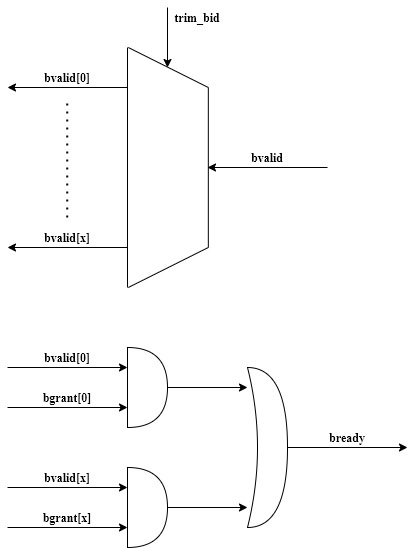
* 1. BMI



Hình 41: Sơ đồ tín hiệu giao tiếp BMI

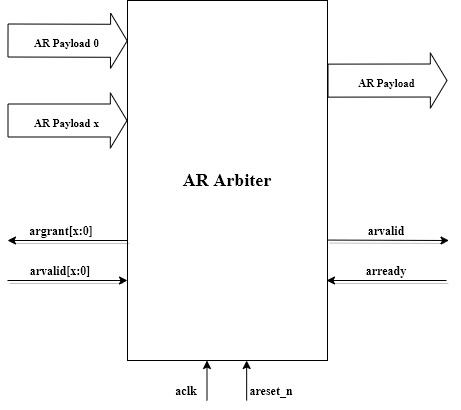
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **TT** | **Tên tín hiệu** | **Số bit** | **Chiều** | **Mô tả** |
| 1 | bvalid\_out | SLAVE\_X\_MASTER\_NUM | Ngõ ra | Các tín hiệu wvalid này được đưa đến các MI tương ứng.  Báo hiệu dữ liệu trên kênh B tương ứng là hợp lệ. |
| 2 | bgrant | SLAVE\_X\_MASTER\_NUM | Ngõ vào | Các tín hiệu wgrant được đưa đến từ các SI tương ứng.  Báo dữ liệu trên kênh B đã được nhận bởi SI đích. |
| 3 | bvalid\_in | 1 | Ngõ vào | Tín hiệu bvalid đến từ Slave hoặc Interface FIFO tương ứng (nếu được sử dụng). |
| 4 | bready | 1 | Ngõ ra | Tín hiệu wready trả về cho Slave hoặc Interface FIFO tương ứng (nếu đươc sử dụng). |
| 5 | trim\_bid | EXT\_BID\_LENGTH | Ngõ vào | Phần id được tách ra của bid nhận vào từ Slave.  Dùng để xác định địa chỉ Master đích |

Bảng 16: Bảng mô tả tín hiệu giao tiếp BMI



Hình 42: Sơ đồ logic BMI

1. RMI
   1. AR Arbiter

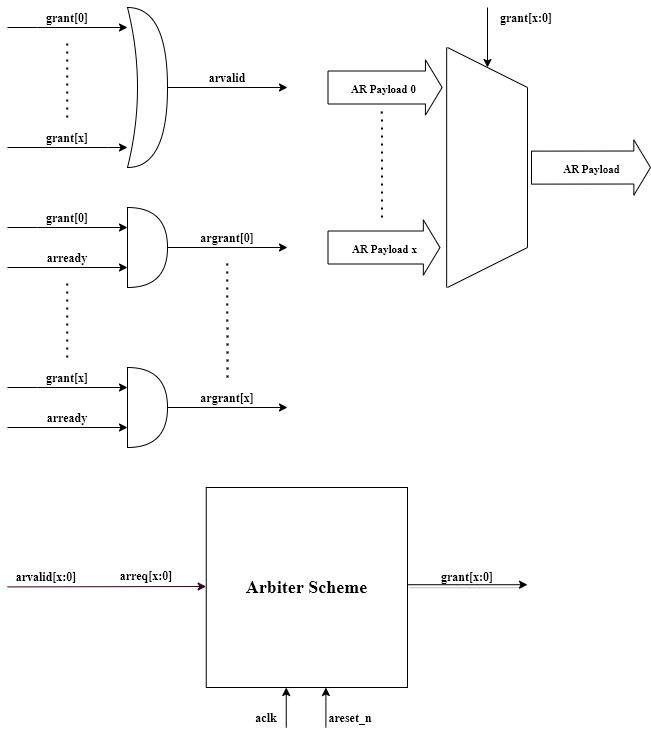


Hình 43: Sơ đồ tín hiệu giao tiếp AR Arbiter

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **TT** | **Tên tín hiệu** | **Số bit** | **Chiều** | **Mô tả** |
| 1 | argrant | SLAVE\_X\_MASTER\_NUM | Ngõ ra | Các tín hiệu argrant được đưa đến các SI tương ứng.  Báo dữ liệu trên kênh AR đã được nhận bởi AR Arbiter |
| 2 | arvalid\_in | SLAVE\_X\_MASTER\_NUM | Ngõ vào | Các tín hiệu arvalid này được đưa đến từ các SI tương ứng.  Báo hiệu dữ liệu trên kênh AR tương ứng là hợp lệ. |
| 3 | arvalid\_out | 1 | Ngõ ra | Tín hiệu arready được đưa đến cho Slave hoặc Interface FIFO tương ứng (nếu được sử dung). |
| 4 | arready | 1 | Ngõ vào | Tín hiệu arready được đưa đến từ Slave hoặc Interface FIFO tương ứng (nếu được sử dung). |
| AR Payload: bao gồm các tín hiệu của kênh AR giống như AXI specification nhưng loại bỏ 2 tín hiệu arvalid và arready. | | | | |

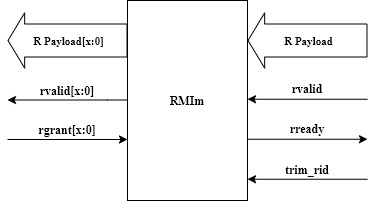
Bảng 17: Bảng tín hiệu giao tiếp AR Arbiter

* Thành phần chính của AR Arbiter cũng là các bộ Arbiter Scheme



Hình 44: Sơ đồ logic AR Arbiter

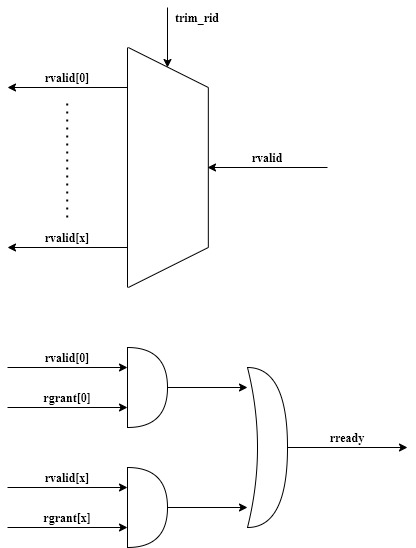
* 1. RMIm



Hình 45: Sơ đồ tin hiệu giao tiếp RMIm

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **TT** | **Tên tín hiệu** | **Số bit** | **Chiều** | **Mô tả** |
| 1 | rvalid\_out | SLAVE\_X\_MASTER\_NUM | Ngõ ra | Các tín hiệu rvalid này được đưa đến các MI tương ứng.  Báo hiệu dữ liệu trên kênh R tương ứng là hợp lệ. |
| 2 | rgrant | SLAVE\_X\_MASTER\_NUM | Ngõ vào | Các tín hiệu wgrant được đưa đến từ các SI tương ứng.  Báo dữ liệu trên kênh R đã được nhận bởi SI đích. |
| 3 | rvalid\_in | 1 | Ngõ vào | Tín hiệu rvalid đến từ Slave hoặc Interface FIFO tương ứng (nếu được sử dụng). |
| 4 | rready | 1 | Ngõ ra | Tín hiệu rready trả về cho Slave hoặc Interface FIFO tương ứng (nếu đươc sử dụng). |
| 5 | trim\_rid | EXT\_RID\_LENGTH | Ngõ vào | Phần id được tách ra của rid nhận vào từ Slave.  Dùng để xác định địa chỉ Master đích |

Bảng 18: Bảng mô tả tín hiệu giao tiếp RMIm

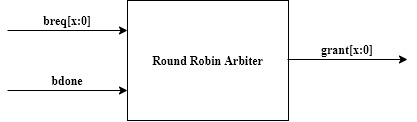


Hình 46: Sơ đồ logic RMIm

C) Arbiter Scheme

Các bộ Arbiter Scheme được sử dụng trong các module có interface là giống nhau do đó, phần mô tả dưới đây chỉ sử dụng các bộ Arbiter trên module B Arbiter để minh họa.

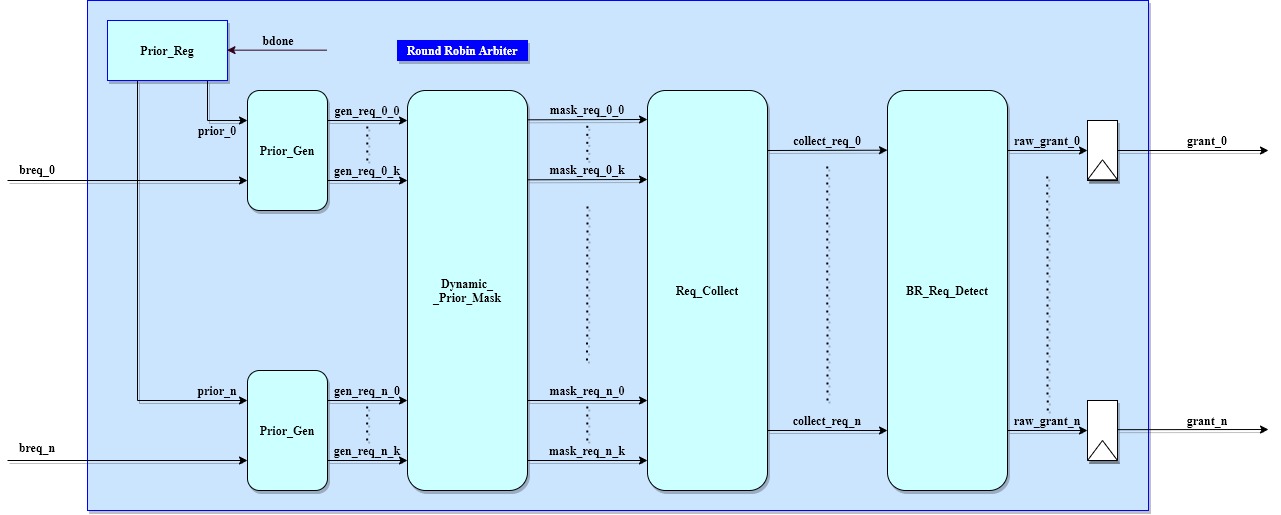
1. Round Robin Arbiter



Hình 47: Sơ đồ tín hiệu giao tiếp Round Robin Arbiter ở bộ B Arbiter

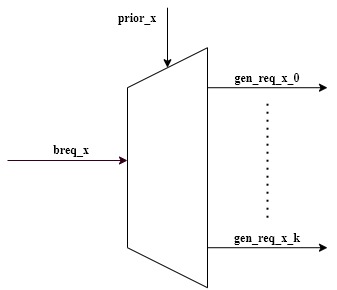
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **TT** | **Tên tín hiệu** | **Số bit** | **Chiều** | **Mô tả** |
| 1 | breq | SLAVE\_X\_MASTER\_NUM | Ngõ vào | Các tín hiệu từ nguồn request |
| 2 | grant | SLAVE\_X\_MASTER\_NUM | Ngõ ra | Các tín hiệu grant trả cho nguồn request.  Tại mỗi thời điểm chỉ có một tín hiệu grant được tính cực |
| 3 | bdone | 1 | Ngõ vào | Tín hiệu yêu cầu Arbiter kết thúc việc grant cho nguồn request hiện tại |

Bảng 19: Bảng mô tả tín hiệu giao tiếp bộ Round Robin Arbiter ở bộ B Arbiter



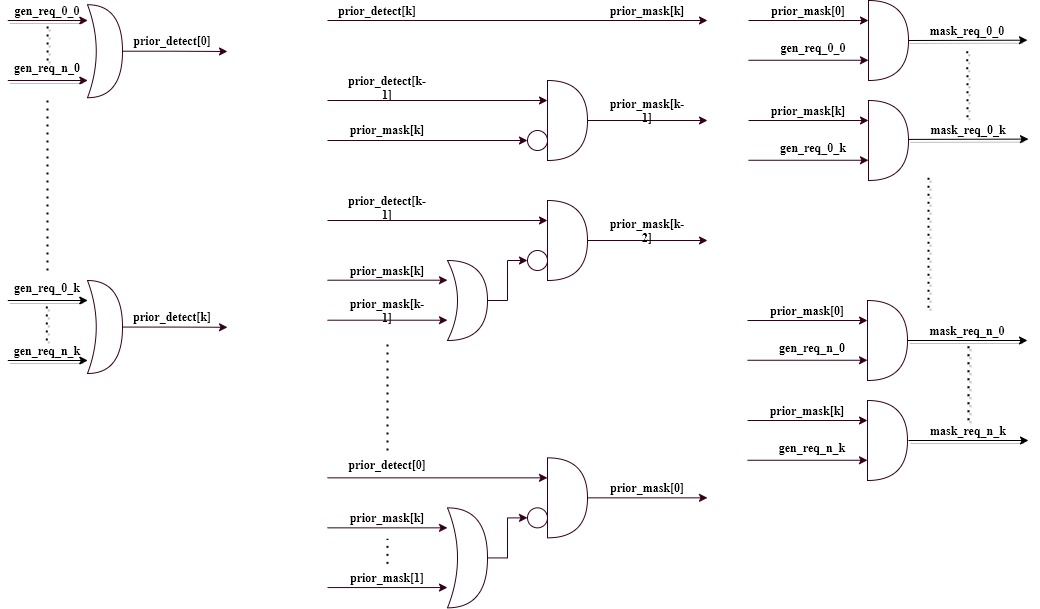
Hình 48: Sơ đồ khối chức năng của Round Robin Arbiter ở bộ B Arbiter

* Prior\_Gen: Decode các tín hiệu request để tạo ra các tín hiệu request ở các mức ưu tiên khác nhau.



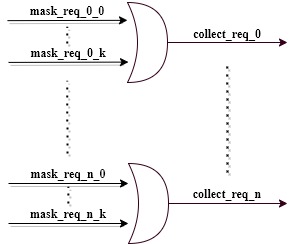
Hình 49: Sơ đồ logic Prior\_Gen

* Dynamic Prior Mask: nhóm các tín hiệu có cùng mức ưu tiên với nhau, các tín hiệu ở mức cao hơn khi được tích cực sẽ cho các tín hiệu ở mức thấp hơn.



Hình 50: Sơ đò logic Dynamic Prior Mask

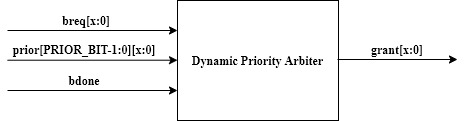
* Reg\_Collect: Nhóm các tín hiệu request đến từ Dynamic Prior Mask có cùng một nguồn request.



Hình 51: Sơ đồ logic Reg\_Collect

* BR\_Req\_Detect: forward tín hiệu từ Reg\_Collect ( collect\_req == raw\_grant).
* Prior\_Reg: Chứa các thanh ghi prior và các bộ update thanh ghi. Các thanh ghi này không bao giờ trùng giá trị với nhau (Có mức ưu tiên khác nhau). Thanh ghi nào được grant thì sẽ giảm giá trị ưu tiên xuống 1 đơn vị, trong khi các thanh ghi khác sẽ được tăng độ ưu tiên lên 1 đơn vị.

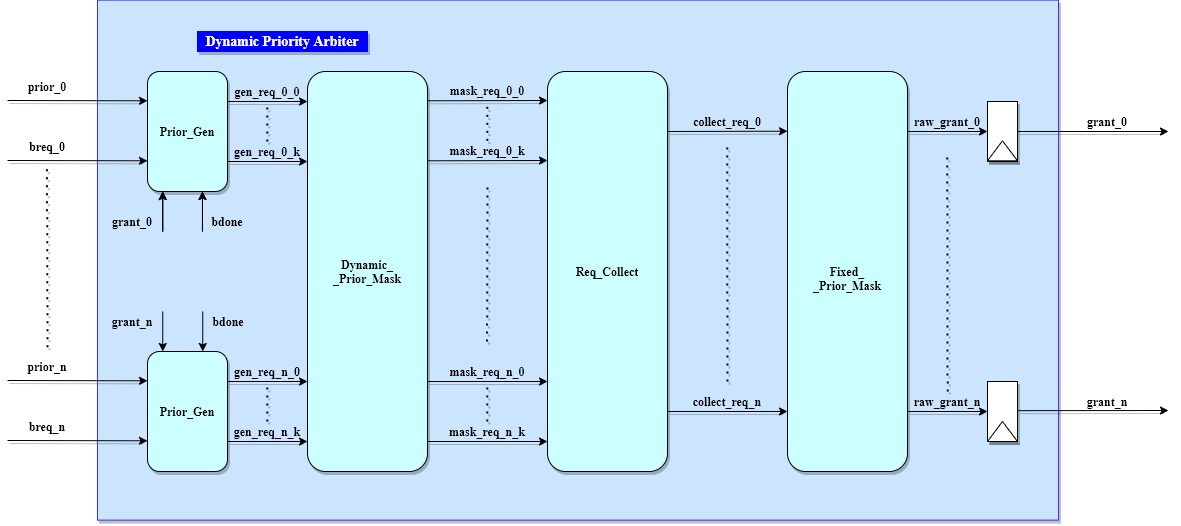
1. Dynamic Priority Arbiter



Hình 52: Sơ đồ tín hiệu giao tiếp Dynamic Priority của bộ B Arbiter

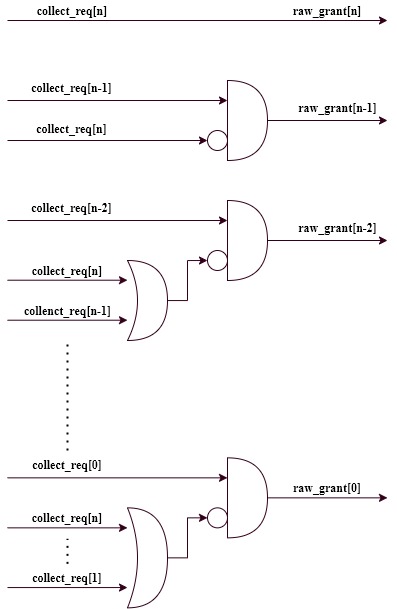
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **TT** | **Tên tín hiệu** | **Số bit** | **Chiều** | **Mô tả** |
| 1 | breq | SLAVE\_X\_MASTER\_NUM | Ngõ vào | Các tín hiệu từ nguồn request |
| 2 | grant | SLAVE\_X\_MASTER\_NUM | Ngõ ra | Các tín hiệu grant trả cho nguồn request.  Tại mỗi thời điểm chỉ có một tín hiệu grant được tính cực |
| 3 | bdone | 1 | Ngõ vào | Tín hiệu yêu cầu Arbiter kết thúc việc grant cho nguồn request hiện tại |
| 4 | prior | PRIOR\_BIT\*SLAVEV\_X\_MASTER\_NUM | Ngõ vào | Tín hiệu priority từ nguồn request |

Bảng 20: Bảng mô tả tín hiệu giao tiếp Dynamic Priority Arbiter của bộ B Arbiter



Hình 53: Sơ đồ khối chức năng Dynamic Priority Arbiter

* Dynamic Priority Arbiter cũng có các bộ Prior\_Gen, Dynamic\_Prior\_Mask và Req\_Collect giống như Round Robin Arbiter
* Dynamic Priority Arbiter có thêm bộ Fixed\_Prior\_Mask và loại bỏ bộ Prior\_Reg
* Fixed\_Prior\_Mask: Vì các tín hiệu prior từ các nguồn request có thể có cùng mức ưu tiên với nhau, output từ bộ Req\_Collect có thể có nhiều hơn một tín hiệu được tích cực. Do đó một bộ Fix Priority được sử dụng ở đâu là hợp lí (mức ưu tiên sẽ giảm dần theo trọng số).



Hình 54: Sơ đồ logic Fixed\_Prior\_Mask