The feature for Watch Dog Timer IP

* Time out range of 2^15 to 2^28 clock cycle.
* Have 15 bit pre-scale and 13 bit post-scale
* Have interrupt signal
* Have system reset signal send to system
* Have external signal output which can programmable output pulse width and execute level
* All register are accessible through the APB interface



[Nhận xét]

1. Hỗ trợ APB4, có thêm các tín hiệu pslverr, pprot, pstrb và pready.

Pprot nhận vào nhưng không dùng trong thời điểm này

pslverr và pstrb hỗ trợ như thế nào tùy quyết định

pready luôn gán bằng 1

2. Hỗ trợ cấu hình giá trị điểm đầu và điểm cuối bộ đếm

3. Có phần lựa chọn nguồn clock sử dụng ngoài pclk sẽ có một nguồn khác cấp từ CLKG

4. Tham khảo thêm các lõi IP timer khác ngoài PIC để tìm các đặc điểm tốt hỗ trợ cho ứng dụng người dùng (thực hiện bước này, bổ sung đặc điểm và thảo luận tiếp trước khi design)

[Bước tiếp theo]

1. Mô tả rõ các thanh ghi cấu hình và trạng thái giúp hỗ trợ các đặc điểm đã chọn

2. Mô tả cơ chế hoạt động của các thành phần bằng các block hoặc waveform cụ thể. Ví dụ, cơ chế thiết kế pre-scale và post-scale

