结合实际设计，个人觉得DDR\_v1.1自身存在几个优化方向可以挖掘，但这种优化不涉及功能的改变，只是在保证现有功能的前提下，优化局部的结构，以便降低**资源消耗**、提升**资源有效利用率**。

***资源消耗****：为了实现某个功能，使用的器件数量占芯片全部同类器件数量的百分比。*

***资源有效利用率****：为了实现某个功能，占用了一部分器件，但该部分器件内含的有效资源无法被用尽，则在该部分资源中，有效利用的资源占比就是资源有效利用率。*

1. 对cfg\_port局部电路进行优化

在处理配置网下发的相关信息的过程中，可以充分利用网络的特点，增加15个1bit寄存器，大幅度裁减比较器。好处包括：降低LUT的消耗量、改善这里可能存在的关键路径、局部优化电路性能

1. 对ach\_xx模块进行局部优化

结合时序特点，在处理配置信息的时候，地址通道中可以充分利用时序的特点，叠用等待时钟周期，对相关的衍生信息，如某些标志寄存器，进行预处理。

1. 优化数据通道中的memory资源

现有系统中，DDR\_v1.1中包含6个数据通道，每个数据通道中包含读、写数据FIFO，且伴随位宽转换（256\*64-bits 🡨🡪 32\*512-bits），容量为16Kb。根据FIFO的构成特点，不难发现，每个这样的FIFO都会消耗（7个36Kb + 1个18Kb）Block RAM，总容量为270Kb，远大于16Kb，资源有效利用率为16/270 \* 100% ≈ 6%

可以利用分时复用的方式直接控制RAM来完成FIFO的功能，不过这要增加外层控制逻辑，但是付出的回报很喜人——资源有效利用率与之前相比有效提升500%，达到30%左右，你仍能发现，整体的资源有效利用率还是很小。*没办法！！！*