Arquitectura de Computadores - 22GIIN

Actividad 2 - Portafolio

Gagliardo Miguel Angel

18 de Noviembre de 2023

1) Ejercicio practico. Un sistema jerárquico de memoria tiene una memoria cache con tiempo de acceso de 12 ns, y una memoria principal con un tiempo de acceso de 170 ns

Cuando se produce un fallo, se mueve el bloque completo a la memoria cache

y **en paralelo** se lee el dato desde la cache. Si el Tiempo_de_acierto es de 10,56 ns ¿cuál es el Tiempo_ acceso_medio de este sistema?

Respuesta: Comienzo planteando la fórmula para el tiempo de acceso medio, que es la siguiente:

$$T_{acceso\_medio} = T_a * T_c + T_f * T_p$$

Siendo:

T_a = Tasa de acierto

T_c = Tiempo de acceso a la caché

T_f = Tasa de fallos

T_p = Tiempo de acceso a memoria

Y a su vez:

$$T_{acierto} = T_a * T_c$$

Como se puede observar, los datos que conozco que me da el enunciado son:

$T_{acierto}$ = Ta * Tc = 10,56ns ; Tiempo de acierto

T_p = 170ns ; Tiempo de acceso a memoria

Por tanto puedo reemplazar:

$$T_{acceso\_medio} = 10{,}56ns + T_f * 170ns$$

Restaria conocer el dato de T_f (Tasa de Fallos), que lo puedo obtener con su ecuacion:

$T_f = N_f / N_r = 1 - T_a$

Como se puede observar, el dato de T_a (Tasa de aciertos) no lo tengo, pero si puedo despejarlo de la siguiente ecuación:

$T_{acierto} = T_a * T_c$

Donde los datos que si tengo son $T_{acierto}$ y T_c, entonces:

$T_{acierto} = T_a * T_c$ => 10,56ns = T_a * 12ns => $T_a = \frac{10{,}56\,s}{12ns}$ => **T_a = 0,88**

Con el dato de T_a (Tasa de acierto), puedo ahora obtener la T_f (Tasa de fallos):

$T_f = N_f / N_r = 1 - T_a$ => $T_f = 1 - T_a$ => T_f = 1 - 0,88 => **T_f = 0,12**

Volviendo a la ecuacion principal, ahora si puedo obtener el tiempo de acceso medio:

$T_{acceso\_medio} = T_a * T_c + T_f * T_p$ => T_{acceso_medio} = 10,56ns + 0,12 * 170ns =>

T_{acceso_medio} = 10,56ns + 20,4ns => **T_{acceso_medio} = 30,96ns**

Finalmente, podemos decir que **el tiempo de acceso medio para este sistema es de 30,96ns**.

2) **Contenidos teóricos**. Considere un sistema con memoria virtual. El sistema incluye una **TLB (buffer de traducción anticipada)**. Explique cuál es la necesidad de tener ese dispositivo y **muestre gráficamente** cómo es su utilización.

En un caso donde no utilicemos la TLB, para hacer la traducción de dirección virtual a fisica es necesario pasar por la memoria principal para buscar la tabla de paginas y asi hacer la traducción de direccion virtual a fisica. Luego, suponiendo un caso de acierto, se debera pasar **nuevamente** por la memoria principal para recoger el dato que se estaba buscando.
Todo esto obviamente y tal como se ha descrito obliga al procesador a ir **2 veces** a la memoria principal en vez de una sola por cada acceso a memoria, lo cual disminuye el rendimiento y lógicamente hace mas lento este proceso.

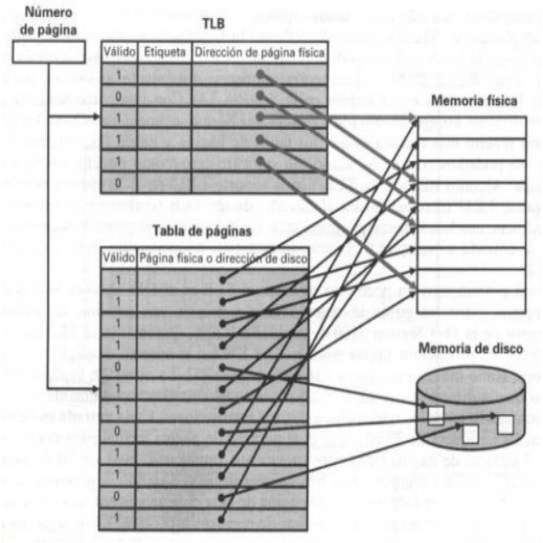

Figura 2.1 – Diagrama de memoria virtual con TLB

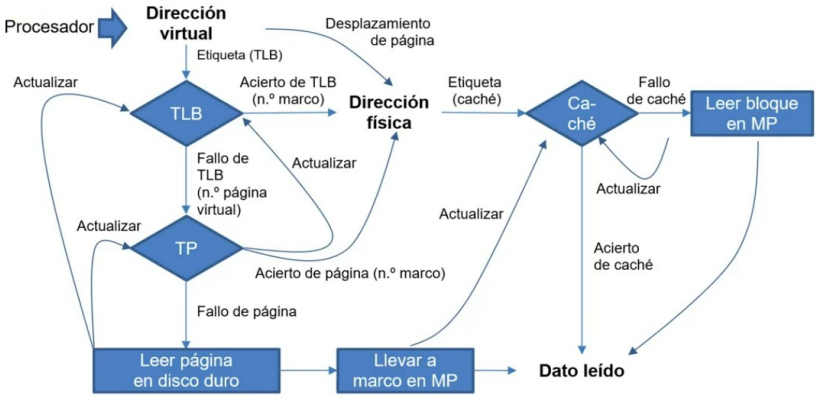

Figura 2.2 – Diagrama de flujo de memoria virtual con TLB

Para evitar justamente este efecto no deseado se introduce la TLB. Tal como su nombre lo describe, la TLB es una cache (**buffer** de traducción anticipada), o sea una memoria especifica sólo para albergar tablas de paginas, como se visualiza en la **Figura 2.1**

La TLB sólo contiene algunas porciones de la tabla de paginas. Por tanto de ahora en adelante una vez que el procesador busque una direccion de memoria virtual primero buscaremos en la TLB **(Figura 2.2)**:

- **Si lo contiene** realizaremos la traducción de direccion virtual a fisica, por tanto nos ahorramos el doble acceso a la Memoria Principal, sólo habra un unico acceso y ese sera a buscar el dato en la dirección correspondiente.
- **Si no se encuentra el dato en la TLB**, es posible que no se haya utilizado la tabla de paginas en esa direccion particular y por tanto no se encuentra alli, a esto se lo conoce como **Fallo de TLB**. Para este caso se sigue el proceso normal, o sea el procesador va a la tabla de paginas (en memoria principal) y se realiza la traducción fisica a virtual, o bien se tiene un fallo de pagina y se va a buscar a disco.

La TLB se construye con la misma tecnologia de la memoria cache, algunas de sus ventajas:

- Es una memoria RAM de tipo estatica, por tanto muy rapida
- Es de tipo asociativa
- Con pocos bloques
- Tiene una politica de reemplazo de tipo LRU
- Permite reducir en 1 el numero de accesos a memoria principal

Pero no todas son ventajas, algunas de sus contras son:

- Dado que es una memoria de tipo cache, es rapida pero tambien **muy pequeña**
- Actualizar la Tabla Principal en cambios de contexto (ante fallos de paginas) significa tambien ahora **un paso adicional** dado que habra que **tambien invalidar la TLB.**
- La MMU no usa la tabla principal, si no que consulta la TLB, en caso de fallo de TLB se activa el Sistema Operativo (SO) que ha de buscar la entrada en tabla de paginas, lo cual supone **menos eficiencia ante fallos de TLB**, ya que parte del proceso de traducción se realiza mediante un programa y no un dispositvo de hardware como la MMU.

CONCLUSIONES

En cuanto al **ejercicio 1**, se observa lo imprescindible que es la memoria cache y el sistema de caching com o estrategia, y como su inclusion en el acceso a los datos disminuye drasticamente los tiempos medios de acceso a la informacion, dado que basandonos en este caso, si solamente contaramos con memoria principal los tiempos se elevarian al menos por 5.6 veces.

En cuanto al ejercicio 2, tal y como se ha visto, la inclusion de la TLB es completamente imprescindible en un sistema que necesite performar mejor al operar con memoria virtual y como eficientiza los procesos de paginado, razón por la cual hoy en dia este dispositivo se encuentra embebido directamente en el procesador. Si bien es verdad que tiene algunas contras sobre todo en cuanto a fallos de pagina o mas bien fallos de TLB, pero dichas contras

son infimas en cuanto a la ganancia que significa ahorrar un nivel de salto a la hora de buscar una direccion, considerando sobre todo sistemas con gran cantidad de memoria donde el proceso de paginado es moneda corriente.

BIBLIOGRAFIA UTILIZADA

Figueras, G. E. (2019). ARQUITECTURA DE COMPUTADORES. Manual del curso. Universidad Internacional de Valencia. **Tema 3**

Gabrielle Moreau (2004). Presentacion Memoria Virtual. Universidad de La Laguna