

# 计算机体系结构实验

# 什么是计算机系统?

## 程序执行结果

不仅取决于算法、程序编写  
而且取决于语言处理系统、操作系统  
ISA、微体系结构

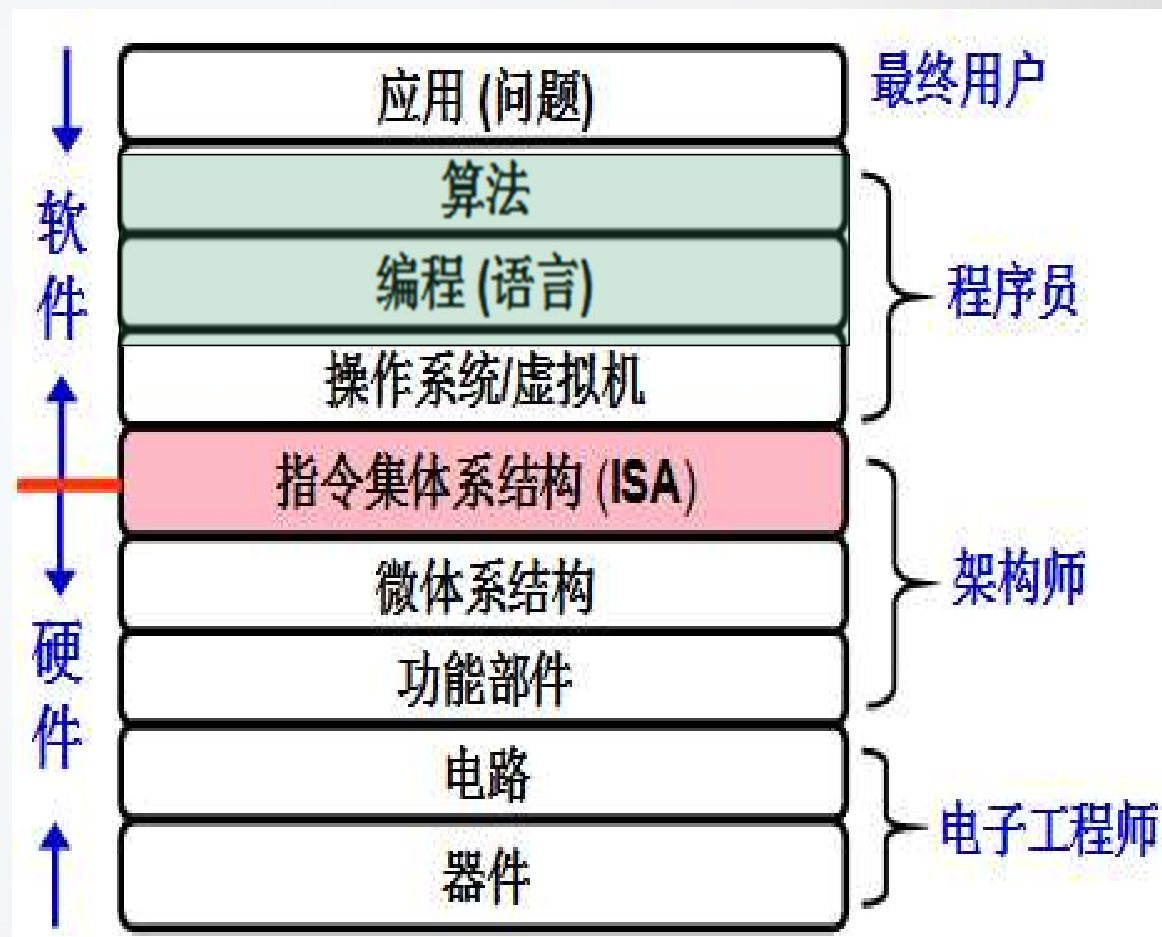
## 码农 VS 架构师

性能  
功耗  
面积  
T2M  
成本  
.....

### 性能:

- 处理器并行化 (ILP、DLP)
- 存储器结构层次化

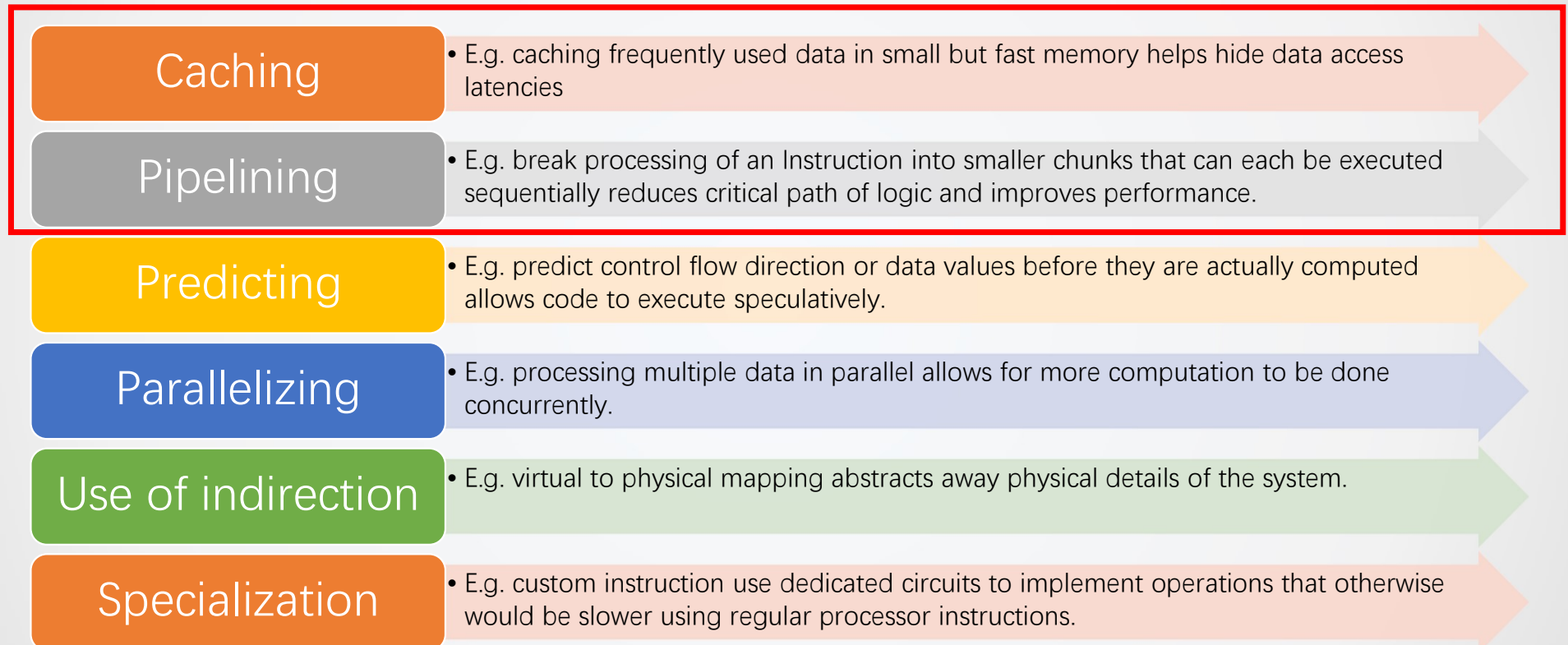
## 计算机系统抽象层的转换



参考: 南大袁春风老师《计算机系统基础》

# Principles of Computer Architecture

Traditional computer architecture has six principles regarding processor design:



## 实验课程安排

序号	实验项目	学时分配
1	Part A: RISC-V三段理想流水	2
	Part B: 分支冒险	2
2	Part A: 实现一个直接相联Cache	2
	Part B: 利用缓存机制优化矩阵加法运算	2
3	程序性能优化	8

- ✓8学时，3个实验项目，总分：30分
- ✓每完成一道附加题，加1分，直到满分30分为止

# 实验一：RISC-V三段流水仿真

## 实验目的

### Part A

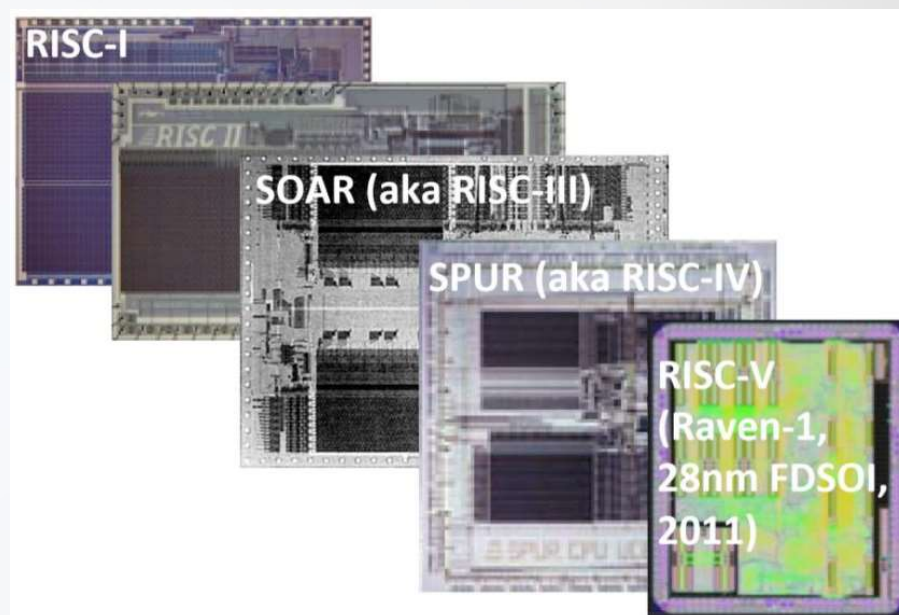
理解流水线基本概念，掌握三段理想流水线RISC-V CPU工作流程

### Part B

理解控制冒险的基本原理，掌握控制冲突流水线处理流程

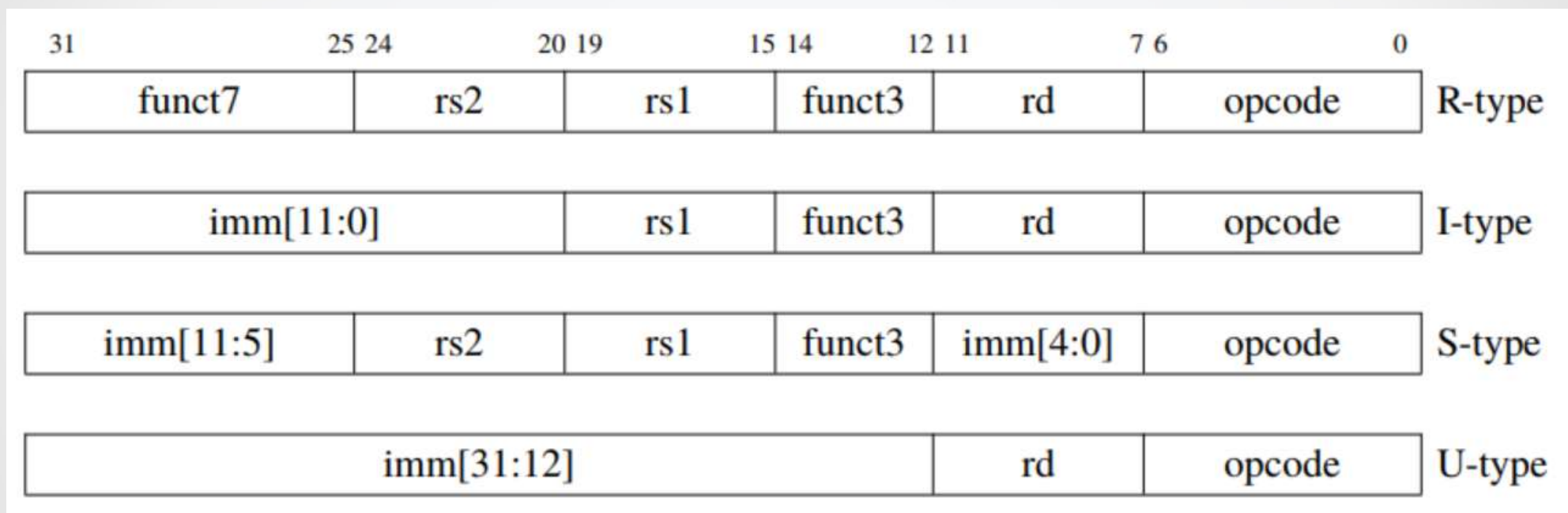
## 实验原理 —— RISC-V CPU

- 一个开放且自由的指令集结构
- 一个适合硬件实现的严肃的指令集结构
- 避免对特定微架构和实现工艺做过度的设计
- 指令集 == 整数指令集 + 一系列可选的扩展
- 支持用户态指令集扩展和特化
- 具有32位和64位地址空间的变种
- 支持多核/多处理器的实现



## 实验原理 —— RISC-V CPU

### ■ RISC-V CPU 指令

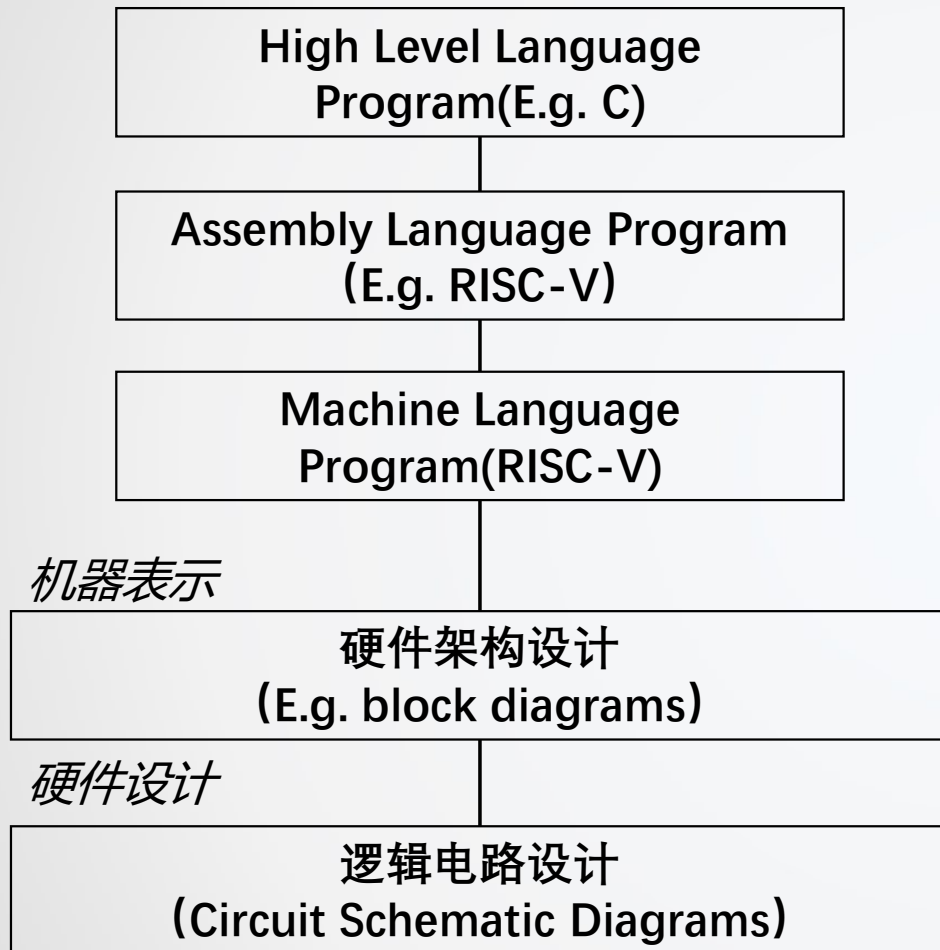


Imm[x:y]表示立即数中比特的范围

详细请参考：《RISC-V 手册》



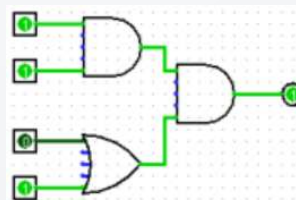
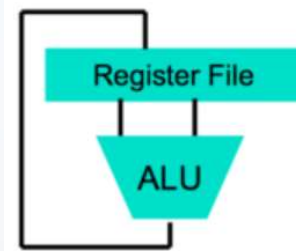
## 实验原理 —— RISC-V CPU



```
for(i = 0; i < N; i++)  
    for(j = 0; j < M; j++)  
        C[i][j] = A[i][j] + B[i][j];
```

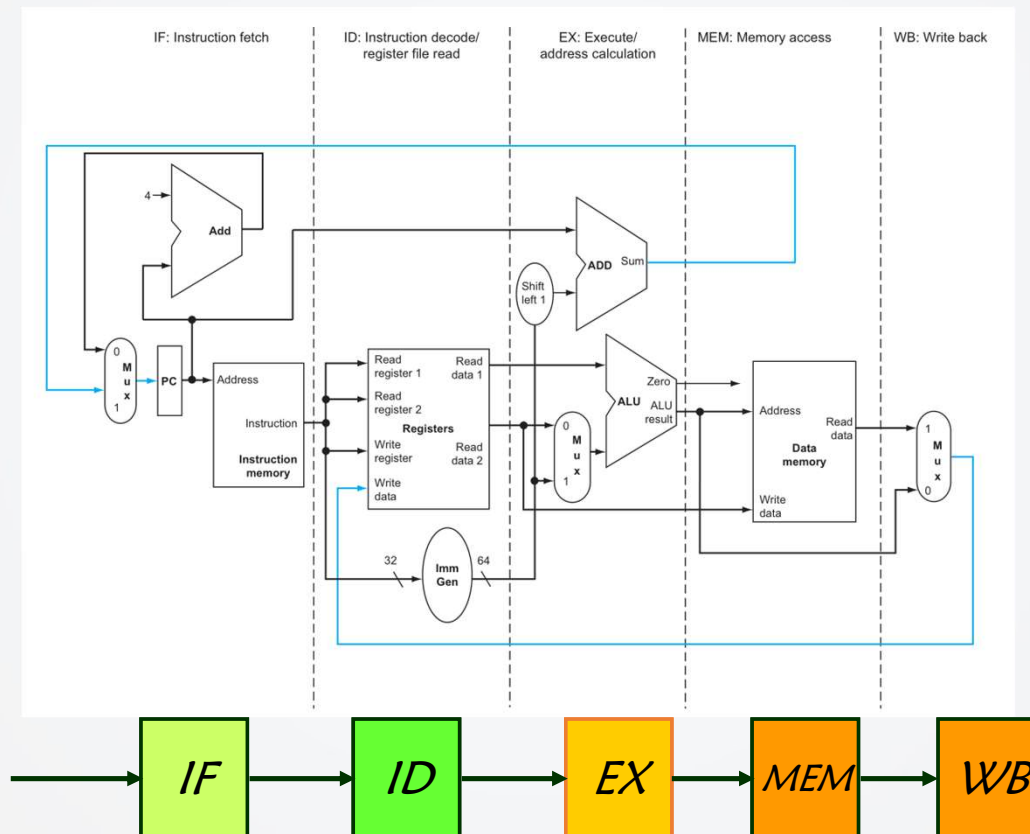
```
andi t1, t4, 0xF  
sltiu t5, t1, 0xA  
bne t5, zero, loop2  
addi t1, t1, 0x7
```

```
0000 1001 1100 0110 1010 1111 0101 1000  
1010 1111 0101 1000 0000 1001 1100 0110  
1100 0110 1010 1111 0101 1000 0000 1001  
0101 1000 0000 1001 1100 0110 1010 1111
```



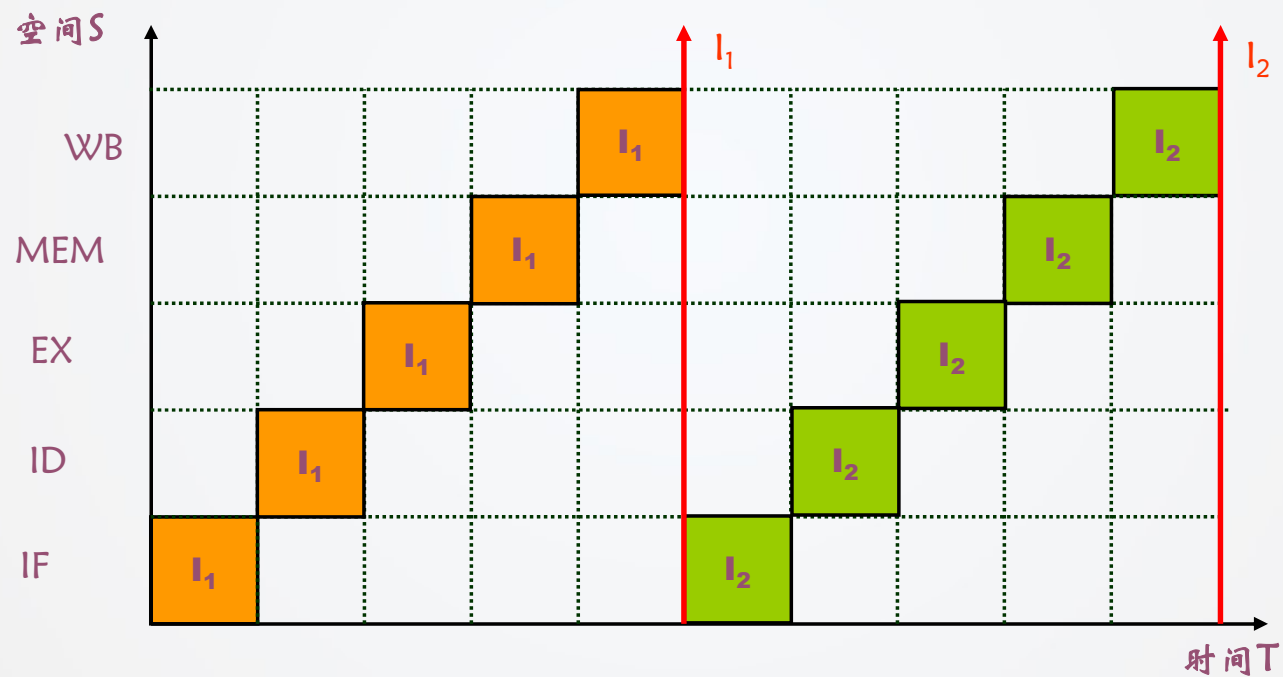
# 实验原理 —— RISC-V CPU

## ■ 单周期RISC-V CPU逻辑架构

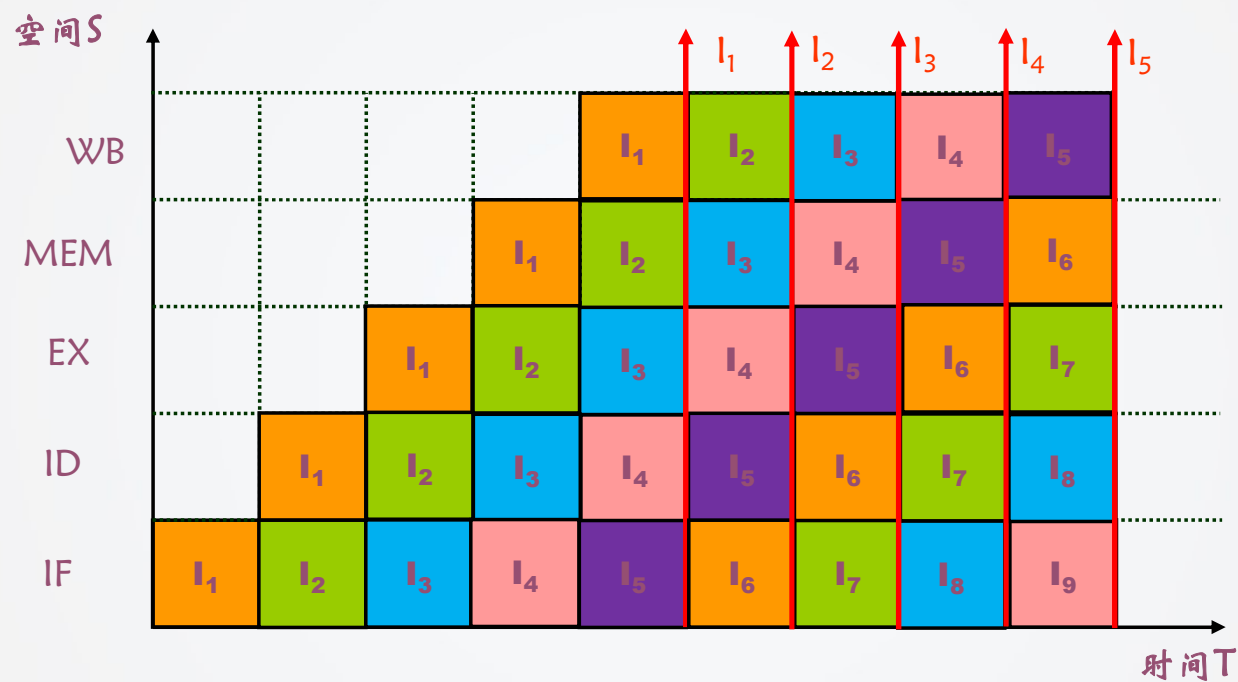


## 非流水线时空图

当流水线中各段延迟时间相等时，假设这里一个时间段为 $T$ ，  
单周期CPU执行一条指令的时间为 $5T$



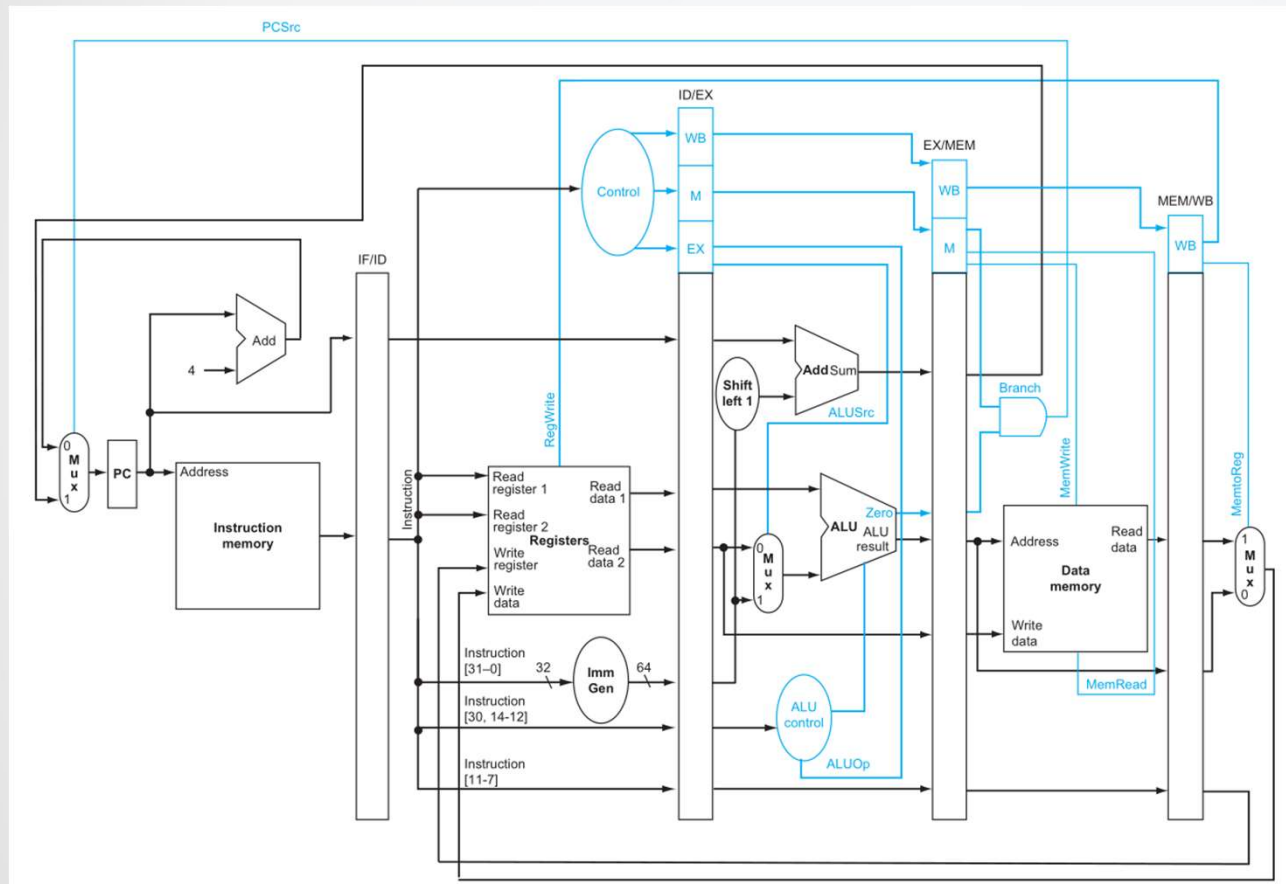
## 流水线时空图



■ 完成N条指令需要的时间  $(5+(n-1)) \times T$

## 实验原理 —— RISC-V CPU

### ■ RISC-V五段流水CPU逻辑架构图



### 流水接口部件的组成?

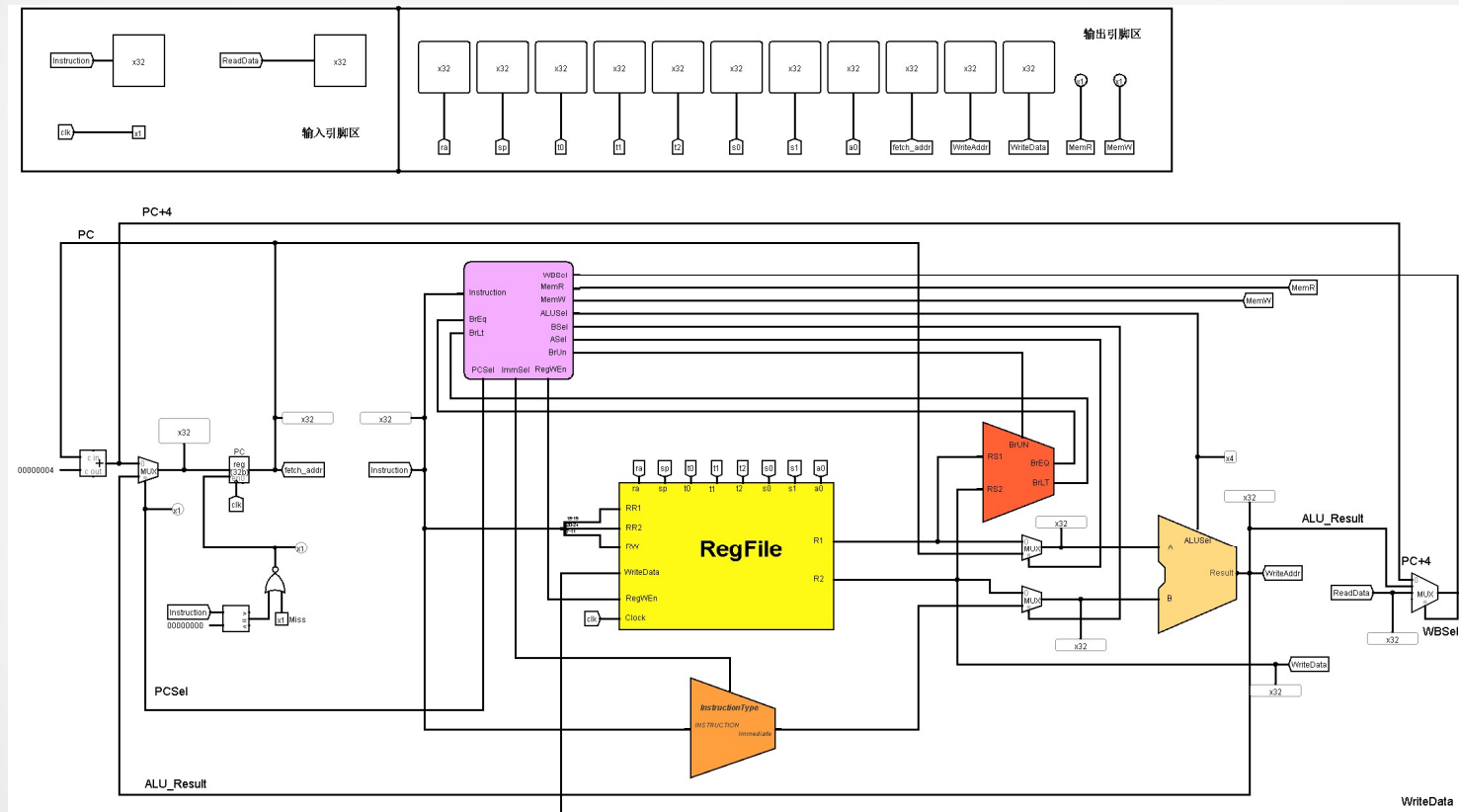
流水接口内部主要由**多路选择器**和**若干寄存器**组成；多路选择器决定寄存器的输入：本段处理完成的数据或清零信号，以保证该阶段的执行结果可以给下一个阶段使用；清零信号主要是在有分支相关和数据相关的情况下使用到。

- 本实验已经构建了一个32位 RISC-V SoC



## 实验内容 —— Part A RISC-V三段理想流水

- 把32位单周期的RISC-V CPU改造成三段理想流水的CPU



## 实验平台 —— Logisim

- JAVA程序，跨平台，开源
  - WIN, MAC, Linux
  - Logisim-evolution 可嵌入VHDL模块
  - 有BUG，但完全可用
    - ◆ 如大范围元件移动，重启即可
- 用于数字电路开发、CPU设计的仿真软件
  - 仿真直观，调试简单，易学易用
  - 全球几百所高校采用
    - ◆ 伯克利分校CS61C课程
    - ◆ 康奈尔大学CS3410课程
    - ◆ 华中科大，国防科大，北航，中国地大

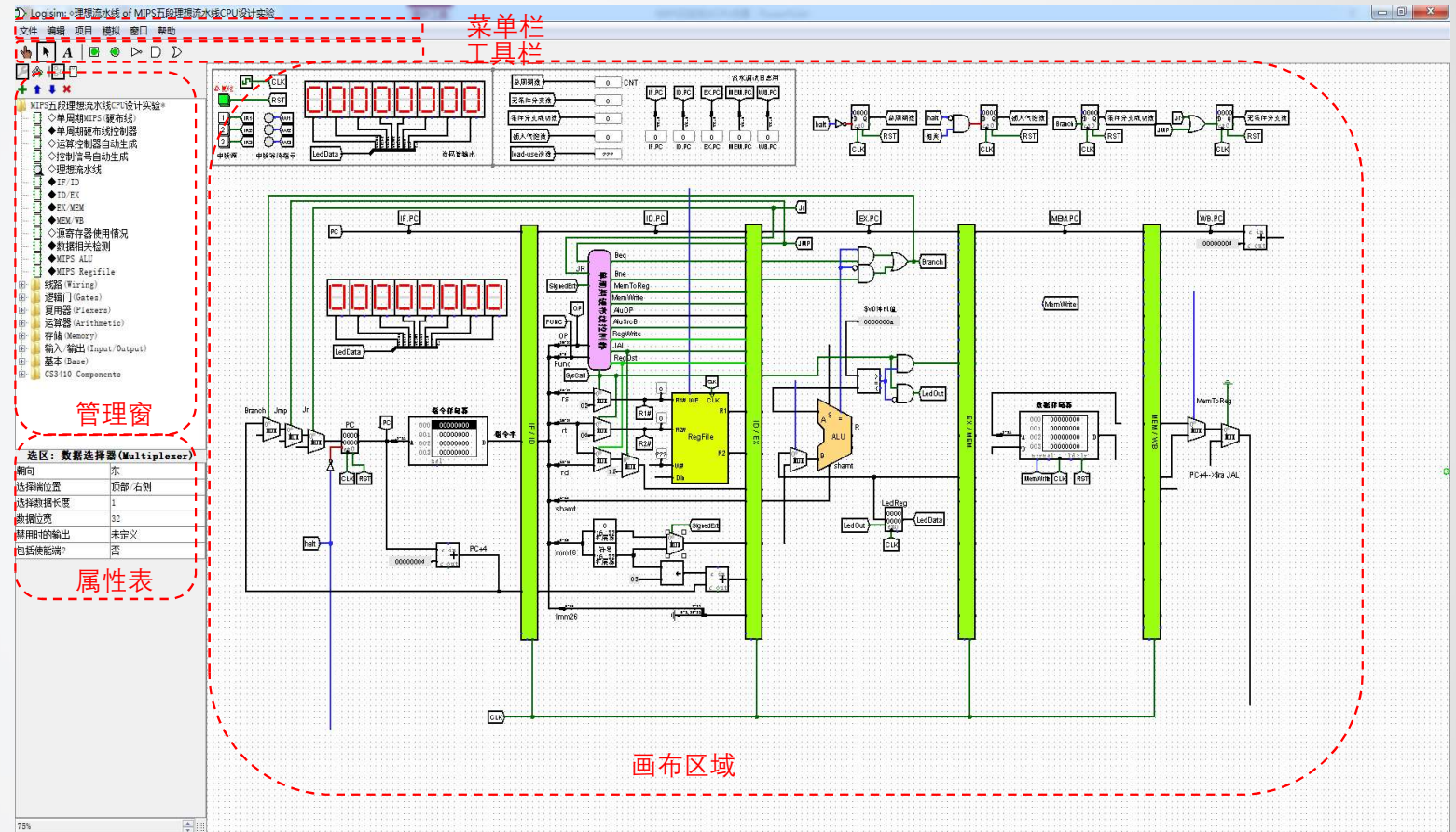
## Logisim实验特色

- 采用原理图方式进行设计
- 支持子电路封装，易于扩展构建复杂数字电路系统（CPU）
- 延续了数字逻辑课程中数字电路设计方法
  - 有利于培养学生硬件设计思维
  - 回避了硬件描述语言过于抽象、硬件设计程序化的问题。
- 简单易学，易于调试、零实验成本，无场地和人员要求



# 实验平台 —— Logisim主界面

- Ctrl+r 重置
- Ctrl+t 单步执行
- Ctrl+k 自动执行/暂停



## 实验步骤

- 修改 “Three-stage CPU” 子电路，增加流水接口部件；
- 加载理想流水测试程序进行功能调试
- 按ctrl + k 驱动时钟仿真，可以在菜单栏Simulate -> Tick Frequency修改时钟频率。
- 可以看到7段数码管会从右到左移动显示12300000。

```
- SoC
  |- BusModel : I/O总线模块
  |- CPU: 单周期RISC-V CPU
    |-- AluModel: ALU模块
    |-- Branch: 分支跳转模块
    |-- ControlModel: 控制模块
    |-- ImmModel: 立即数扩展模块
    |-- RegFile: 寄存器堆
  |- Three-stage CPU: 三级流水RISC-V CPU
  |- DMEM: 数据存储器
  |- IMEM: 指令存储器
  |- KeyTTYDriver: 键盘和TTY终端驱动模块
  |- LedDriver: 7段数码管驱动模块
```

## 实验提交

### ■ 时间截点

两个星期内，即6月2日之前提交，**否则视为未提交**

### ■ 需提交的内容

- 电路文件
- 运行结果截图
- 把设计思路写到**实验报告**中，实验报告格式不限

### ■ 提交邮箱: [hitsz\\_arch2020@163.com](mailto:hitsz_arch2020@163.com)