

## 实验二：Cache仿真

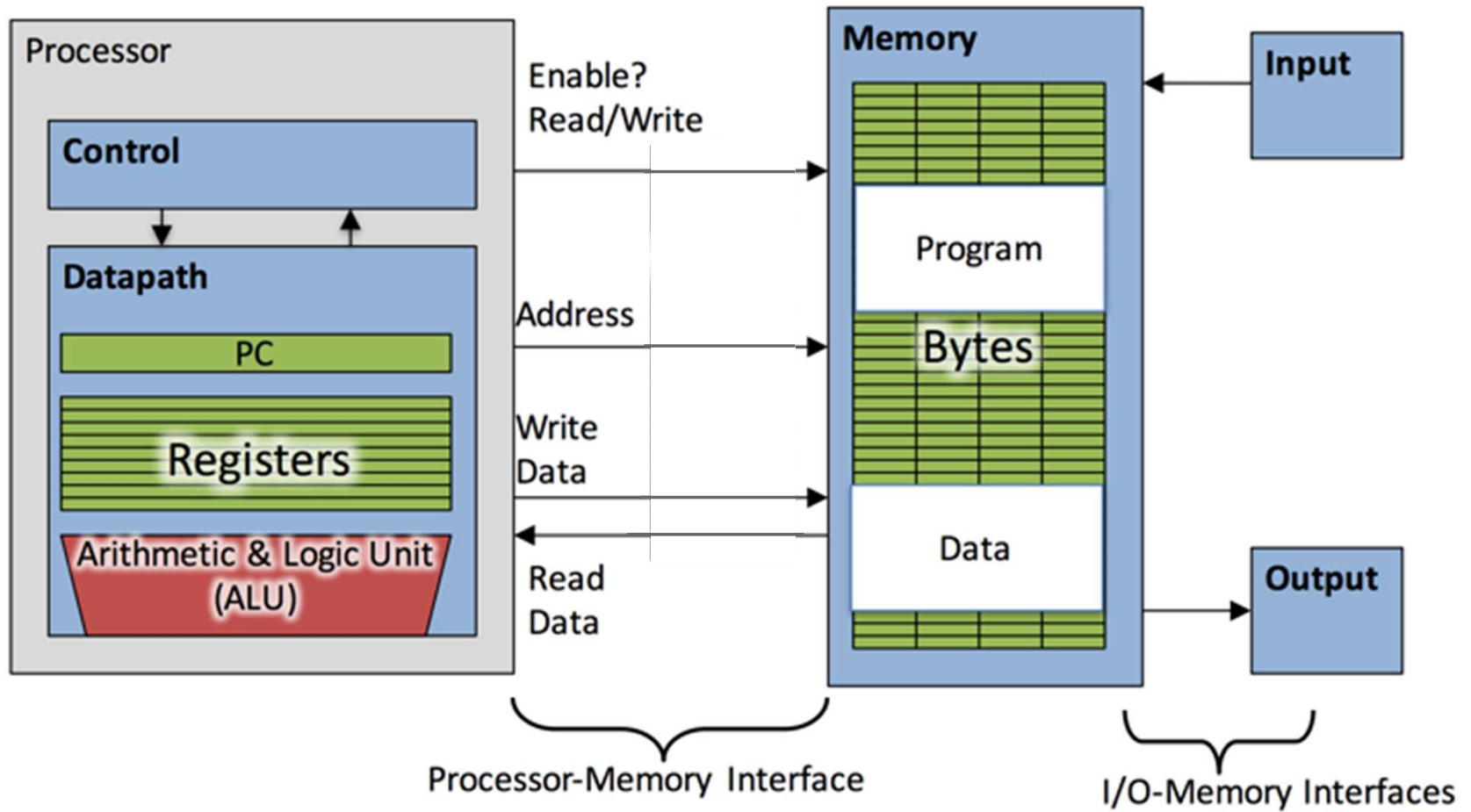
## 实验目的

### Part A

理解Cache的地址映射机制，实现直接相联Cache电路

### Part B

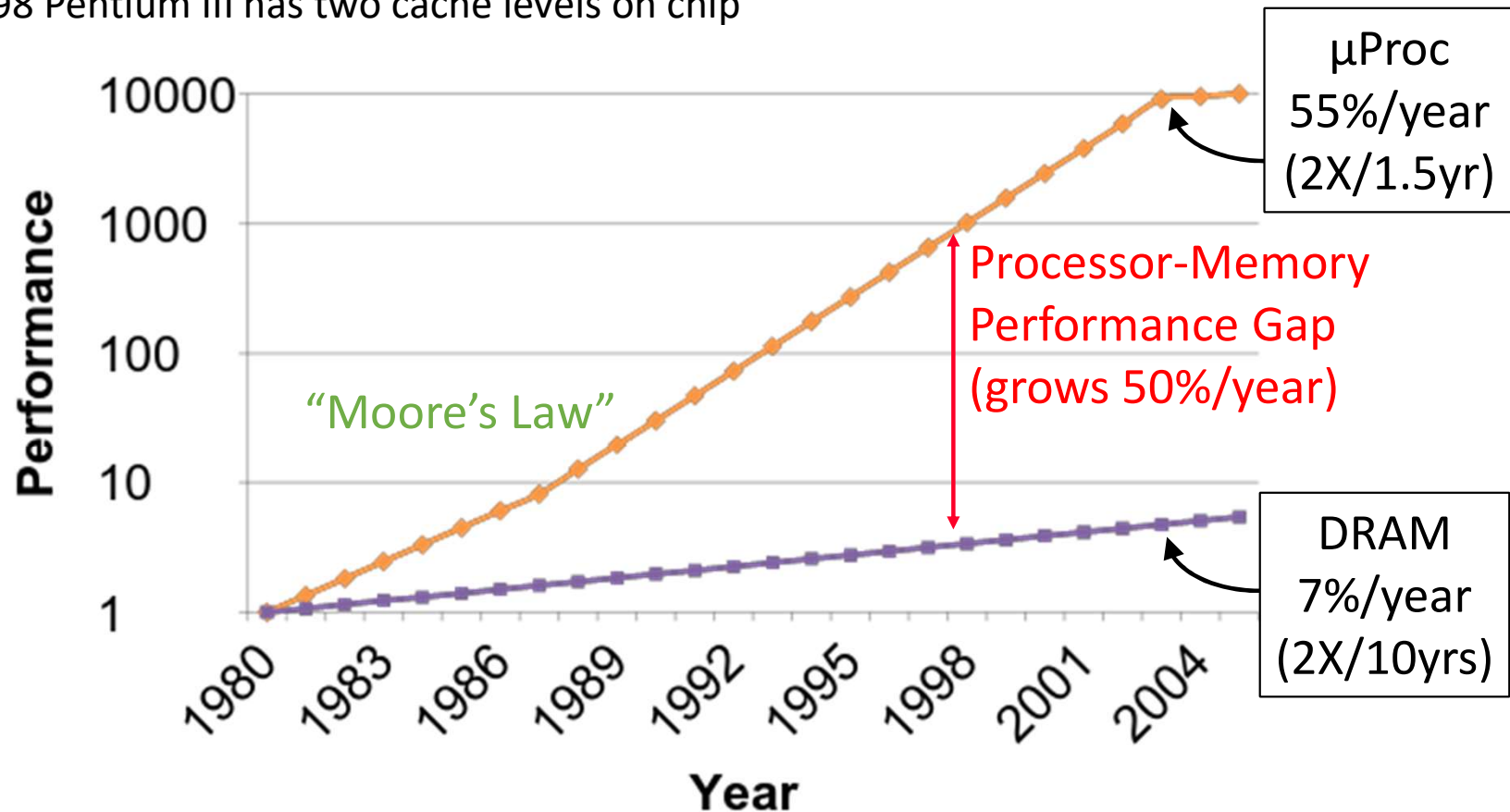
理解不同访问序列对Cache性能的影响

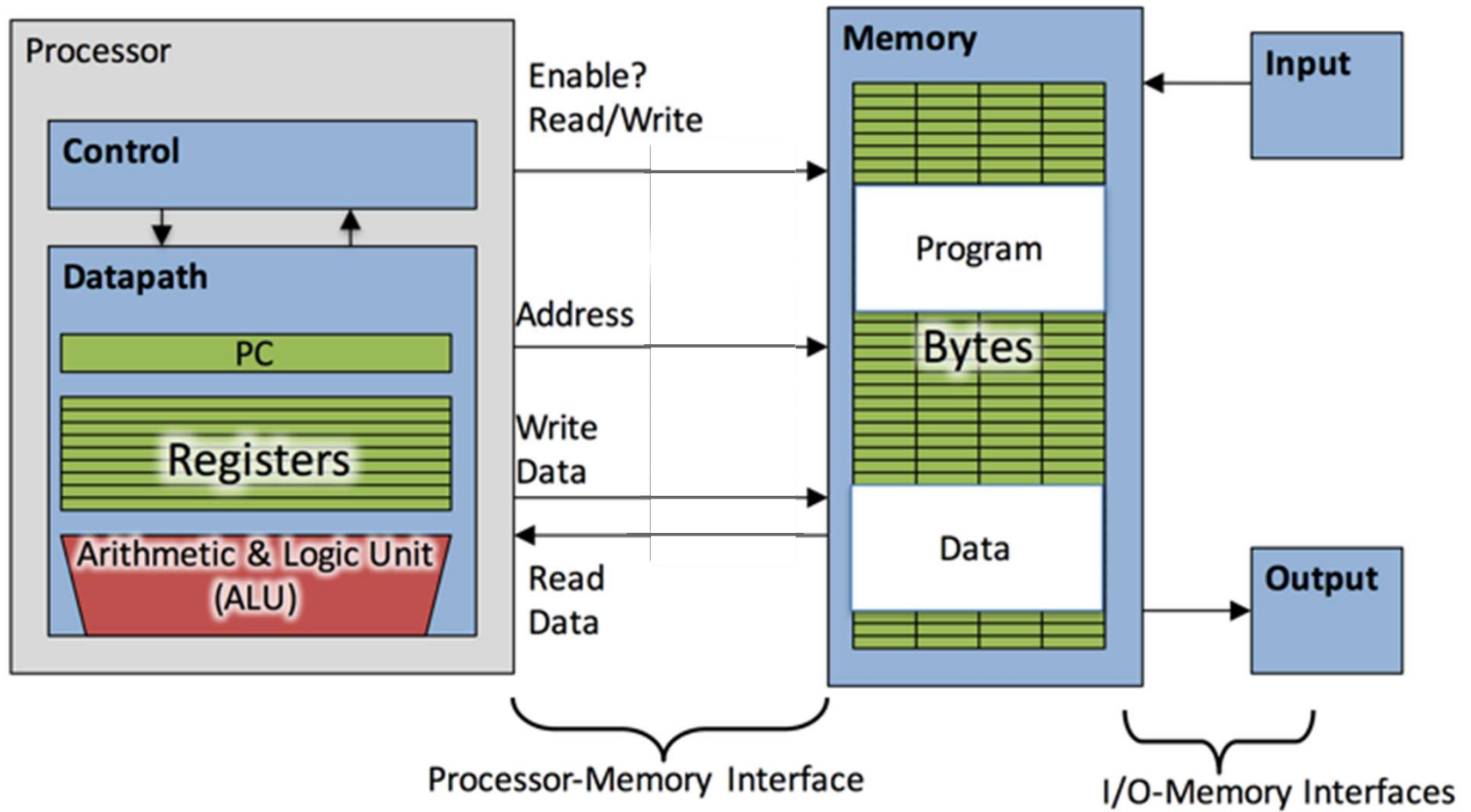


# Processor-Memory Gap

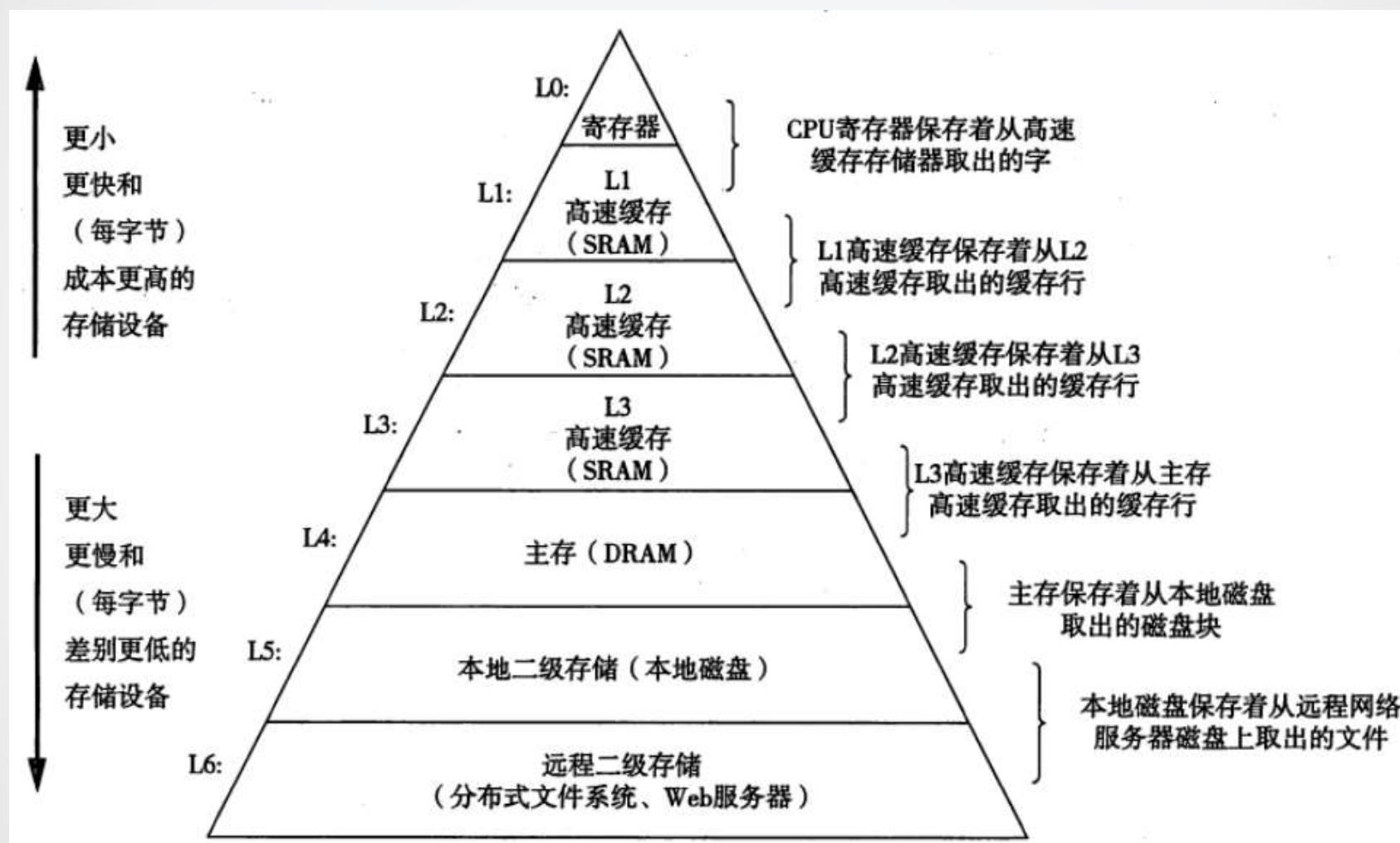
1989 first Intel CPU with cache on chip

1998 Pentium III has two cache levels on chip





## 实验原理 —— 存储器层次结构



## 实验原理 —— 缓存在现代计算机系统中无处不在

类型	缓存什么	被缓存在何处	延迟（周期数）	由谁管理
CPU寄存器	4字节或8字节	芯片上的CPU寄存器	0	编译器
TLB	地址翻译	芯片上的TLB	0	硬件MMU
L1高速缓存	64字节块	芯片上的L1高速缓存	4	硬件
L2高速缓存	64字节块	芯片上的L2高速缓存	10	硬件
L3高速缓存	64字节块	芯片上的L3高速缓存	50	硬件
虚拟内存	4KB页	主存	200	硬件+OS
缓冲区缓存	部分文件	主存	200	OS
磁盘缓存	磁盘扇区	磁盘控制器	100 000	控制器固件
网络缓存	部分文件	本地磁盘	10 000 000	NFS客户
浏览器缓存	Web页	本地磁盘	10 000 000	Web浏览器
Web缓存	Web页	远程服务器磁盘	1 000 000 000	Web代理服务器

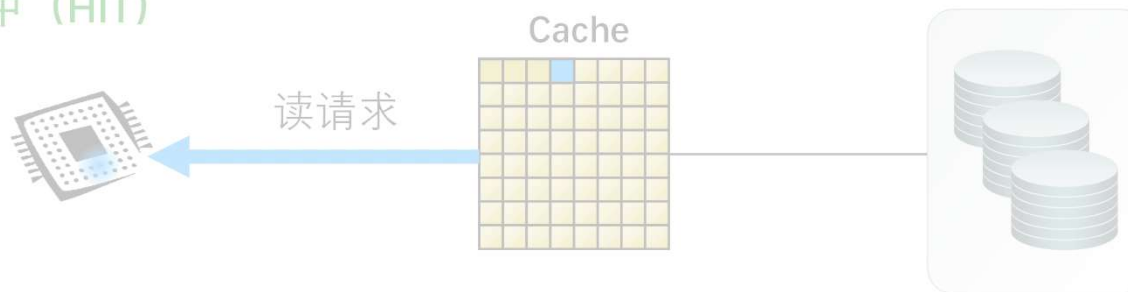
# Key Problems

- 1、主存地址如何放置到Cache行/槽中
  - 地址映射 Address Mapping
    - 直接相联 (direct mapped)
    - 全相联 (fully-associated)
    - 组相联 (set-associated)
- 2、Cache满了以后如何处理
  - 替换策略 Placement Policy:
    - ◆ FIFO (First In First Out)
    - ◆ LFU (Least Frequently Used)
    - ◆ LRU (Least Recently Used)
    - ◆ 随机替换 (Random Replacement)
- 3、如何保证cache与memory的一致性
  - 写回策略 Write-Back
  - 写穿策略 Write-Through

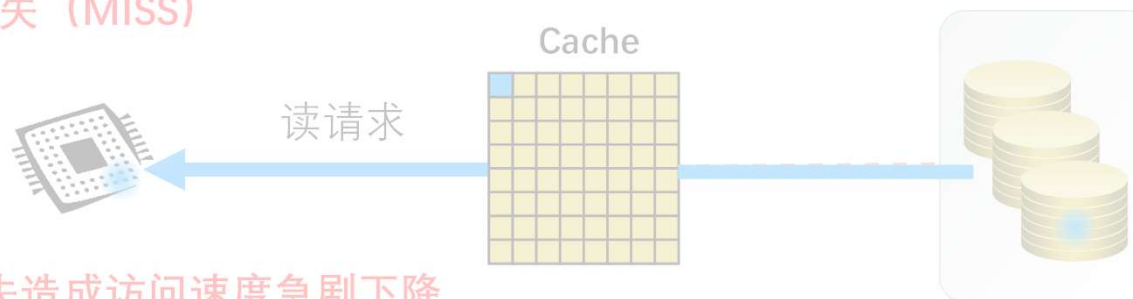


## Cache读操作流程

命中 (HIT)



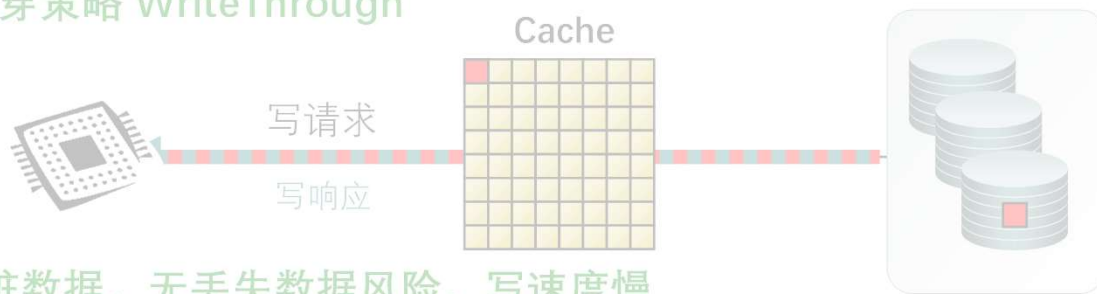
缺失 (MISS)



缺失造成访问速度急剧下降

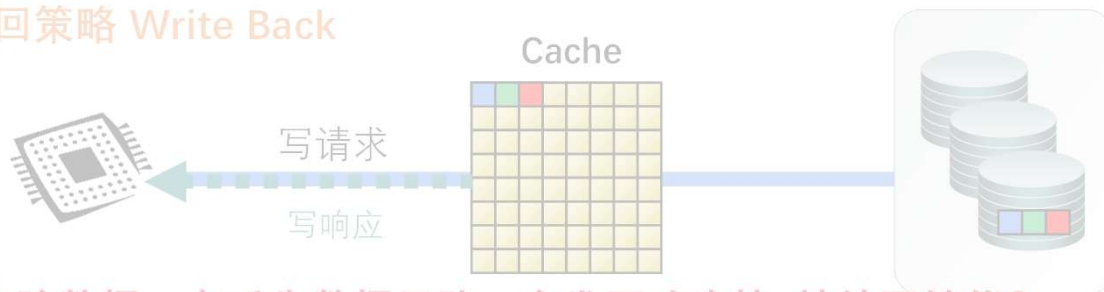
## Cache写操作流程

### 写穿策略 WriteThrough



无脏数据，无丢失数据风险，写速度慢

### 写回策略 Write Back



存在脏数据，有丢失数据风险，突发写速度快，持续写性能？

## 如何放置到Cache行——以直接相联映射为例

- 主存分块, cache行, 两者大小相同
- 主存分块后还将以cache行数为标准进行分区

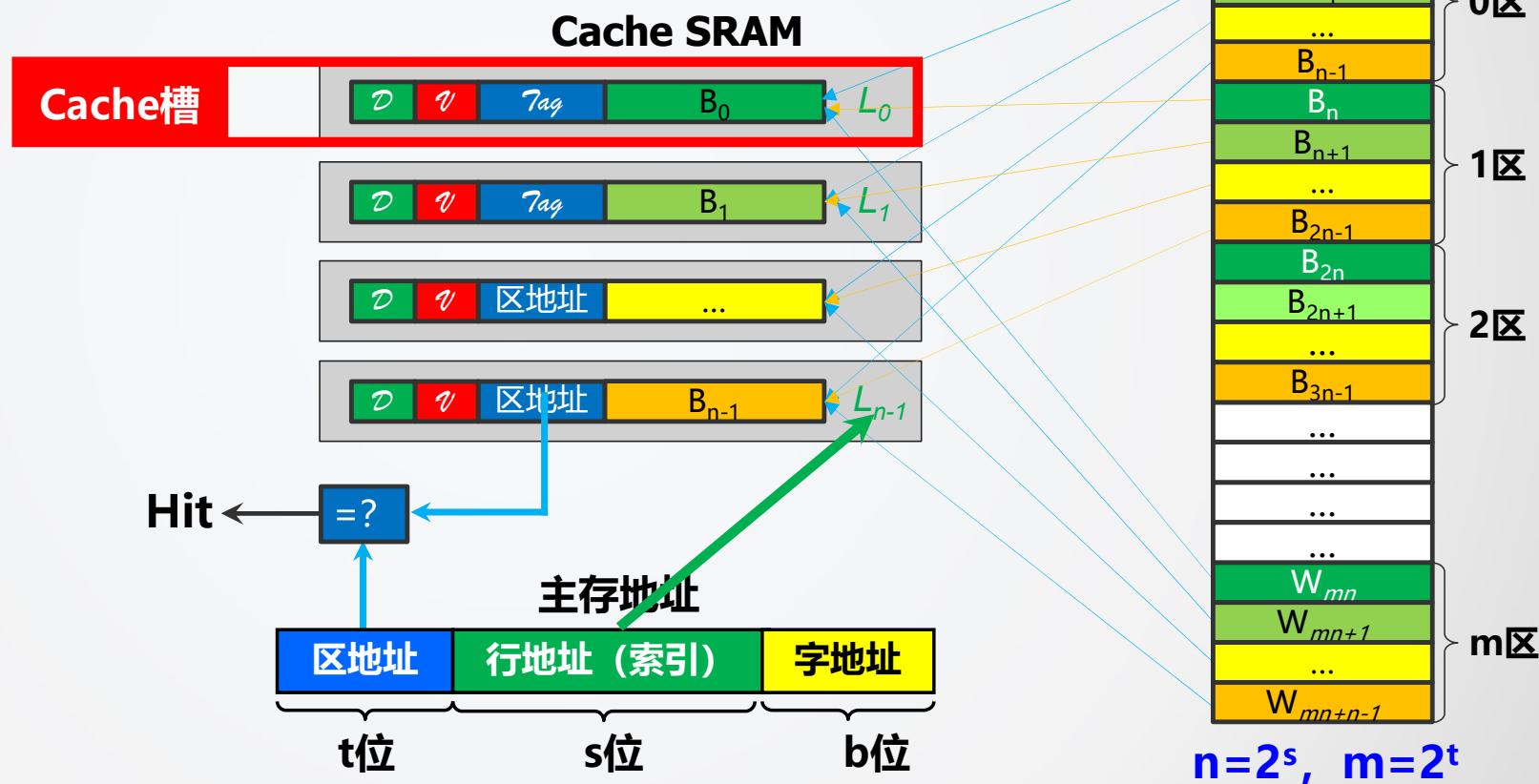
### 映射算法:

Cache共 $n$ 行, 主存第 $j$ 块号映射到cache的行号 (即主存的数据块映射到cache特定行)

$$i = j \bmod n$$

- Cache每行包含四部分, 是Cache要保存的信息。

- Tag从CPU访问主存的地址中剥离得
- Data与主存交换的数据块
- Valid表示Cache中的数据是否有效
- Dirty表示主存中的数据是最新



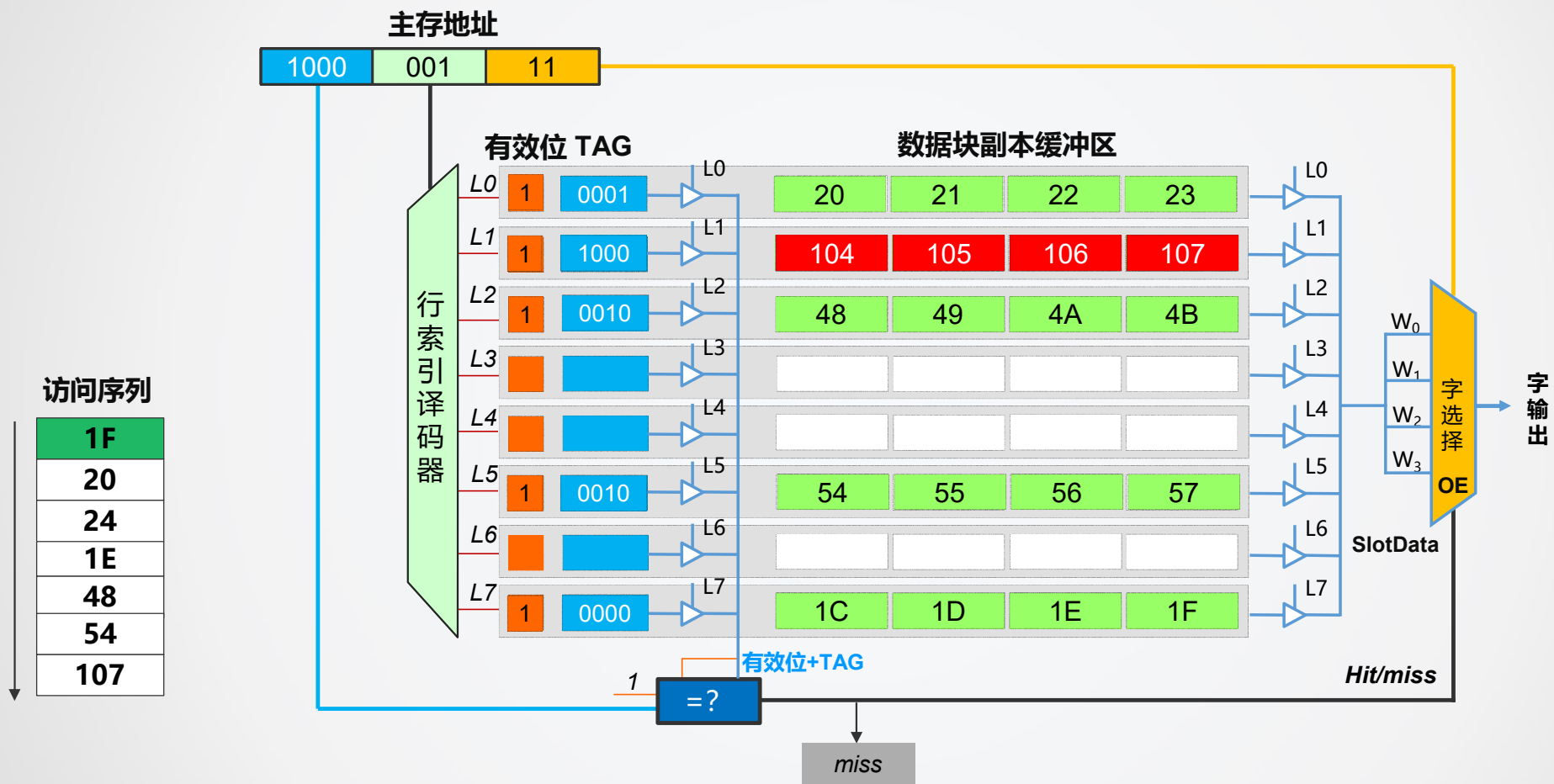
# 直接相联映射逻辑实现

假设每块4个字节，主存大小为1024个字节，cache分为8行，第101个字的主存地址为：

00011      001      01  
tag      index      offset



## 直接相联映射载入过程



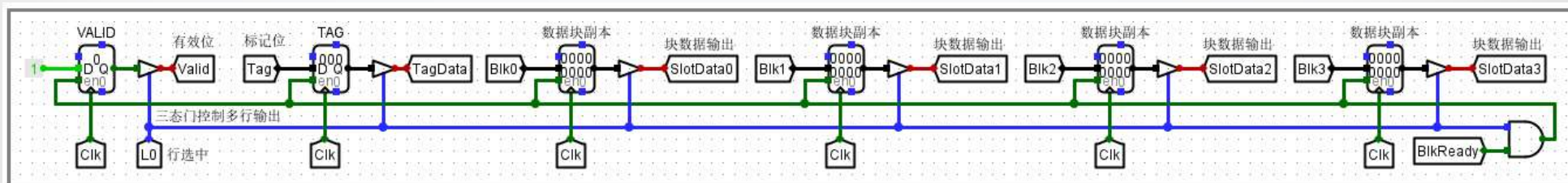
## 实验内容

- 实现只读Cache模块，该Cache模块共包括8个Cache行，每个数据块包含16个字节共128位数据。

1. 完成Cache行设计
2. 完成行索引译码器子电路
3. 完成tag比较子电路
4. 完成字选择输出子电路

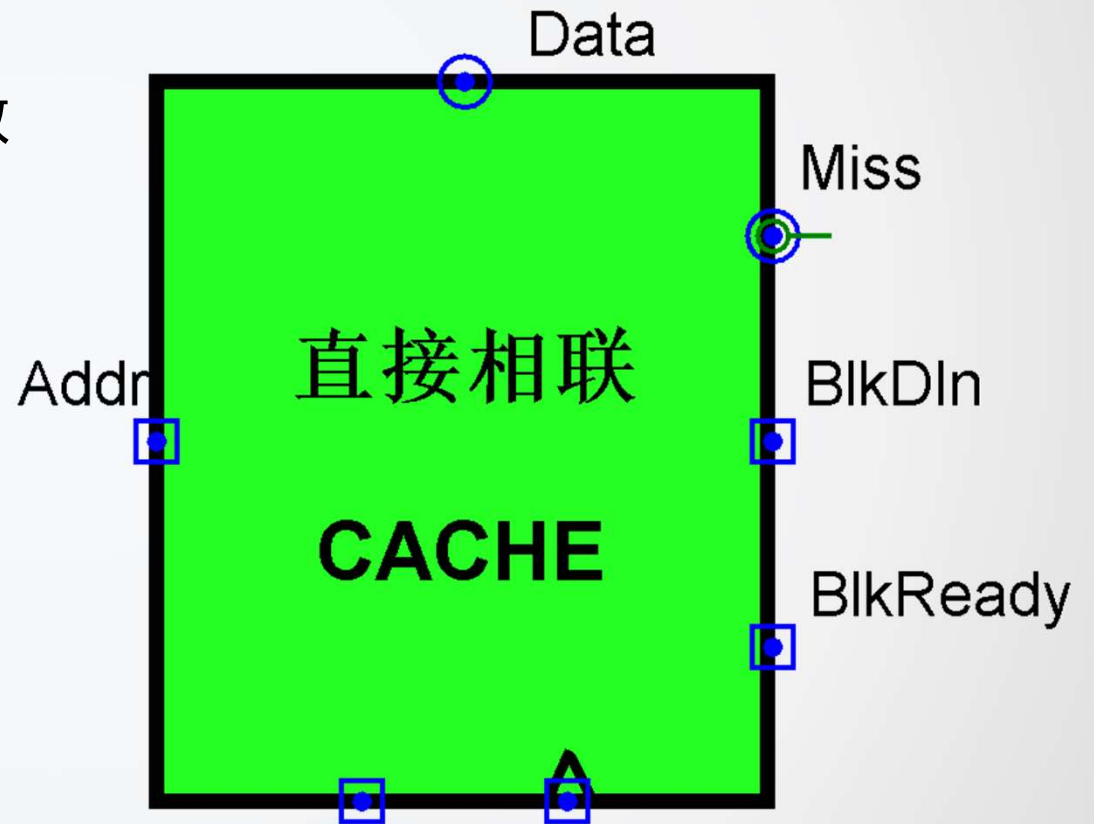
**Select**  
identifies which output is 1

**Output**



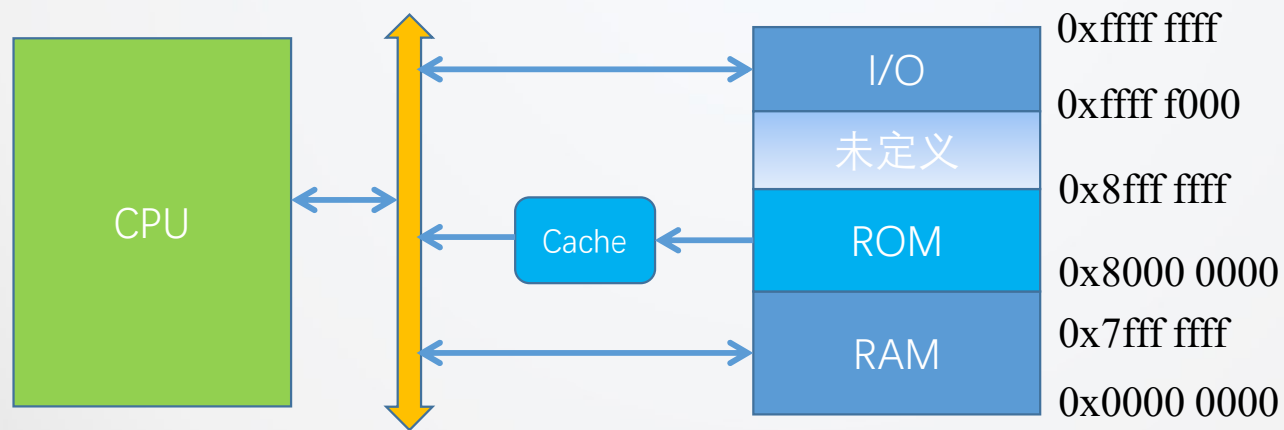
## Cache模块引脚分布

- addr 字节地址输入 data 字节数据输出
- miss 缺失 高电平有效
- BlkReady 数据块就绪 高电平有效
- BlkDIn 数据块输入
- Enable 使能信号, 高电平有效
  - 为零时 data输出高阻态



## SoC地址空间

- |- 0xffff f000 - 0xffff ffff : 外设地址
  - |- 0xffff f000 : 7-Segment 地址
  - |- 0xffff f004 : 键盘地址
  - |- 0xffff f008 : TTY终端地址
- |- 0x8000 0000 - 0x8fff ffff : ROM 只读存储器地址
- |- 0x0000 0000 - 0x7fff ffff : RAM 可读可写存储器地址





## 实验提交

### ■ 时间截点

6月15日之前提交，否则视为未提交

### ■ 需提交的内容

- 电路文件
- 运行结果截图
- 把设计思路写到实验报告中，实验报告格式不限

### ■ 提交邮箱: [hitsz\\_arch2020@163.com](mailto:hitsz_arch2020@163.com)