

实验二：Cache仿真

实验目的

Part A

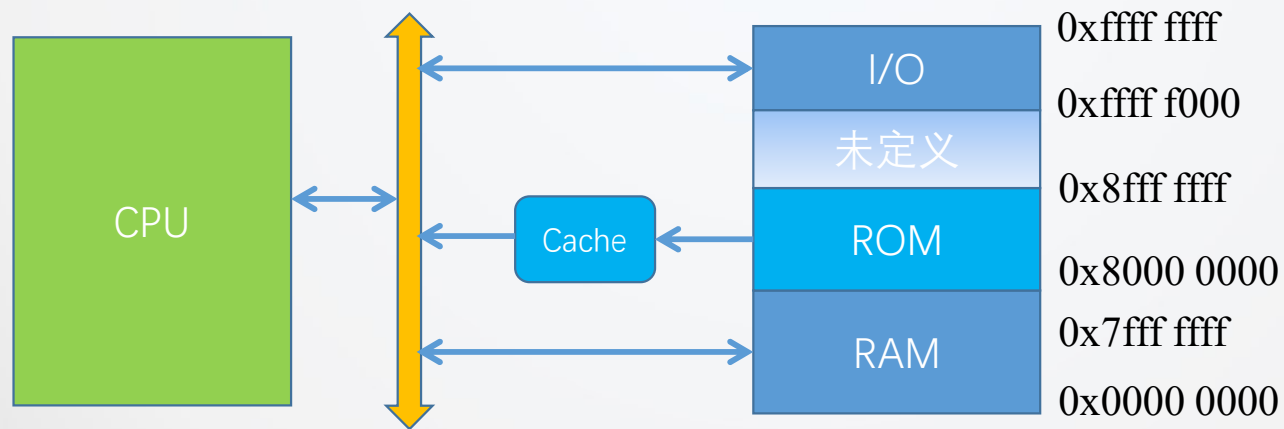
理解Cache的地址映射机制，实现直接相联Cache电路

Part B

理解不同访问序列对Cache性能的影响

SoC地址空间

- |- 0xffff f000 - 0xffff ffff : 外设地址
 - |- 0xffff f000 : 7-Segment 地址
 - |- 0xffff f004 : 键盘地址
 - |- 0xffff f008 : TTY终端地址
- |- 0x8000 0000 - 0x8fff ffff : ROM 只读存储器地址
- |- 0x0000 0000 - 0x7fff ffff : RAM 可读可写存储器地址



直接相联映射逻辑实现

假设每块4个字节，主存大小为1024个字节，cache分为8行，第101个字的主存地址为：

00011 001 01
tag index offset



实验内容

Miss Number=?

```
for(i = 0; i < N; i++)
    for(j = 0; j < M; j++)
        C[i][j] = A[i][j] + B[i][j];
```

L0	40	41	42	43
L1	44	45	46	47
L2				
L3				
L4				
L5				
L6				
L7				

Cache

二级存储器ROM

000000000000 000 00	00	01	02	03	04	05	06	07
000000000000 010 00	08	09	0A	0B	0C	0D	0E	0F
	10	11	12	13	14	15	16	17
	18	19	1A	1B	1C	1D	1E	1F
	20	21	22	23	24	25	26	27
	28	29	2A	2B	2C	2D	2E	2F
	30	31	32	33	34	35	36	37
	38	39	3A	3B	3C	3D	3E	3F
000000000010 000 00	40	41	42	43	44	45	46	47
000000000010 010 00	48	49	4A	4B	4C	4D	4E	4F
	50	51	52	53	54	55	56	57
	58	59	5A	5B	5C	5D	5E	5F
	60	61	62	63	64	65	66	67
	68	69	6A	6B	6C	6D	6E	6F
	70	71	72	73	74	75	76	77
	78	79	7A	7B	7C	7D	7E	7F

实验步骤

- 理解Cache读取机制，理解汇编参考程序；
- 修改电路或汇编程序，让缺失数MissNumber越少越好。

■ 要求

- Cache的结构（每行16字节，总8行）和总容量（128字节）不能改变；
- 矩阵A和矩阵B的值、矩阵大小（8 x 8）不能改变；
- 矩阵A和矩阵B必须存放在ROM只读存储器中。

附加题

- 1、请在以下2种组合中任选一组进行电路实现，并在SoC电路中进行命中率测试，Cache总容量：128B。（1分）
 - 全相联映射（8路组相联），LRU调度。
 - 组相联映射（2路组相联，4路组相联二选一），LRU调度。
- 2、给定矩阵A[16][16]，实现矩阵加法运算：
矩阵B = 矩阵A + 矩阵A的转置
使得Cache的不命中率Miss Number尽可能少。（最高加分：1分）
- 当寄存器不够用怎么办？？？
 - PUSH、POP

实验提交

■ 时间截点

(实验一和实验二) 6月15日之前提交, **否则视为未提交**

■ 需提交的内容

- 电路文件
- 运行结果截图
- 把设计思路写到实验报告中, 实验报告格式不限

■ 提交邮箱: hitsz_arch2020@163.com