

INC projekt - vystupna sprava

Miroslav Harag (xharag02)

Maj 2021

1 Architektura navrhnutého obvodu

Schema obvodu

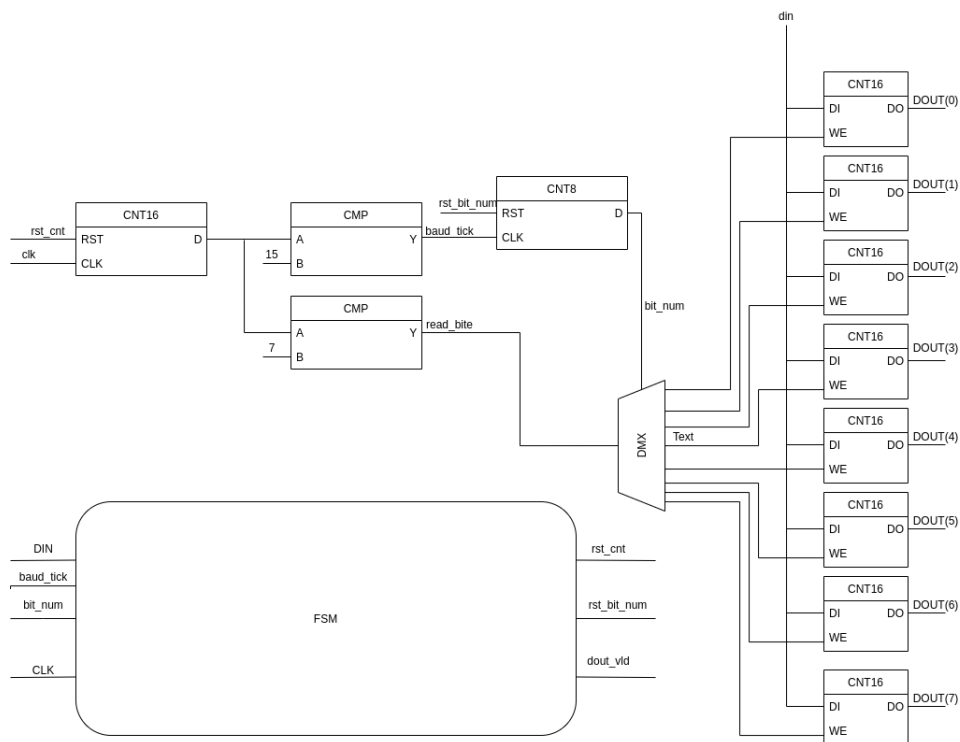


Figure 1: Schema obvodu

Popis funkcie

Datova cesta sa sklada z 2 citacov, 2 komparatorov, demultiplexoru a 8 registrov typu D.

Prvy z citacov (CNT16) sluzi pre rozpoznanie jednotlivych bitov vo vstupe. Riadiace hodiny obvodu idu 16x rychlejsie ako data zo vstupu preto tento citac pocita do 15. Ked dosiahne hodnotu 15 skoncil jeden bit (signal baud_tick). Ked dosiahne hodnotu 7, sme uprostred bitu a mame teda vzorkovat (signal read_bit).

Druhy z citacov urcuje aktualny bit ktory citame (signal bit_num).

Demultiplexor na zaklade signal_bit priraduje signal read_bit prave jednemu z registrov. Vsetky ostatne registre si pametaju svoj stav.

Cely obvod je riadeny stavovym automatom ktory je popisany neskor

2 Navrh automatu

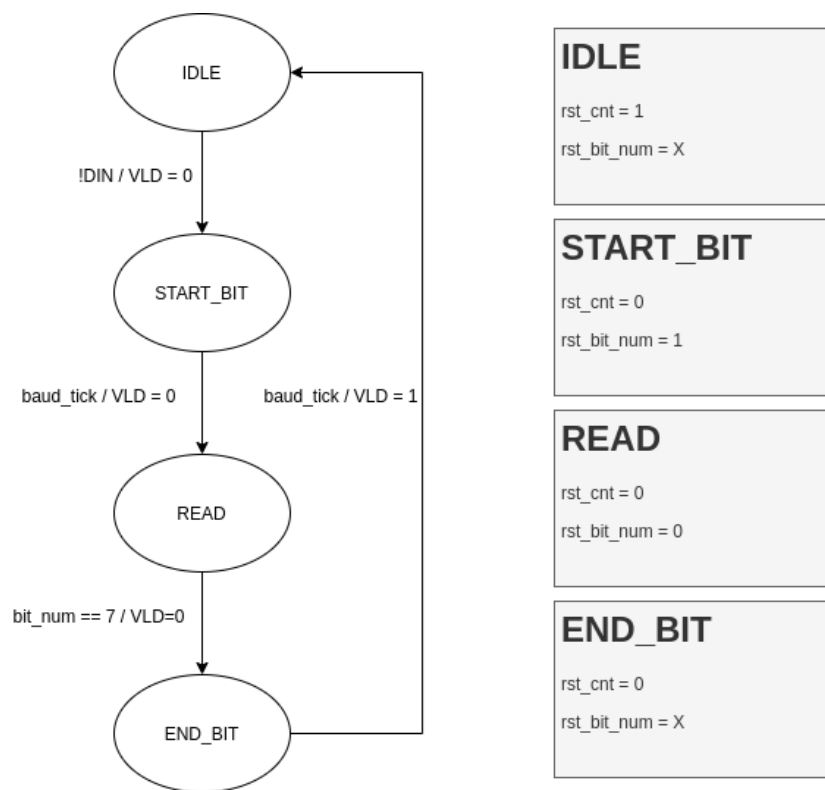


Figure 2: FSM

Legenda

- Stavy automatu: IDLE, START_BIT, READ, END_BIT
- Vstupne signaly: DIN, baud_tick, bit_num, CLK
- Mealyho vystupy: dout_vld
- Moorove vystupy: rst_cnt, rst_bit_num

Popis funkcie

Stavovy automat zacina v stave IDLE v ktorom caka pokiaľ sa na vstupe objavi 0. Keď sa objavi 0, automat prejde do stavu START_BIT v ktorom caka 16 CLK. Nasledne prechadza do stavu read_bit v ktorom deserializuje vstup a vystup postupne uklada do registrom 0 az 7. Nakoniec prejde do stavu END_BIT v ktorom rovnako ako v stave START_BIT caka 16 CLK. Po skončení stavu END_BIT prechadza naspäť do stavu IDLE.

3 Screenshot simulacie

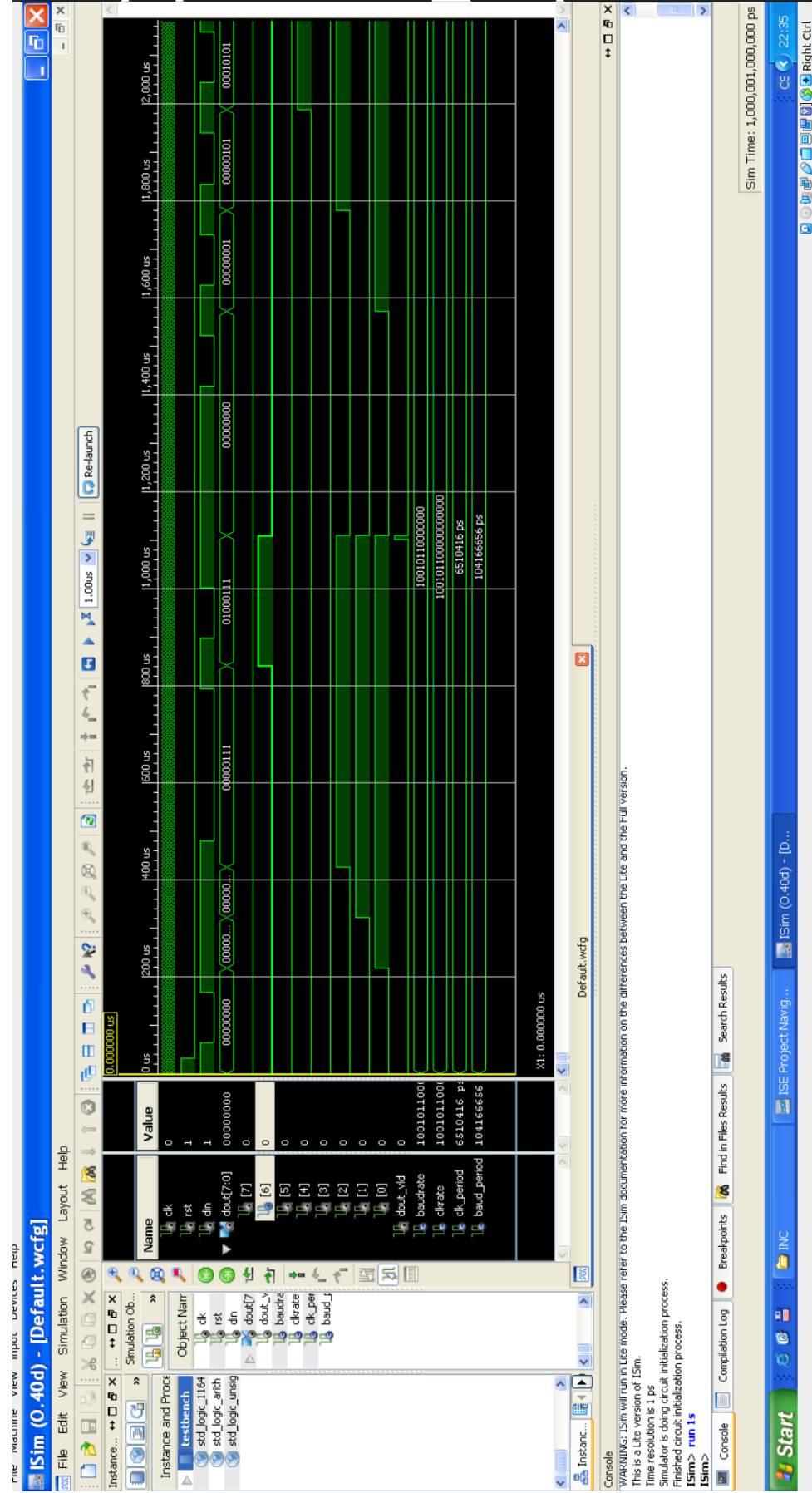


Figure 3: Simulacia