

3.9⁰⁰ fld 4; fdiv.d 11; fmul.d 5 (fld可并行); fadd.d 1x2;
 后面需入无延期, 故共需 $4+11+5+2+10=32$ 个周期.

12) 无双流总线时的寄存器冲突, 故相同指令可并行, 共需 24 个周期即可完成.

13) fld f2, 0(a0);

fld f4, 0(a1);

fdiv.d f8, f0, f2 共需 21 周期

fmul.d f2, f6, f2

fsub.d f4, 0(a1);

fadd.d f4, f0, f4;

fadd.d f10, f8, f2;

addi a1, a1, 8;

fsub f10, 0(a0);

addi a0, a0, 8;

sub x20, x4, a0;

bnez x20, Loop

3.10 从 T9 开始命名.

Loop: fld T9, 0(a0);

fmul.d T10, T0, T2;

fdiv.d T11, T9, T10;

fld T12, 0(a1);

fadd.d T13, T0, T12;

fsub.d T14, T11, T13;

fsub T14, 0(a1);

3.11 显式命名: 指令中使用物理寄存器名

隐式命名: 使用逻辑寄存器名.

前者可提高指令并行性, 减少指令间依赖关系, 但编写不便.

后者可提高编程可移植性, 但需要寄存器可寻址寄存器名.