

### 第三章习题

1. 假设一个未流水化的处理器使用单个长周期来执行每条指令，时钟周期为7ns

将其进行5级分割。每个阶段需要的时间为IF 1ns, ID 1.5ns, EX 1ns, MEM 2ns, WB 1.5ns。

插入的每个流水线寄存器的延迟为0.1ns，则：

1) 5级流水化后的处理器时钟周期应为  $t_{clk} = t_{MEM} + t_{延遲} = 2.1\text{ns}$

$\uparrow$   
阶段性最长所需延迟时间

$$2) S = \frac{T_{pipe}}{T_{cycle}} \times \frac{CPI_{pipe}}{CPI_{cycle}} \quad \text{设 } K=5 \text{ 为流水线级数.}$$

$$= \frac{T_{clk}}{T_{cycle}} \times \frac{CPI_{pipe}}{CPI_{cycle}} = \frac{2.1\text{ns}}{7\text{ns}} \times \frac{N+K-1}{N} \quad \begin{array}{l} \text{-般而言 } N \text{ 执行指令总数非} \\ \text{常大,} \\ \text{有 } N \gg K-1 \end{array}$$

$\Rightarrow S \approx 0.3$

$$S_{加速比} \approx \frac{1}{0.3} = \frac{10}{3} = 3.33$$

流水线

3) 设有m级分割， $m \rightarrow \infty$ ,  $t_{延遲} = 0.1\text{ns}$ .

$$t_{clk} \approx t_{延遲} = 0.1\text{ns}$$

$$S = \frac{t_{clk}}{T_{cycle}} \cdot \frac{CPI_{pipe}}{CPI_{cycle}} \approx \frac{t_{延遲}}{T_{cycle}} \quad \text{当 } m \rightarrow \infty \text{ 时}$$

$$S_{加速比} = \frac{T_{cycle}}{t_{延遲}} = 70$$

加速比极限为  $S_m = 70$ .