

## 第五章

1. 串行总线 优点：连线数目少，消耗硬件资源少

缺点：相同频率下传输速率更慢

并行总线 优点：相同频率下传输速率更快

缺点：需要较多的物理连线及相应的硬件资源

接口速率不同的原因：单次传输的数据位宽不同

$$2. 1) \text{波特率为 } 960 \times (1+1+1+1) = 9600$$

$$2) \text{有效数据传输速率为 } 960 \times 7 \text{ bit/s} = 6720 \text{ bit/s}$$

3.

1) 起始条件、7-10 位地址帧、读/写位、ACK/NACK 位和 8 位数据帧(可多次重复)、ACK/NACK 位、终止条件

2) 因为 I2C 协议仅使用一条数据线 SDA，一次只能向一个方向传输

3) 起始条件：在 SCL 为高电平时，SDA 由高向低跳变。

终止条件：在 SCL 为高电平时，SDA 由低向高跳变。

$$4. 1) \text{MTTF} = \frac{N}{4} h$$

2) 先组成两个各包含两块磁盘的 RAID-0，再用两个 RAID-0 组成一个 RAID-1

5. 寻道时间：磁头臂移动到正确位置并消除抖动所需要的时间

旋转时间：盘片通过旋转来使得正确的扇区被旋转到磁头正下方所需的时间

数据传输时间：传送一个扇区的数据所需要的时间

影响因素：寻道时间与移动距离和移动速度有关；旋转时间与盘片旋转圈数和旋转速度有关；数据传输时间与特定工艺有关

$$6. 1) \text{总容量 } 6 \times 240 \times 12 \text{ kB} = 17280 \text{ kB}$$

$$2) \text{数据传输数据 } 240 \times 12 \text{ kB} \times 5400 / 60 \text{ s} = 259200 \text{ kB/s}$$

$$3) \text{平均旋转时间为 } \frac{1}{5400} \text{ min} \times \frac{1}{2} = \frac{1}{180} \text{ s}$$

7. 磁盘控制电路可以先缓存一段时间内的磁盘 I/O 请求并决定请求的最优执行次序，以达到最短的磁头移动距离，从而减小寻道时间；控制器还可以优化执行次序以达到最小的盘片转动圈数，从而优化磁盘旋转时间。优秀的磁盘控制电路通常能够使得寻道时间和磁盘旋转时间的总和最小。

8. RAID-4 将数据块写入某物理磁盘前，首先读出该位置原先的数据块，对比将要写入的新数据块，计算出发生翻转的位，并由此计算出奇偶校验磁盘中的该位置数据块对应位是否需要翻转。优化后，该写入方式只牵涉到两个物理磁盘：待写入数据的物理磁盘和奇偶校验磁

盘。因此该方法在物理磁盘数量很多时能够显著地提升性能。

9. 设系统服务率提高 $k$ 倍, 即  $\mu' = k\mu$

$$\frac{W}{W'} = \frac{\frac{1}{\mu - \lambda}}{\frac{1}{\mu' - \lambda}} = \frac{\mu - \lambda}{\mu' - \lambda} = k + \frac{k-1}{\frac{\mu}{\lambda} - 1}$$

当 I/O 请求减少, 即  $\lambda$  减小, 则  $\frac{W}{W'}$  减小, 性能提升幅度下降

10. 会争抢内存带宽资源。

优: 层次设计减少了处理器对内存的访问, 减少 DMA 与处理器的内存带宽争抢。

劣: 层次设计使 DMA 读写时为维护数据一致性占用更多内存带宽, 加剧争抢。

## 第六章

1. 轮询机制会赋予每个主设备相同的优先级, 当需要总线仲裁时, 算法按照轮询的方式依次赋予主设备总线的使用权。优点和适用场景: 轮询机制在各个主设备对总线的访问需求比较相近时可以取得较好的性能。

优先级仲裁机制则会赋予每个主设备不同的优先级, 优先级更高的主设备在总线仲裁中更容易胜出。优先的仲裁机制还需要有配套的保护机制。保护机制会在某个主设备正在进行总线访问时对总线进行锁定, 禁止其他主设备对总线进行访问。保护机制确保子数据传输的正确性和完整性。优点和适用场景: 如果经常访问总线的主设备能够获得较高的优先级, 这种情况下显然优先级仲裁机制会优于轮询机制。

2. APB 没有复杂传输事务的功能, 且为非流水线操作, 这种模式能够极大地降低功耗, 同时也更易于使用。使用场景: 主要面向总线连接的低速低功率外设, 例如 UART 接口、键盘、时钟模块等。

AHB 扩展支持了大量高级特性, 包括总线仲裁、突发传输、分离传输、流水操作等复杂事务。一个包含 AHB 的系统中, 除了包含总线连接的主设备和从设备外, 还需要一些配套的硬件设备为 AHB 的正常传输提供支持, 例如总线仲裁器、地址译码器、多路复用器等。使用场景: 面向高性能系统模块的互连, 例如处理器、DMA 控制器、片内存储器、外部存储器接口等。

AXI 总线是一种多通道传输的总线, 它将地址、读数据、写数据、握手信号分离在不同的通道中发送, 并且不同访问的顺序可以打乱, 用 BUS ID 来表示各个访问的归属。直观来看, 完整的 AXI 总线有着数量庞大的接口、复杂的握手机制、极高的总线位宽, 并支持读写并行、乱序、非对齐操作等高级特性。使用场景: 用于各种高性能 SoC, 满足高性能系统中对大量数据的存取要求。

ACE 能正确的跨缓存共享, 具有不同特征的器件交互, 能最大利用缓存数据, 高性能低功耗。

CHI 特性: 架构灵活, 易于扩展; 独立的分层实现, 包括协议层、网络层和链路层; 基于包传输; 由基于互连的主节点处理的所有事务, 包括 snoop、缓存和内存访问; HN 协调所有的传输请求, 包括 snoop 请求、访问高速缓存和内存; CHI 的一致性协议支持: 64Byte 的缓存行、snoop filter 和 directory、MESI 和 MOESI 缓存模型、增加两个缓存行状态; CHI 传输事务包含多种类型, 支持原子操作和同步操作, 支持 cache stashing, DVM 等; 支持

Retry 机制来管理协议层资源；支持端到端的 QoS；可配置的数据宽度来满足系统需求；支持 ARM 的 TrustZone；优化传输事务流；跨组件和互连的错误报告和传播机制，以确保系统的可靠性和完整性；低功耗信号，可以使能 flit 级别时钟门控、根据组件的工作情况实施时钟门控或电源门控等低功耗手段。

3.

1) AXI 包含 5 个独立的传输通道：读地址通道、读数据通道、写地址通道、写数据通道、写响应通道。读响应操作通过读地址通道就可完成，无需使用单独的读响应通道。

2) 写地址通道：主机可以在地址和控制信息都有效的时候拉高 AWVALID。当 AWVALID 拉高后要保持不变，直到 AWREADY 也拉高并且时钟产生上升沿之后。

读地址通道：主机可以在地址和控制信息都有效的时候拉高 AWVALID。当 AWVALID 拉高后要保持不变，直到 AWREADY 也拉高并且时钟产生上升沿之后。WREADY 的默认状态可以是高或者低。AXI 协议建议的默认状态为高。当 AWREADY 为高时，从机能够接受任何提供给它的有效地址。不建议默认 AWREADY 状态为低，因为它强制进行握手传输，至少需要两个时钟周期，一个周期拉高 AWVALID，另一个周期拉高 AWREADY。

写响应通道：当它驱动有效的写响应时，从机才能拉高 BVALID 信号。当 BVALID 拉高后要保持不变，直到 BREADY 也拉高并且时钟产生上升沿之后。BREADY 的默认状态可以是高电平，但前提是在主机总是能够在一个周期内接受写响应的情况下。

写数据通道：在写突发传输期间，当主机驱动有效的写数据时，才需要拉高 WVALID 信号。当 WVALID 拉高后要保持不变，直到 WREADY 也拉高并且时钟产生上升沿之后。WREADY 的默认状态可以是高电平，但前提是从机总是能在一个周期内接受写数据。当主机在突发传输中进行最后一个数据传输时，必须拉高 WLAST 信号，用于指示传输结束。

读数据通道：当它驱动有效的读数据时，从机才能拉高 RVALID 信号。当 RVALID 拉高后要保持不变，直到 RREADY 也拉高并且时钟产生上升沿之后。即使从机只有一个读数据信息，它也必须在响应数据请求时拉高 RVALID 信号。主机接口使用 RREADY 信号来表示它接受数据状态。RREADY 的默认状态可以为高电位，但前提是无论何时启动读操作，主机都能立即接受读数据。当从机在突发传输中进行最后一个数据传输时，必须拉高 RLAST 信号，用于指示传输结束。

3) 突发传输是一种适用于 AMBA 协议的规则形式，通过这种规则，可以控制 AMBA 进行具体的数据传输活动。在这种规则下，主设备发送控制信息和首地址信息，从设备根据这些信号计算接下来的地址信息。突发传输类型：固定突发（地址固定的突发）、增量突发（地址递增的突发）、回环突发（在回环边界处回绕到较低地址的递增地址突发）。