

Cache 操作试验

1、实验目的

在 SMART 平台上通过调整 Cache 参数观察示例程序的 CPI、Cache 缺失率等，了解 Cache 大小对 CPU 性能的影响。

2、实验步骤（包括实验结果，数据记录，截图等）

(1) 通过配置生成工具，生成不同配置的 C910_rtl。

```
admin:/home/ECDesign/ecd06>[5]>cd C910_R1S2P19
admin:/home/ECDesign/ecd06/C910_R1S2P19>[58]>source setup/setup.csh
admin:/home/ECDesign/ecd06/C910_R1S2P19>[59]>./THead_C910_Core_Config
...
...
Start Generate, Waiting about 10+ Minutes...

.....
C910 rtl generate completed!
get the rtl in gen_rtl directory
```

```
lrwxr-xr-x  2 ecd06 ECDesign      4096 Apr 20 15:44 ./
lrwxr-x---. 13 ecd06 ECDesign      4096 Apr 20 15:49 ../
·rw-r--r--  1 ecd06 ECDesign 17224575 Apr 20 15:43 32kb_1mb.v
·rw-r--r--  1 ecd06 ECDesign 17224575 Apr 20 15:43 32kb_2mb.v
·rw-r--r--  1 ecd06 ECDesign 17224577 Apr 20 15:43 32kb_4mb.v
·rw-r--r--  1 ecd06 ECDesign 17224577 Apr 20 15:43 32kb_512kb.v
·rw-r--r--  1 ecd06 ECDesign 17224575 Apr 20 15:43 64kb_1mb.v
·rw-r--r--  1 ecd06 ECDesign 17224575 Apr 20 15:43 64kb_2mb.v
·rw-r--r--  1 ecd06 ECDesign 17224577 Apr 20 15:43 64kb_4mb.v
·rw-r--r--  1 ecd06 ECDesign 17224577 Apr 20 15:43 64kb_512kb.v
```

(2) 基于不同配置的 rtl，仿真运行示例的 cache_test.c 程序，完成前述的 2 个表格。

~~~

Step3 (Make) is finished!

•

vcs!
Job <580913> is submitted to default queue <normal>.

cache\_test

Step4 Simulation is finished

| configure | L1_Dcache size (32K/64K) | 32K  | 32K   | 32K   | 32K   |
|-----------|--------------------------|------|-------|-------|-------|
|           | L2_Dcache size (512K/1M) | 512K | 512K  | 512K  | 512K  |
|           | N (1/2/3/4)              | 1    | 2     | 3     | 4     |
| result    | cycle                    | 7331 | 12608 | 17984 | 23360 |
|           | insts                    | 1996 | 5502  | 8238  | 10974 |
|           | CPI                      | 3.67 | 2.29  | 2.18  | 2.13  |
|           | L1_Dread access          | 385  | 768   | 1152  | 1536  |

|  |                     |      |      |      |      |
|--|---------------------|------|------|------|------|
|  | L1_Dread miss       | 382  | 383  | 383  | 383  |
|  | L1_Dread miss_rate  | 0.99 | 0.50 | 0.33 | 0.25 |
|  | L1_Dwrite access    | 390  | 774  | 1158 | 1542 |
|  | L1_Dwrite miss      | 384  | 384  | 384  | 384  |
|  | L1_Dwrite miss_rate | 0.98 | 0.50 | 0.33 | 0.25 |

|           |                          |      |       |       |       |
|-----------|--------------------------|------|-------|-------|-------|
| configure | L1_Dcache size (32K/64K) | 32K  | 32K   | 32K   | 32K   |
|           | L2_Dcache size (512K/1M) | 1M   | 1M    | 1M    | 1M    |
|           | N (1/2/3/4)              | 1    | 2     | 3     | 4     |
| result    | cycle                    | 7478 | 13845 | 20136 | 26466 |
|           | insts                    | 1996 | 5502  | 8238  | 10974 |
|           | CPI                      | 3.75 | 2.52  | 2.44  | 2.41  |
|           | L1_Dread access          | 385  | 768   | 1152  | 1536  |
|           | L1_Dread miss            | 384  | 767   | 1151  | 1535  |
|           | L1_Dread miss_rate       | 1.00 | 1.00  | 1.00  | 1.00  |
|           | L1_Dwrite access         | 390  | 774   | 1158  | 1542  |
|           | L1_Dwrite miss           | 386  | 770   | 1154  | 1538  |
|           | L1_Dwrite miss_rate      | 0.99 | 0.99  | 1.00  | 1.00  |

|           |                          |      |       |       |       |
|-----------|--------------------------|------|-------|-------|-------|
| configure | L1_Dcache size (32K/64K) | 64K  | 64K   | 64K   | 64K   |
|           | L2_Dcache size (512K/1M) | 512K | 512K  | 512K  | 512K  |
|           | N (1/2/3/4)              | 1    | 2     | 3     | 4     |
| result    | cycle                    | 7331 | 12608 | 17984 | 23360 |
|           | insts                    | 1996 | 5502  | 8238  | 10974 |
|           | CPI                      | 3.67 | 2.29  | 2.18  | 2.13  |
|           | L1_Dread access          | 385  | 768   | 1152  | 1536  |
|           | L1_Dread miss            | 382  | 383   | 383   | 383   |
|           | L1_Dread miss_rate       | 0.99 | 0.50  | 0.33  | 0.25  |
|           | L1_Dwrite access         | 390  | 774   | 1158  | 1542  |
|           | L1_Dwrite miss           | 384  | 384   | 384   | 384   |
|           | L1_Dwrite miss_rate      | 0.98 | 0.50  | 0.33  | 0.25  |

|           |                          |      |       |       |       |
|-----------|--------------------------|------|-------|-------|-------|
| configure | L1_Dcache size (32K/64K) | 64K  | 64K   | 64K   | 64K   |
|           | L2_Dcache size (512K/1M) | 1M   | 1M    | 1M    | 1M    |
|           | N (1/2/3/4)              | 1    | 2     | 3     | 4     |
| result    | cycle                    | 7331 | 12608 | 17984 | 23360 |
|           | insts                    | 1996 | 5502  | 8238  | 10974 |
|           | CPI                      | 3.67 | 2.29  | 2.18  | 2.13  |
|           | L1_Dread access          | 385  | 768   | 1152  | 1536  |
|           | L1_Dread miss            | 382  | 383   | 383   | 383   |
|           | L1_Dread miss_rate       | 0.99 | 0.50  | 0.33  | 0.25  |
|           | L1_Dwrite access         | 390  | 774   | 1158  | 1542  |
|           | L1_Dwrite miss           | 384  | 384   | 384   | 384   |
|           | L1_Dwrite miss_rate      | 0.98 | 0.50  | 0.33  | 0.25  |

|           |                                 |        |        |        |        |
|-----------|---------------------------------|--------|--------|--------|--------|
| configure | L1_Dcache size (32K/64K )       | 32K    | 32K    | 32K    | 32K    |
|           | L2_Dcache size (512K/1M /2M/4M) | 512K   | 512K   | 1M     | 1M     |
|           | N (1/2)                         | 1      | 2      | 1      | 2      |
| result    | cycle                           | 484115 | 975647 | 476012 | 981420 |
|           | insts                           | 153635 | 405541 | 153635 | 405541 |
|           | CPI                             | 3.15   | 2.41   | 3.10   | 2.42   |
|           | L1_Dread access                 | 49156  | 98304  | 49152  | 98304  |
|           | L1_Dread miss                   | 49155  | 98303  | 49151  | 98303  |
|           | L1_Dread miss_rate              | 1      | 1      | 1      | 1      |
|           | L2_Dread access                 | 49168  | 98321  | 49164  | 98321  |
|           | L2_Dread miss                   | 49162  | 98310  | 49152  | 98304  |
|           | L2_Dread miss_rate              | 1      | 1      | 1      | 1      |

|           |                                 |     |     |     |     |
|-----------|---------------------------------|-----|-----|-----|-----|
| configure | L1_Dcache size (32K/64K)        | 32K | 32K | 32K | 32K |
|           | L2_Dcache size (512K/1M/2M/4M ) | 2M  | 2M  | 4M  | 4M  |
|           | N (1/2)                         | 1   | 2   | 1   | 2   |

|        |                    |        |        |        |        |
|--------|--------------------|--------|--------|--------|--------|
| result | cycle              | 459621 | 951215 | 442891 | 793160 |
|        | insts              | 153635 | 405541 | 153635 | 405541 |
|        | CPI                | 2.99   | 2.35   | 2.88   | 1.96   |
|        | L1_Dread access    | 49156  | 98304  | 49152  | 98304  |
|        | L1_Dread miss      | 49155  | 98303  | 49151  | 98303  |
|        | L1_Dread miss_rate | 1      | 1      | 1      | 1      |
|        | L2_Dread access    | 49168  | 98321  | 49164  | 98321  |
|        | L2_Dread miss      | 49156  | 98304  | 49148  | 49148  |
|        | L2_Dread miss_rate | 1      | 1      | 1      | 0.5    |

|           |                                |        |        |        |        |
|-----------|--------------------------------|--------|--------|--------|--------|
| configure | L1_Dcache size (32K/64K)       | 64K    | 64K    | 64K    | 64K    |
|           | L2_Dcache size (512K/1M/2M/4M) | 512K   | 512K   | 1M     | 1M     |
|           | N (1/2)                        | 1      | 2      | 1      | 2      |
| result    | cycle                          | 484115 | 975647 | 459621 | 951215 |
|           | insts                          | 153635 | 405541 | 153635 | 405541 |
|           | CPI                            | 3.15   | 2.41   | 2.99   | 2.35   |
|           | L1_Dread access                | 49156  | 98304  | 49156  | 98304  |
|           | L1_Dread miss                  | 49155  | 98303  | 49155  | 98303  |
|           | L1_Dread miss_rate             | 1      | 1      | 1      | 1      |
|           | L2_Dread access                | 49168  | 98321  | 49168  | 98321  |
|           | L2_Dread miss                  | 49162  | 98310  | 49156  | 98304  |
|           | L2_Dread miss_rate             | 1      | 1      | 1      | 1      |

|           |                                |        |        |        |        |
|-----------|--------------------------------|--------|--------|--------|--------|
| configure | L1_Dcache size (32K/64K)       | 64K    | 64K    | 64K    | 64K    |
|           | L2_Dcache size (512K/1M/2M/4M) | 2M     | 2M     | 4M     | 4M     |
|           | N (1/2)                        | 1      | 2      | 1      | 2      |
| result    | cycle                          | 459621 | 951215 | 442891 | 793160 |
|           | insts                          | 153635 | 405541 | 153635 | 405541 |
|           | CPI                            | 2.99   | 2.35   | 2.88   | 1.96   |
|           | L1_Dread access                | 49156  | 98304  | 49152  | 98304  |
|           | L1_Dread miss                  | 49155  | 98303  | 49151  | 98303  |

|  |                    |       |       |       |       |
|--|--------------------|-------|-------|-------|-------|
|  | L1_Dread miss_rate | 1     | 1     | 1     | 1     |
|  | L2_Dread access    | 49168 | 98321 | 49164 | 98321 |
|  | L2_Dread miss      | 49156 | 98304 | 49148 | 49148 |
|  | L2_Dread miss_rate | 1     | 1     | 1     | 0.5   |

3、实验分析和总结（结合测试程序 cache\_test.c 分析 cache 命中率变化的原因，注意控制变量比较）

仿真环境下一些 C910 Cache 的主要配置情况：

Cache 块大小：64Byte

Cache 块替换策略：L1 和 L2 的替换策略均为先入先出（FIFO）

Cache 的映射：L1 Data Cache 为 2 路组相联，L2 Cache 为 16 路组相联

Cache 的数据预取：禁止数据预取，数据缺失时只会取出该数据所在的 Cache 块

Cache 的写策略：写直（write-through）+ 写分配（write allocate）

### (1) Cache 容量对命中率的影响

Cache 的命中率随它的容量的增加而提高，在 Cache 容量比较小的时候，命中率提高得非常快，但根据边际效应递减原理，随着 Cache 容量的增加，命中率提高的速度逐渐降低。

### (2) Cache 块大小对命中率的影响

随着块大小的增加，由于程序的空间局部性起主要作用，同一块中数据的利用率比较高。因此，Cache 的命中率开始升高。但如果块变得过大的话，会减少 Cache 的总行数，而且，也会使得离所访问的位置较远的块被再次使用的概率变小。因此，这种增加趋势在某一个“最佳块大小”处使 Cache 命中率达到最大值。在这一点以后，命中率随着块大小的增加反而减小。因为实际上，当块的容量变得比较大时（此时还是在组相联映像中，并没有蜕变成全相联映像），进入 Cache 中的许多数据可能根本用不上。

### (3) Cache 中与主存映射方式对命中率的影响

#### (1) 全相联方式

应用全相联方式命中率比较高，Cache 存储空间利用率高。但是访问相关存储器时，每次都要与全部内容比较，速度低，成本高，因而应用少。

#### (2) 直接相联方式

应用直接相联方式地址映像方式简单，数据访问时，只需检查区号是否相等即可，因而可以得到比较快的访问速度，硬件设备简单。但是使得替换操作频繁，命中率比较低。

### (3) 组相联映像方式

应用组相联方式块的冲突概率比较低，块的利用率大幅度提高，块失效率明显降低。但是实现难度和造价要比直接映像方式高。

(摘自 csdn)

### (4) Cache 的替换算法对命中率的影响

先进先出法 (First-In-First-Out, FIFO 法)

就是将最先进入 Cache 的信息块替换出去。FIFO 算法按调入 Cache 的先后决定淘汰的顺序，选择最早调入 Cache 的字块进行替换，它不需要记录各字块的使用情况，比较容易实现，系统开销小，其缺点是可能会把一些需要经常使用的程序块（如循环程序）也作为最早进入 Cache 的块替换掉，而且没有根据访存的局部性原理，故不能提高 Cache 的命中率。

## 4、实验收获、存在问题、改进措施或建议等

本次实验通过在 SMART 平台上通过调整 Cache 参数，了解 Cache 大小对 CPU 性能的影响，并且在使用控制变量时充分考虑到实际操作的可行性，分析了 Cache 容量和大小对 CPU 性能的影响。