

17. (1) ∵ 按字节寻址且页大小64字节 ∴ 页内偏移  $\log_2 64 = 6$  位

故标签为  $12 - 6 = 6$  位, 组:  $14 - 12 = 2$  位, 即 虚拟地址:  $\overbrace{\text{tag}}^{6\text{bit}} \overbrace{\text{组}}^{2\text{bit}} \overbrace{\text{offset}}^{6\text{bit}}$

对于  $0x05A4$ , 考虑后8位转为二进制:  $10100100$

组号10为第2组, 标签  $0x05 \Rightarrow$  物理页号为  $0x1c = 011100B$

∴ TLB命中, 物理地址为  $011100100100$

(2) 使用单级页表, 虚拟页号总计  $14 - 6 = 8$  位, 条目共计  $2^8 = 256$

(3) 块大小4Byte  $\Rightarrow$  2位 offset 16个组  $\Rightarrow$  4位组号 ~~tag~~ tag:  $12 - 2 - 4 = 6$  位

代入 (1) 中的物理地址: 组号  $(100)_2 = (4)_d$  标签  $(011100)_2 = 0x1c$  offset  $(00)_2 = 0x0$

∴ 命中缓存, 访存结果为  $0xb3$

18. (1)	访存地址	A	B	C	D	A	B	C	D
	way 0	-	A	A	C	C	A	A	C
	way 1	-	-	B	B	D	D	B	B
	命中?	N	N	N	N	N	N	N	N

长时间运行, 想必命中率还是0

(2) FIFO 的命中率也是0, 考虑P随机替换, 设命中率为P

考虑一个ABCD周期: A: 无论上一个周期中D是否命中, 必定有D进入缓存

	A	B	C	D	P:	$\begin{matrix} A \\ D \\ A \end{matrix} \Rightarrow A$
way 0	D	A	B	C		
	P-A	P-B	P-C	P-D	P <sub>1</sub> :	$\begin{matrix} D \\ B \end{matrix} \Rightarrow 50\% \begin{matrix} A \\ D \end{matrix} 50\% \begin{matrix} A \\ B \end{matrix}$
way 1	P-A	P-B	P-C	P-D		
	P-B	P-C	P-D	P-A	P <sub>2</sub> :	$\begin{matrix} D \\ C \end{matrix} \Rightarrow 50\% \begin{matrix} A \\ D \end{matrix} 50\% \begin{matrix} A \\ C \end{matrix}$
	A-C	B-D	P-A	P-B		

$$\therefore P = 50\% P_1$$

$$P_1 = 50\% P_2$$

$$\text{而 } P + P_1 + P_2 = 100\%$$

$$P_2 = P + 50\% P_1 + 50\% P_2$$

$$\therefore \text{命中率 } P = 14.3\%$$

$$\therefore P : P_1 : P_2 = 1 : 2 : 4$$

19. (1) 如果在同一缓存组内存在多个缓存行具有相同的低位标签, 即低位标签冲突, 就会导致无法准确识别待访问数据所在的具体缓存行, 降低系统的性能和效率。

(2) microtag 技术在预测命中 Ltag 时会把数据提前传递给处理器, 如果该预测不是真正命中 (Htag 不匹配) 则需要取消之前的数据传递。这种情况下, 由于替换策略无法准确识别真正的命中, 可以导致错误的替换, 从而引入了数据的错误。

(3)  $16\text{KB} = 2^{14}\text{Byte}$ , 故 14 位偏移

$$\text{索引位数} + \text{块内偏移位数} = \log_2 \text{组数} + \log_2 \text{块大小} = \log_2 \frac{8\text{KB}}{4}$$

$\therefore$  至多  $14 - 11 = 3$  比特的低位标签。 = 11 位