

1. 串总线优点: 连线数目少, 硬件开销小.

不受邻近线路干扰, 稳定性强

缺点: 单次传输数据量小, 相同频率下

传输速度慢.

并行总线优点: 单次传输数据量大, 相同频率下传

输速度快.

缺点: 连线数目多, 硬件开销大.

易受并行总线中相邻线路串扰, 稳定

JI



性差。

接收后先发出拒绝应答信号,再发出终止信号。

在高频下,并行同步传输难度增大。

4. 1) RAID 0 中,任一磁盘失效均导致整体失效。

2. (1) 每秒传送  $960 \times (7+1+1+1) = 9600$  个字节

$$\therefore \text{MTTF} = \frac{1}{1-(1-\frac{1}{N})^4} \approx \frac{N}{4} \text{小时}$$

$\therefore$  波特率为 9600 Bd

2) 对其中 40G 空间采用 RAID 5, 一条带中 3 块盘存

(2) 每秒传输有效数据  $960 \times 7 = 6720$  b

数据, 1 块盘存校验码, 轮流存信。

$\therefore$  有效数据传输速率为 6720 bps。

存两次, 第二次和第一次数据错开。

$$\text{共消耗 } 2 \times 40 \times \frac{4}{3} = 106.7 \text{ G}$$

3. 1) I2C 数据包中包含开始/终止条件各 1 位, 分别

传输 40G 空间先采用 RAID 4, 0~2 号盘存数据,

中间数据包末尾。

3 号盘存校验码, 一次共占用  $40 \times \frac{4}{3} = 53.3 \text{ G}$ 。

开始条件后有从设备地址帧 7 或 10 位, 用于索引从设备。

再错开存储一次, 采用 RAID 0, 仅存数据不存

引从设备。

校验码, 占用 40G。

之后有读/写位 1 位。

至此, 200G 空间分配完毕。

再后有目标寄存器地址帧。

对存储 2 次校验码的数据, 任 2 块磁盘损坏

完成后为正式待读写数据帧, 1 字节为 1 帧。

坏都不会丢失数据。

读写位后, 寄存器地址帧后, 及每帧数据后均有

对存储 1 次校验码的数据, 0~2 号盘中任

应答位 1 位, 用于确认传输前状态。

任意损坏 2 块, 或 3 号磁盘损坏, 都不会丢失数据。

2) I2C 为减小线路数量, 仅设计了一根数据

0~2 号盘损坏时, 3 号盘必须正常。

线负责双向通信, 因而需以半双工方式工作。

$$0 \sim 2 \text{ 号并联, 再与 3 号串联, } R_1 = (1-\frac{1}{N})(1-\frac{1}{N^3})$$

3) 起始条件: 主设备发出起始信号(时钟线高

3 号盘损坏时, 0~2 号必须正常。

电平时, 数据线由高向低切换)

0~2 号串联, 再与 3 号并联。

终止条件: 当向从设备写入数据时, 主设备发出终止

$$R_2 = 1 - [1 - (1 - \frac{1}{N})^3][1 - (1 - \frac{1}{N})]$$

信号(时钟线高电平时, 数据线由低向高切换)

$$R = 1 - (1 - R_1)(1 - R_2) = 1 - (\frac{1}{N} + \frac{1}{N^3} - \frac{1}{N^4})[1 - (1 - \frac{1}{N})]$$

当主设备读取数据时, 主设备在完成数据

$$\text{MTTF} = \frac{1}{1-R} = \frac{N^2}{(1+\frac{1}{N}-\frac{1}{N^3})[1-(1-\frac{1}{N})^3]}$$





$$MTTF \approx \frac{N^2}{1.3N} = \frac{1}{3}N^3$$

$$\lambda = 20 \text{ 则 } r = 0.625$$

5. 寻道时间: 磁头臂控制磁头在盘面上径向移动。

I/O请求少时, 优化前的等待时间已较短, 处理

从个同心圆磁道中找到所需磁道并消除抖动。

时间占比变大。再优化处理速度, 整体性能

提升比例变小。

影响因素: 移动速度越快, 盘片半径越小

寻道时间越短

10. DMA与处理器都需使用数据总线, 因而会

旋转时间: 盘片旋转, 使磁头找到磁道上对

争抢内存带宽资源。

应的数据位置。

当处理器拥有容量较大, 控制逻辑完善的

影响因素: 转速越快, 旋转时间越短

多层次缓存时, 可减少对内存的直接访问, 因而

数据传输时间: 磁头在盘片旋转下, 逐位依次

数据总线有更多的空闲时间分配给DMA, 减少

读写数据并传输。

内存争抢。而若存储器层次不合理, 处理器频

影响因素: 转速越快, 传输时间越短。

繁访问内存, 则会增大争抢的几率。

6. (1) 总容量  $6 \times 240 \times 12 = 17280 \text{ kB} = 16.875 \text{ MB}$

(2) 速率为  $5400 \times 12 = 64800 \text{ kB/min}$

$$= 1080 \text{ kB/s}$$

$$= 8.4375 \text{ Mbps}$$

(3) 平均旋转时间为旋转半圈耗时,

$$t = \frac{0.5}{5400} = \frac{1}{10800} \text{ min} = 5.56 \text{ ms}$$

9. 设提升前  $w_0 = \frac{1}{\mu_0 - \lambda}$ , 提升后  $w_1 = \frac{1}{\mu_1 - \lambda}$

$$\therefore \text{提升比例 } r = \frac{w_0 - w_1}{w_0} = \frac{\mu_1 - \mu_0}{\mu_1 - \lambda}$$

性能提升后  $\mu_1 > \mu_0$ ,  $\mu_1 > \lambda$ . 故  $\lambda$  越小,  $r$  越小。

例:  $\mu_0 = 50$ ,  $\mu_1 = 100$  时,  $\lambda = 40$  则  $r = 0.83$



5.7 控制器缓存一段时间的磁盘访问请求，通过各请求的访问位置规划出最优的磁头移动路径，使得磁盘寻道时间和旋转时间的总和达到最小。此时的访问顺序即为最优执行顺序，使得磁盘处理这一系列请求的总耗时最小。

5.8 由于磁盘无法并行处理，只有一个服务队列。当写入很慢时，后续的读取操作就需等待较长时间。RAID4 的写入优化大大提升了写入速度，在实际运用中，写入和读取交替发生，因此写入速度的提升可减少读取操作的等待时间，提升了读取速度。

6.1 常见的总线仲裁机制有轮询机制和优先级仲裁机制。

轮询机制依次赋予每个设备总线使用权。优点为每个设备的等待时间相当，缺点为常用设备经常被打断、急用设备无法立即响应。适用于每个设备的重要性、紧急程度和总线使用频率均相当的场景。

优先级机制赋予每个设备不同优先级，优先赋予高优先级设备总线使用权。优点是急用设备可以立即响应、常用设备可占用更长时间，缺点是优先级低的设备可能需等待很长时间。适用于各主设备负责的事务有明确轻重缓急之分，或者使用频率差别较大的场景。

6.2 APB：事务简单，非流水化。因此功耗低，易于使用。适用于低速低功率外接设备，如键盘、时钟模块、UART 接口等。

AHB：事务复杂，包括总线仲裁、突发传输、流水操作、分离传输等。适用于高速高性能模块互联，如处理器、存储器、DMA 控制器等。

AXI：接口数量庞大，带宽极高。协议复杂，支持并行、乱序、非对齐传输、低功耗等功能。适用于高数据位宽、高综合性能的先进 SoC 场景。

ACE：在 AXI 的基础上强调一致性，使得不同特征的器件可以交互和共享缓存。

CHI：分层次、基于数据包传输，扩展方便。

### 6.3

1) 读地址通道、写地址通道、读数据通道、写数据通道、写响应通道。读响应信号必须与数据串接，确认事务完成状态，因此利用读数据通道传输。

2) 读事务中，主设备独立发出 ARREADY，从设备发出 ARVALID。需要等读地址通道握手成功后，从设备再置位 RVALID 开始传输数据，最后主设备置位 RREADY 接收数据。这样可防止地址未传输成功的情况下读取错误的数据。

写事务中，主设备发出 AWVALID 和 WVALID，从设备发出 AWREADY 和 WREADY。其中地址通道必须先握手。两个通道握手成功后，从设备先发出 BVALID，主设备后发出 BREADY，建立写响应通道联系。

地址通道先握手可防止数据发出后无法知道写入地址而锁死。响应通道需等到数据写入后再响应。

3) AXI 突发传输模式是在一次事务请求，完成一次地址传输后进行多次、大量的数据传输。有固定突发、增量突发和回环突发三种类型。