

# Week 10

如果不同的虚拟地址页都映射到不同物理地址页，则下列存储-加载指令对是否可能发生数据依赖？如果可能，说明发生数据依赖的条件；如果不可能，说明理由。当不同的虚拟地址页可以被映射到相同的物理地址页，页大小为 4KB，则结论有什么不同？

- 1) sd a2,0(a0)  
ld a3,0(a1)
- 2) sd a2,0(a0)  
ld a3,4(a1)
- 3) sd a2,0(a0)  
ld a3,4096(a1)

(1) 不同物理页不能。a1, a0, a2, a3 虚拟页不同，物理页也不同。  
相同物理页时可能会。因为 a0, a1 可能会映射到相同页。  
(2) 不同物理页不能。double 下 8 字节为一个地址码。a0, a1+4 不同。  
相同物理页可能。a1+4 和 a0 映射到相同物理地址。  
(3) 不同物理页可能。a0 正好与 a1 相差一页。  
相同物理页可能。a0 与 a1+4KB 映射到一页。

$$CPI_A = 1 + 15\% \times (3 \times 10\% + 90\% \times 10\% \times 4) = 1.099$$

$$CPI_B = 1 + 15\% \times 2 = 1.3$$

$$S = 1.183$$

12. Code : a. 遍历 0~9999 当 a. 是 2 的倍数 执行 codeA.  
当 a. 为 5 的倍数 执行 codeB.

(1) 

```
for (int i=0; i<=9999; i++) {
    if (i%2==0) codeA;
    if (i%5==0) codeB;
}
```

(2) bne1 当 a. 不是 2 的倍数 跳转 1000 次  
bne2 当 a. 不是 5 的倍数 跳转 800 次  
bne3 当 a. ≠ 10000 跳转 9999 次

(3) bne1 50%. bne2 20%. bne3 99.99%.

$$13. (1) 2^k - 1 \geq 10000 \Rightarrow k_{min} = 14$$

(2) ① bne1 跳转跳步交错，不论 N 步都是 50%。(N \geq 2)

② bne2 跳高为 0, N-bit 加 3 一次  
跳高为 1, N-bit 加 1, 四次

① bne1 不可能到 99.99%.

②  $N=2$ . bne 1, 2, 3 分别为 50%, 79.99%, 99.97%.

14. ① bne1. history 01010101...  $\Rightarrow H \geq 1$

② bne2. history 01110111...  $\Rightarrow H \geq 4$

③ bne3. history 1111... 1110

15. 全局历史为 00111101111011101011111011111; --- 50/cycle  
即 last cycle 最后一个 1 为 0.

16. ① 对于方案 A，预测准确次数为  $P(Q-1)$

② 对于方案 B，假设计数器为 01

$$P=1. 1 次; P=2. 2 次; P \geq 3. (P-2)(Q+1)+2 = PQ-2Q+P+2$$

$$P(Q-1) > PQ - 2Q + P + 2 \Rightarrow 1 \leq P \leq Q-2 时 A 优于 B$$

17. ①  $a_1=7, a_9=1$ . B. 不跳转  $\checkmark$   $a_2=1$   $00 \rightarrow 00$

B. 跳转  $\times$   $00 \rightarrow 01$

$a_1=6, a_9=0$ . B. 跳转  $\times$   $a_2=2$   $00 \rightarrow 01$

B. 跳转  $\times$   $01 \rightarrow 11$

$a_1=5, a_9=1$  B. 不跳转  $\checkmark$   $a_2=3$   $01 \rightarrow 00$

B. 跳转  $\checkmark$   $11 \rightarrow 11$

推得 B. 错 4 次. B. 错 3 次. 共 7 次

18.

解释为什么即使在顺序的 5 级 RISC 流水线中，指令引发的异常也可能会乱序产生？为了支持精确的异常处理，流水线是如何做到对乱序产生的异常进行（按程序顺序的）顺序处理的？

① 因为流水线的并行性使同一时刻不同指令处于不同阶段，从而导致异常乱序产生

② 方式有：每个阶段异常检测；对异常设置处理优先级；冲洗流水线（停一段使异常执行完成），异常处理后及时恢复

	Decide	Issue	WB	Committed	opcode	target	source1	source2
I <sub>1</sub>	0	1	2	3	fld	T <sub>0</sub>	a <sub>0</sub>	x
I <sub>2</sub>	1	3	13	19	fmul.d	T <sub>1</sub>	T <sub>0</sub>	f <sub>0</sub>
I <sub>3</sub>	2	19	15	16	fadd.d	T <sub>2</sub>	T <sub>1</sub>	f <sub>0</sub>
I <sub>4</sub>	3	4	6	17	addi	T <sub>3</sub>	a <sub>0</sub>	x
I <sub>5</sub>	4	6	7	18	fld	T <sub>4</sub>	T <sub>3</sub>	x
I <sub>6</sub>	5	8	18	19	fmul.d	T <sub>5</sub>	T <sub>4</sub>	T <sub>4</sub>
I <sub>7</sub>	6	19	21	22	fadd.d	T <sub>6</sub>	T <sub>5</sub>	T <sub>2</sub>

	Decide	Issue	WB	Committed	opcode	target	source1	source2
I <sub>1</sub>	0	1	2	3	fld	T <sub>0</sub>	a <sub>0</sub>	x
I <sub>2</sub>	1	3	13	19	fmul.d	T <sub>1</sub>	T <sub>0</sub>	f <sub>0</sub>
I <sub>3</sub>	4	19	16	17	fadd.d	T <sub>2</sub>	T <sub>1</sub>	f <sub>0</sub>
I <sub>4</sub>	15	16	18	19	addi	T <sub>3</sub>	a <sub>0</sub>	x
I <sub>5</sub>	18	19	20	21	fld	T <sub>4</sub>	T <sub>3</sub>	x
I <sub>6</sub>	20	21	31	32	fmul.d	T <sub>5</sub>	T <sub>4</sub>	T <sub>4</sub>
I <sub>7</sub>	22	32	39	35	fadd.d	T <sub>6</sub>	T <sub>5</sub>	T <sub>2</sub>