

9. 考虑一个顺序流水线，忽略前端的取指和译码，处理器从发射到执行完成不同指令所需要的总周期数如下表所示。

指令类型	总周期数
内存加载	4
内存存储	2
整型运算	1
分支	2
浮点加法	3
浮点乘法	5
浮点除法	11

考虑如下的指令序列：

Loop:	fld	f2,0(a0)	1-4	1-4
	fdiv.d	f8,f0,f2	5-15	1 5 - 14
	fmul.d	f2,f6,f2	15-19	15-19
	fld	f4,0(a1)	16-19	15-18
	fadd.d	f4,f0,f4	20-22	20-22
	fadd.d	f10,f8,f2	21-23	20-22
	fsd	f10,0(a0)	24-25	23-24
	fsd	f4,0(a1)	25-26	23-24
	addi	a0,a0,8	26	25
	addi	a1,a1,8	27	25
	sub	x20,x4,a0	28	26
	bnz	x20,Loop	29 30	26 27

- 假设一条单发射顺序流水线，在没有数据冲突或分支指令时，每个周期均会新发射一条指令（假设运算单元是充足的）。检测到数据冲突或分支指令时则会暂停发射，直到冲突指令执行完毕才会发射新的指令。则上述代码段的一次迭代需要多少个周期执行完成？**30个周期**
- 假设一条双发射顺序流水线，取指和译码的带宽足够、运算单元充足，且数据在两条流水线之间的传递是无延迟的，因此只有真数据冲突才会导致流水线停顿。则上述代码段的一次迭代需要多少个周期执行完成？**17个周期**
- 调整指令的排列顺序，使得其在上述双发射流水线中完成一次迭代需要的周期数量减少。给出调整后的指令序列及一次迭代所需要的周期数。**22个周期**

fld	f2,0(a0)	1-4	1
fld	f4,0(a1)	1-4	1
fdiv.d	f8,f0,f2	5-15	1
fmul.d	f2,f6,f2	5 ~	1
fadd.d	f4,f0,f4	16-18	1
fadd.d	f10,f8,f2	16-18	1
fsd	f10,0(a0)	19 20	1
fsd	f4,0(a1)	19 20	1
addi	a0,a0,8	21	1
addi	a1,a1,8	21	1
sub	x20,x4,a0	21	
bnz	x20,Loop	21 22	

10. 考虑如下的代码片段：

```
Loop:    fld      f4,0(a0)
          fmul.d   f2,f0,f2
          fdiv.d   f8,f4,f2
          fld      f4,0(a1)
          fadd.d   f6,f0,f4
          fsub.d   f8,f8,f6
          fsd      f8,0(a1)
```

现将其进行简单的寄存器重命名，假定有 T0~T63 的临时寄存器池，且 T9 开始的寄存器可用于重命名。写出重命名后的指令序列。

```
fld      T9, 0(a0)
fmul.d  T10, f0, f2
fdiv.d  T11, T9, T10
fld      T9, 0(a1)
fadd.d  T12, f0, T9
fsub.d  T13, T11, T12
fsd      T13, 0(a1)
```

11. 查阅资料，简述显式重命名和隐式重命名的区别、优缺点以及可能的实现方式。

显式重命名：编译器根据数据依赖关系分配逻辑寄存器，重命名物理寄存器。缺点：需要修改源代码，增加对序列语义的破坏。

隐式重命名：硬件根据需要动态地对 LR 和 PR 进行映射。
优点：不需要修改源代码，不会对序列语义产生影响。

Intel x86：重命名表。

ARM：通用寄存器。重命名寄存器队列。