

- 3-1 1. 假设一个未流水化的处理器使用单个长周期来执行每条指令，时钟周期为 7ns。将其进行 5 级分割后，每个阶段需要的时间为：IF 1ns、ID 1.5ns、EX 1ns、MEM 2ns、WB 1.5ns，插入的每个流水线寄存器的延迟为 0.1ns，则：
- 1) 5 级流水化后的处理器时钟周期应为多少？
 - 2) 流水化后的机器相比原来单周期处理器的加速比是多少？
 - 3) 如果流水化的机器拥有无限多个流水级，流水线寄存器延迟不变。则相比原来单周期处理器的加速比极限是多少？

1) 由于各阶段中最长时间为 MEM 2ns，加上寄存器延迟 0.1ns，
时钟周期至少为 2.1ns。

2) 不妨假设要执行的指令总数 N 非常大。

$$\text{则 CPI 之比: } \frac{CPI_{\text{pipe}}}{CPI_{\text{cycle}}} = \frac{N+k-1}{N} \approx 1$$

$$\text{于是加速比: } S = \frac{T_{\text{cycle}}}{T_{\text{pipe}}} \cdot \frac{CPI_{\text{cycle}}}{CPI_{\text{pipe}}} = \frac{7\text{ns}}{2.1\text{ns}} = 3.33$$

3) 设流水级为 K ，那么 T_{pipe} 的极限为 0.1ns。

$$\Rightarrow \text{加速比 } S = \frac{T_{\text{cycle}}}{T_{\text{pipe}}} \cdot \frac{CPI_{\text{cycle}}}{CPI_{\text{pipe}}} = \frac{7\text{ns}}{0.1\text{ns}} = 70$$