1.串行总线与并行总线各有什么优缺点?试简述造成它们接口速率不同的原因。

1）串行总线和并行总线是两种常见的数据传输方式，它们各自具有一些优点和缺点。

串行总线的优点：

- 物理连线数目少
- 消耗硬件资源少
- 功耗更低
- 具有配套的时钟恢复电路、差分信号传输、信道均一化等技术，有利于提高频率
- 受干扰小，适合长距离传输
- 串行总线可以更容易地扩展和添加新设备，因为只需添加一个额外的串行连接即可。

串行总线的缺点：

- 速度较慢：由于数据以逐位（bit）的方式传输，串行总线的传输速度相对较慢。
- 并发性较低：串行总线一次只能传输一个数据位，因此并发性较低，不适用于同时传输多个数据。

并行总线的优点：

- 高速传输：并行总线能够同时传输多个数据位，因此传输速度较快。
- 并发性高：并行总线可以同时传输多个数据，适用于需要同时传输多个数据的应用。

并行总线的缺点：

- 成本较高：并行总线需要较多的传输线路，因此成本较高。
- 受干扰影响：并行总线中的多条传输线路容易受到干扰和串扰的影响，特别是在较长距离上。

2）造成串行总线和并行总线接口速率不同的原因主要有两个方面：

1. **物理限制**：并行总线在传输过程中需要同时处理多条线路上的信号，因此需要更高的传输带宽和更复杂的电路设计。而串行总线只需处理一条线路上的信号，因此在物理层面上可以更容易实现高速传输。
2. **信号干扰**：在并行总线中，多条传输线路之间容易发生干扰和串扰，特别是在较长距离上。这会导致信号质量下降，限制了并行总线的传输速率。而串行总线只需处理一条线路上的信号，干扰和串扰的问题相对较少，因此可以实现更高的传输速率。

2. 假设某系统使用 UART 传输数据，每个数据包拥有 1 位起始位、7 位数据位、1 位校验位和 1 位停止位，系统每秒传输 960 个数据包。回答以下问题。

1) 系统的波特率为多少？

2) 系统的有效数据传输速率是多少？

1) 960 Baud

2) 960×10 = 9600 bps

34. 阅读 I2C 相关标准，回答以下问题

1）I2C的数据包是如何构成的?

2）为什么I2C 是半双工的?

3）I2C 传输的起止条件是什么?

1）I2C的数据包是由以下几部分构成的：

- 起始条件（Start condition）：始发器发出一个低电平的SDA（数据线）信号，同时保持SCL（时钟线）为高电平，表示开始传输数据。
- 从设备地址（Device address）：始发器发送7位的从设备地址，用于指定要进行通信的从设备。

- 读/写位（Read/Write bit）：始发器发送一个读位（1）或写位（0），用于指定数据传输的方向。
- 数据字节（Data bytes）：在读写位后，始发器和接收器通过SDA线交换数据字节，每个字节都会被从设备确认（ACK）。
- 停止条件（Stop condition）：始发器发出一个高电平的SDA信号，同时保持SCL为高电平，表示传输数据结束。

2）I2C是半双工的，意味着数据的传输只能在一个方向上进行，要么主设备（始发器）向从设备发送数据，要么从设备向主设备发送数据。这是因为I2C总线上的数据线（SDA）被设计为共享的，既用于数据的发送也用于数据的接收。在一个时刻，只有一个设备可以控制SDA线的状态。如果同时允许双向传输，就会发生冲突和数据混乱。

3）I2C传输的起止条件包括：

- 起始条件（Start condition）：始发器发出一个低电平的SDA信号，同时保持SCL为高电平，表示开始传输数据。
- 停止条件（Stop condition）：始发器发出一个高电平的SDA信号，同时保持SCL为高电平，表示传输数据结束。停止条件后，总线释放，其他设备可以接管总线进行通信。

起始条件和停止条件的生成由始发器负责，它们用于标识传输数据的开始和结束，确保数据的正确传输和设备的同步。

Mean Time to Failure

4. 若某块磁盘的MTTF为N小时，回答以下问题。

1) 计算由4块这种磁盘组成的RAID0的MTTF。

2) 若每一块磁盘的可用容量为50G，而系统只需要80G的存储空间，试设计一种方案，使得4块磁盘组成的RAID达到尽可能大的MTTF。

1) $\frac{N}{4}$

2) 2个磁盘即可满足系统读写需求

∴采用RAID-1

$MTTF = 2 \times \frac{N}{2} = N$

5. 磁盘完成某个扇区上数据读写需要的时间可以概括为:T=寻道时间+旋转时间+数据传输时间。试说明上述各量的含义，并简要分析影响上述时间的因素。

上述各量的含义如下:

- 寻道时间（Seek Time）：磁头臂从当前位置移动到正确位置并消除抖动所需要的时间。
- 旋转时间（Rotation Latency）：磁头移动到目标磁道后，目标扇区随着盘片转动而经过磁头上（下）方所需的时间
- 数据传输时间（Data Transfer Time）：磁头完成读出或写入所需要的时间

因素影响上述时间的因素如下:

- 寻道时间的影响因素:
    - 磁头移动的距离：较短的寻道距离会减少寻道时间。
    - 磁头移动的速度：较高的寻道速度可以减少寻道时间。
- 旋转时间的影响因素:
    - 磁盘的转速：较高的转速可以减少旋转时间。
    - 扇区位置：位于磁头附近的扇区具有较短的旋转时间。
- 数据传输时间的影响因素:
    - 传输速率：较高的传输速率可以减少数据传输时间。
    - 数据量：较小的数据量需要较少的传输时间。

6. 若某块磁盘的转速为 5400r/min，共有 6 个记录数据的盘面，每个盘面包含 240 个磁道，每个磁道的信息量为 12KB。回答以下问题。

1) 该磁盘的总容量为多少？
2) 该磁盘的数据传输速率为多少？
3) 估算磁盘的平均旋转时间。

1) $6 \times 240 \times 12KB = 17280KB$

2) ?

3) 平均旋转时间

?

7.简述磁盘控制电路如何通过决定请求的最优执行次序来减少磁盘访问用时?

磁盘控制电路通过决定请求的最优执行次序来减少磁盘访问用时，主要是通过以下几种方式实现：

1. 扇区排序：磁盘控制电路可以对请求的扇区按照物理顺序进行排序，将相邻的扇区请求组织在一起。这样可以减少磁头的寻道时间，因为磁头在读取或写入一个扇区后，可以顺序地移动到下一个相邻的扇区，而不需要再次进行寻道操作。
2. 电梯调度算法：电梯调度算法是一种常用的磁盘调度算法，它模拟了电梯的运行方式。磁盘上的扇区可以看作是楼层，磁头的移动可以看作是电梯的运行。电梯调度算法根据磁头的当前位置和移动方向，选择最近的请求扇区进行访问。这样可以减少磁头的寻道时间，提高磁盘的访问效率。
3. 延迟写入：磁盘控制电路可以将写操作延迟到适当的时机进行，以减少磁盘的访问时间。延迟写入可以通过将多个写操作合并为一个写操作，或者将写操作缓存起来并在适当的时机进行批量写入，还可以根据已经缓存的请求决定最优执行次序等，这样可以减少磁盘的旋转时间和数据传输时间。
4. 数据预读取：磁盘控制电路可以根据读取请求的特点，提前预读取可能需要的数据到磁盘缓存中。当后续的读取请求到达时，可以直接从缓存中获取数据，而不需要再次访问磁盘。这样可以减少磁盘的旋转时间和数据传输时间，提高数据的访问速度。

8.试分析 RAID4 中的写入优化对于读取速度的影响。

RAID-4的原来的写入过程存在优化空间：因为对于写入某物理磁盘上的一个数据块，其他物理磁盘将产生读取任务，以计算出新的奇偶校验数据，并将校验位写入奇偶校验磁盘，这其实相当繁琐。

RAID-4引人了一种简单的优化方法来避免这一点：

将数据块写入某物理磁盘前，首先读出该位置原先的数据块，对比将要写入的新数据块，计算出发生翻转的位，并由此计算出奇偶校验磁盘中的该位置数据块对应位是否需要翻转。优化后，该写入方式只牵涉到两个物理磁盘待写人数据的物理磁盘和奇偶校验磁盘。

9. 根据 I/O 请求花费在队列系统中的平均响应时间公式：

$$W = \frac{L}{\lambda} = \frac{\frac{1}{\mu}}{1-\frac{\lambda}{\mu}} = \frac{1}{\mu-\lambda}$$

分析随着磁盘 I/O 请求减少，磁盘队列系统的性能提升幅度下降的原因。

记原响应时间 $W_1(\lambda)=\frac{1}{\mu_0-\lambda}$，则性能 $P_1(\lambda)=\mu_0-\lambda$

设性能提升为 $n\mu$，则提升后 $W_2(\lambda)=\frac{1}{n\mu_0-\lambda}$，$P_2(\lambda)=n\mu_0-\lambda$

∴ 提升幅度 $F(\lambda)=\frac{P_2(\lambda)-P_1(\lambda)}{P_1(\lambda)}=\frac{(n-1)\mu_0}{\mu_0-\lambda}$

当 $n>1$ 时 $F(\lambda)$ 在 $0<\lambda<\mu_0$ 单调递增

∴ I/O 请求减少，性能提升幅度下降

10. DMA 设备与处理器是否会争抢内存带宽资源?存储器层次设计的优劣对此问题有何影响?

DMA（Direct Memory Access）控制器和处理器共享总线，可能会产生两者争用内存的冲突。

存储器层次设计的优劣会对DMA设备和处理器争夺内存带宽资源的问题产生影响。存储器层次结构的设计可以帮助优化内存带宽的利用，减少DMA设备和处理器之间的争用。

一种常见的存储器层次结构是**多级缓存系统**，包括高速缓存（L1、L2、L3等级）和主存。高速缓存作为位于处理器核心内部的快速存储器，可以存储处理器频繁访问的数据，减少对主存的访问次数。这样一来，当DMA设备需要使用内存带宽时，处理器可以从高速缓存中获取数据，而不需要频繁地访问主存，减少了与DMA设备之间的争用。

另外，存储器层次结构的设计还可以采用**缓存一致性协议**，确保多个处理器核心和DMA设备之间对于共享数据的访问具有一致性。通过缓存一致性协议，可以减少数据传输时的冲突和争用，提高内存带宽的利用效率。

此外，存储器层次结构还可以考虑使用**专用的DMA缓冲区**，将DMA设备的数据传输与处理器的数据访问分开。这样可以降低DMA设备与处理器之间的竞争，提高整体的系统性能。

第六章

1. 简述常见的总线仲裁机制，它们各有什么优缺点、分别适用于什么场景?

常见的仲裁机制包括轮询机制和优先级仲裁机制。

轮询机制会赋予每个主设备相同的优先级，当需要总线仲裁时，算法按照轮询的方式依次赋予主设备总线的使用权。轮询机制在各个主设备对总线的访问需求比较相近时可以取得较好的性能。

优先级仲裁机制则会赋予每个主设备不同的优先级，优先级更高的主设备在总线仲裁中更容易胜出。如果经常访问总线的主设备能够获得较高的优先级，这种情况下显然优先级仲裁机制会优于轮询机制。优先的仲裁机制还需要有配套的保护机制。保护机制会在某个主设备正在进行总线访问时对总线进行锁定，禁止其他主设备对总线进行访问。保护机制确保了数据传输的正确性和完整性。

2. 简要描述 AMBA 总线中 APB、AHB、AXI、ACE 及 CHI 等总线协议的特点和使用场景。

1）APB（Advanced Peripheral Bus）：

- 特点：APB是一种简单、低功耗的总线协议，用于连接较低带宽要求的外设。它采用点对点的架构，支持多主设备。
- 使用场景：APB适用于连接低速外设，如GPIO（通用输入输出）、UART（通用异步收发器）等。

2）AHB（Advanced High-performance Bus）：

- 特点：AHB是一种高性能、可靠的总线协议，支持多主设备和多从设备。它提供了高带宽和低延迟的传输特性，同时支持总线交互的高级特性，如分片传输和突发传输等。
- 使用场景：AHB适用于连接中等带宽要求的设备，如存储控制器、DMA（直接内存访问）控制器等。

3）AXI（Advanced eXtensible Interface）：

- 特点：AXI是一种高性能、可扩展的总线协议，支持多主设备和多从设备，并提供了高度的灵活性和可配置性。它具有高带宽、低延迟和高吞吐量的特性，同时支持高级特性，如乱序传输、缓存一致性和专用通道等。
- 使用场景：AXI适用于连接高性能和高带宽要求的设备，如处理器、图像处理器、视频编解码器等。

4）ACE（AXI Coherency Extensions）：

- 特点：ACE是在AXI基础上增加了一致性扩展的总线协议。它支持高性能的缓存一致性和高级特性，如私有和共享缓存、高级缓存协议和一致性保证等。
- 使用场景：ACE适用于需要缓存一致性和高性能内存访问的系统，如多核处理器、高性能嵌入式系统等。

5）CHI（Coherent Hub Interface）：

- 特点：CHI是ARM最新的一种高性能、一致性扩展的总线协议。它提供了更高的带宽、更低的延迟和更高级的缓存一致性特性，以满足复杂的SoC设计需求。
- 使用场景：CHI适用于复杂的SoC系统，其中需要高性能、高带宽和缓存一致性的处理器互连。

3.调研 AXI总线标准并回答以下问题。

1）AXI 总线包含哪些独立的事务通道？为什么协议不设置独立的读响应通道?

2）简要描述在读/写传输事务中,通道的握手信号时序需要满足怎样的依赖关系?为什么要设置这样的约束?

3）什么是 AX的突发传输?有哪些突发传输类型?

1）AXI总线包含以下独立的事务通道：

- 读通道（Read Channel）：用于从主设备读取数据的传输。
- 写通道（Write Channel）：用于向主设备写入数据的传输。
- 写地址通道（Write Address Channel）：用于向主设备发出写操作的地址信息。
- 写数据通道（Write Data Channel）：用于向主设备发送要写入的数据。

协议没有设置独立的读响应通道的原因是为了节省引脚和资源的开销。在AXI协议中，读响应与读数据一起通过读通道传输，这样可以减少通道数量和相应的物理引脚数量，从而降低总线的复杂性和成本。

2）在读/写传输事务中，通道的握手信号时序需要满足以下依赖关系：

- 在读事务中，读地址通道（ARVALID）信号必须在读数据通道（RVALID）信号之前有效，以指示要进行读取的地址。
- 在写事务中，写地址通道（AWVALID）信号必须在写数据通道（WVALID）信号之前有效，以指示要进行写入的地址。
- 读/写响应通道（RRESP和BRESP）的有效性必须在读/写数据通道（RVALID和WVALID）的有效性之后。

这样的时序约束是为了确保数据的一致性和正确性。通过按照特定的顺序发送和接收握手信号，可以保证读/写事务的顺利进行，并确保数据的正确传输和处理。

3）AXI的突发传输是指一次连续的数据传输，它可以在一个地址范围内连续地进行读或写操作，而不需要每个数据都进行独立的地址传输。突发传输可以提高总线的带宽利用率和传输效率。

AXI总线支持以下突发传输类型：

- INCR（Incremental）：连续递增地址的突发传输，每个数据项的地址递增一个固定的偏移量。
- WRAP（Wrap）：在达到地址范围的上限后，地址回卷到起始地址进行循环传输。
- FIXED（Fixed）：在整个突发传输过程中，使用相同的地址进行重复传输。

突发传输可以减少地址传输的开销，并充分利用总线带宽，特别适用于需要连续读取或写入大量数据的场景，提高数据传输的效率。