

(3) 为流水线引入前馈, 若两个源操作数寄存器中的任意一个可以通过前馈而不是读寄存器堆得到, 则即使寄存器堆只有一个读端口, ID阶段仍然可以单周期完成。此时上述代码单次迭代需要的周期数为多少? 画出执行时序表。

	1	2	3	4	5	6	7	8	9	10
lw a4, 0(a3)	IF	ID <sub>1</sub>	ID <sub>2</sub>	EX	MEM	WB				
addw a1, a4, a1		IF	S	ID	EX	MEM	WB			
addw a2, a2, -1				IF	ID	EX	MEM	WB		
addw a3, a3, 4					IF	ID	EX	MEM	WB	
bnez a2, Loop						IF	ID	EX	MEM	WB

需要 10 个周期

## 第八周 chapter 3

9. 考虑一个顺序流水线, 忽略前端取指和译码, 处理器从发射到执行完成不同指令所需的时间总周期数下表所示。

指令类型 总周期数

考虑如下指令序列:

内存加载 4

Loop: fld f2, 0(a2)

内存存储 2

fdiv.d f8, f0, f2

整型运算 1

fmul.d f2, f6, f2

分支 2

fld f4, 0(a1)

浮点加法 3

fadd.d f4, f0, f4

浮点乘法 5

fadd.d f4, f0, f4

浮点除法 11

fsub f10, 0(a0)

fsub f4, 0(a1)

addi a0, a0, 8

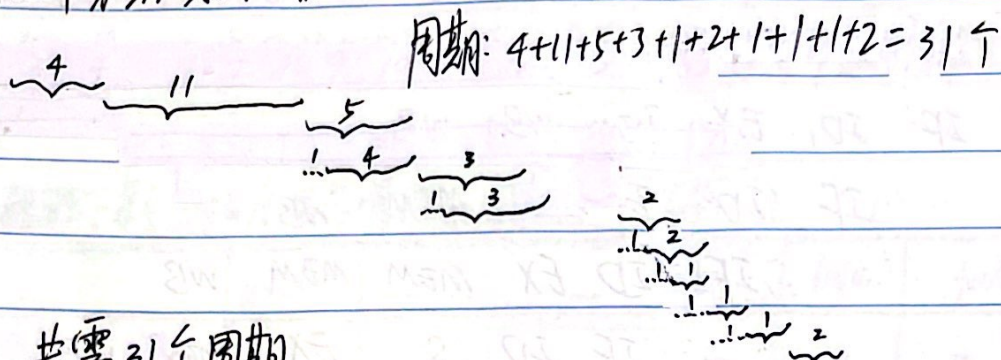
addi a1, a1, 8

x20, x4, a0

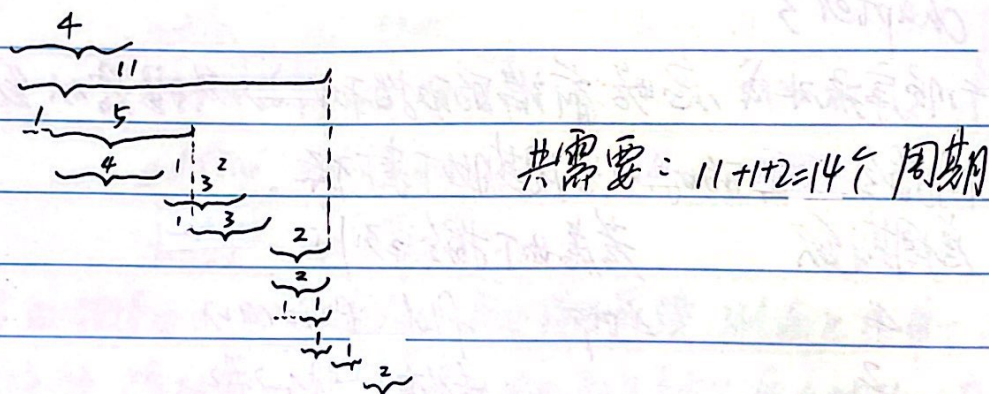
sub x20, Loop



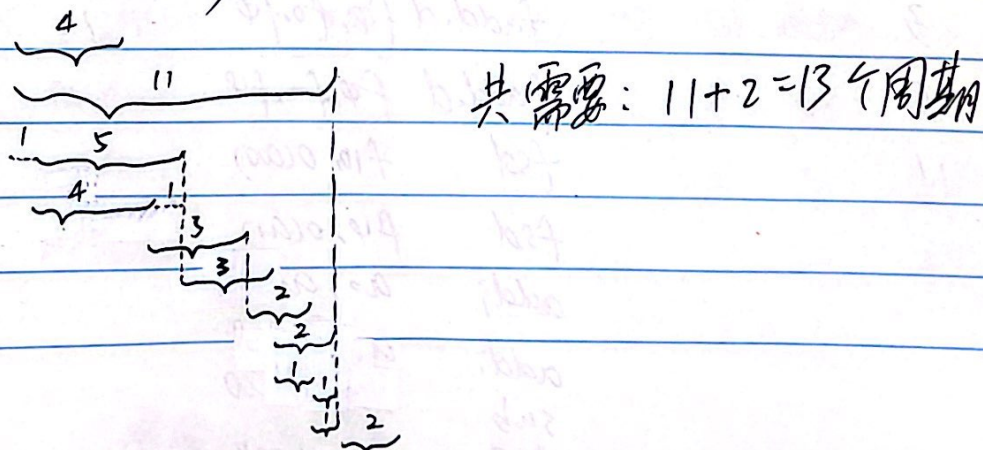
(1) 假设一条单发射顺序流水线, 每个周期均会新发射一条指令 (假设运算单元是充足的)。检测到数据冲突或分支指令时会暂停发射, 直到冲突指令执行完毕才会发射新指令。则上述代码段的一次迭代需要多少个周期执行?



(2) 双发射顺序流水线, 取指和译码带宽足够, 运算单元充足, 且数据在两条流水线之间的传递是无延迟的, 因此只有真数据冲突才会导致流水线停顿。则上述代码段需多少个周期才能迭代完成一次?



(3) 调整指令的排列顺序, 使其在上述双发射流水线中完成一次迭代需要的周期数最少。给出调整后的指令序列及一次迭代所需要的周期数。





指令序列顺序调整如下:

```

Loop: fld    f2, 0(a1)
      fdiv.d  f8, f0, f2
      fmul.d  f2, f6, f2
      fld    f4, f0, f4
      fadd.d  f4, f0, f4
      fadd.d  f10, f8, f2
      { fsd    f4, 0(a1)
        fsd    f10, 0(a0)
      }
      { addi   a1, a1, 8
        addi   a0, a0, 8
      }
      sub     x20, x4, a0
      bnez    x20, Loop
  
```

10. 考虑如下的代码片段:

Loop:	fld	f4, 0(a4)	重命名后	loop:	fld	T24, 0(T34)
	fmul.d	f2, f0, f2			fmul.d	T22, T10, T12
	fdiv.d	f8, f4, f2			fdiv.d	T28, T24, T22
	fld	f4, 0(a1)			fld	T34, 0(T31)
	fadd.d	f6, f0, f4			fadd.d	T26, T10, T34
	fsub.d	f8, f8, f6			fsub.d	T38, T28, T26
	fsd	f8, 0(a1)			fsd	T38, 0(T31)

现将其进行简单的寄存器重命名, 假定有 T0-T63 的临时寄存器, 且 T9 开始的寄存器可用于重命名。写出重命名后的指令序列。



11. 查阅资料，简述显式重命名和隐式重命名的区别，优缺点以及可能的实现方式。

① 显式重命名确保物理寄存器具有的真实寄存器数用比ISA定义的寄存器数目更多，此情况下重排序缓冲区本身不需要存储指令的计算结果，而是将需要提交及处于推测状态的数据都保存在物理寄存器内，由RT来维护映射关系，在指令译码后，对寄存器进行重命名，并将对应关系记录在RT中。

优点是显式重命名不需要在重排序缓冲区中创建大量存储临时值空间，能高效地提高处理器性能；缺点：需要引入两种硬件，第一种为空闲列表FL和第二种重命名列表RT，同时需要开辟大量物理寄存器，硬件成本较高，但有效解决了假数据冲突，提高并行度。

② 隐式重命名保持物理实现的寄存器数量与ISA规定一致，其中仅存放已经最终写回的指令结果，处于推测状态的指令值由一些其他结构如存放在重排序缓冲区旁，而且隐式重命名的重排序缓冲区往往需要引入前馈结构。