

第五次作业：3、7、8、12、13、14、15、16、17

3.

(1) MOV rd, rt addi x0, x0, 0

(2) $lp = ss + 16 + SP$ jalr x0, x1, 0

$SP = SP + 2$

13)

(4) addi rd, rs, 0

(5) csrs rd, cycle, x0

(6) addiw rd, rs, 0

7.

(1) add t0, t1, t2

slti t3, t2, 0

slt t4, t0, t1

bne t3, t4, overflow

(2) add t0, t1, t2

bitu t0, t1, overflow

3) ARM体系结构通过CPSR状态寄存器反映当前指令的溢出状态

8.

(1) OP=DIVU OP=REMU OP=DIV OP=REM

rd: 0xfffffffffffffff0x0000000000000000 rs1: 0000000000000000 r51

2) NV: 无法操作 UF: 下溢

DZ: 除以0 NX: 不精确

OF: 上溢

12.

- 1) 管理员模式
- 2) 用户模式
- 3) 用户模式
- 4) 管理员模式
- 5) 用户模式

13.

VecMul:	part1:	part2:
addi sp, sp, -32	lw a5, -20(\$0)	lw a4, -20(\$0)
sd ra, 24(\$P)	slli a5, a5, 2	li a5, 99
sd \$0 16(\$P)	lw a4, -40(\$0)	ble a4, a5, part1
addi \$0, sp, 32	add a5, a4, a5	lw a5, -24(\$0)
sw zero, -20(\$0)	lw a3, 0(a5)	lw a5, 0(a5)
sw a0, -24(\$0)	lw a5, -20(\$0)	mv a0, a5
sw a1, -28(\$0)	slli a5, a5, 2	lw \$0, 44(\$0)
sw a2, -32(\$0)	lw a4, -24(\$0)	addi sp, sp, 32
j part2	add a5, a4, a5	ret
	lw a4, -32(\$0)	
	mul a4, a3, a4	
	sw a4, 0(a5)	
	lw a5, -20(\$0)	
	addi a5, a5, 1	
	sw a5, -20(\$0)	

end:

14.

addi sp, sp, -32

sd ra, 24(sp)

sd s0, 16(sp)

addi s0, sp, 32

sw a0, -20(s0)

sw a1, -24(s0)

sw ~~a2~~^{zero}, -28(s0)

bgt a0, a1, part1

bge a1, a0, part2

part1:

add a2, a1, a0

sw a2, -28(s0)

j end

part2:

sub a2, a0, a1

sw a2, -28(s0)

j end

ld ra, 24(sp)

ld s0, 16(sp)

addi sp, sp, 32

ret

15.

sw t0, 0(t0)

li t1, 3

sw t1, 4(t0)

sll a0, t1, 2

add t2, a0, t0

sw t1, 0(t2)

16.

lw a0, 0(t0)

lw a1, 0(t1)

sw a1, 0(t0)

sw a0, 0(t1)

17.

功能：将 a1 中的值左移 30 位