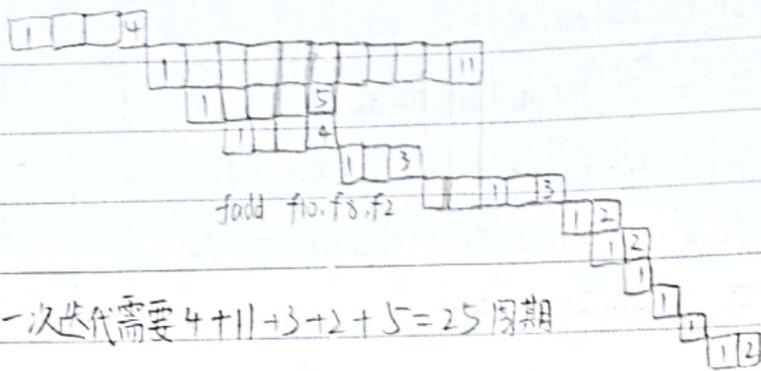
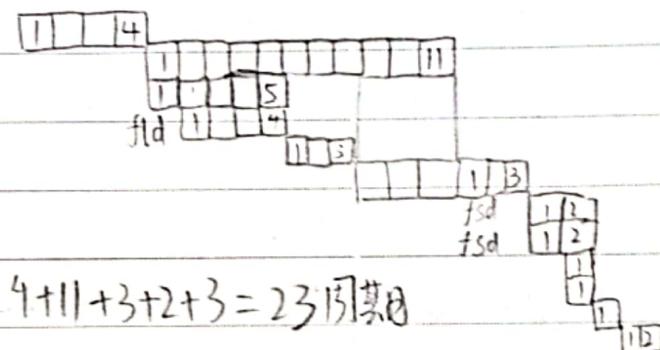


第9周 9.10.11

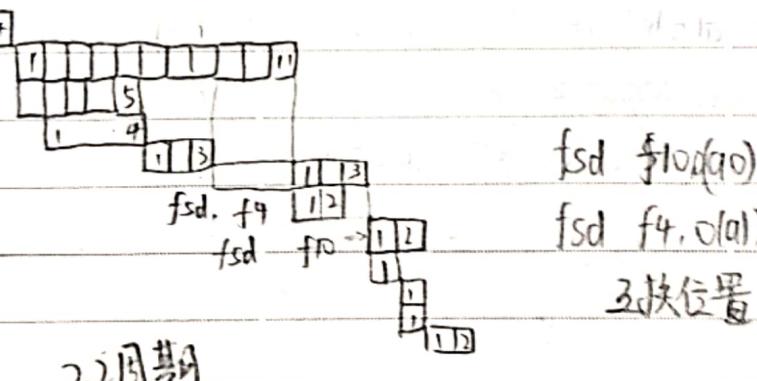
9.(1)



(2)



(3)



10. Loop: fld T9, 0(a0) , f4→T9

fmul.d T10, f0, f2 , f2→T10

fdiv.d T11, T9, T10 , f8→T11

fld T12, 0(a1) , f4→T12

fadd.d T13, f0, T12 , f6→T13

fsub.d T14, T11, T13 , f8→T14

fsd, T14, 0(a1)

11. 显式: 让物理寄存器数目比架构寄存器多.

对于每条需要写回的指令, 必须分配一个新目的寄存器.

隐式: 物理寄存器和架构寄存器相同, ROB(重排序缓冲区)

保存正在执行、尚未提交的指令的结果, 来标记

保存已经提交指令中即将写入寄存器的值

显式逻辑简单, 易于理解, 实现物寄存器成本低.

但每个操作数在其生命周期中需要保存在 ROB 和

ISA Register File 两个位置, 读取数据复杂度高.

