

## 第五章

1.答：串行通信速率虽低，但在数据通信吞吐量不是很大的微处理电路中则显得更加简易、方便、灵活；并行通信速度快、实时性好，但由于占用的口线多，不适于小型化产品。但目前技术下，串行总线速度比并行总线更快。

原因：并行总线由于是多个数据同时传输，需要考虑数据的协同性，这就导致了并行传输的频率不能做的很高。相对的，串行总线只有一条链路，就可以把频率做的很高，提高传输速度，速度提高了就能够弥补一次只能传输一个数据的缺陷。

2.

2. (1) 共10位数据包 共 ~~10~~ 10 bit  
每秒传输 960 个数据包,  $\therefore$  每秒传输  $960 \times 10 = 9600 \text{ bit}$   
波特率  $9600 \text{ bps}$   
(2) 数据包帧共 7 位 7 bit  
 $\therefore 7 \times 960 = 6720 \text{ bit/s}$   
有效数据传输速率为  $6720 \text{ bps}$

3.答：

(1) I2C 数据包中包含从机地址、读命令/写命令、从机的寄存器地址以及待写入数据等。不同 I2C 从机所支持的 I2C 协议会有所差异。

(2) I2C 支持双向数据交换，由于仅有一根数据线，只能一方发送另一方接收。故通信是半双工的。

(3) 起始条件：SCL 为高电平时，SDA 由高向低跳变；终止条件：SCL 为高电平时，SDA 由低向高跳变

4.

4. (1) 4 块磁盘  $\therefore \text{MTF} = \frac{N}{4}$   
(2) 2 块磁盘组成数据区，两块用于镜像冗余。此时  $50G \times 2 > 80G$   
且  $\text{MTF}$  很大  $\text{MTF} > \frac{N}{2}$

5.

5. 寻道时间：磁头在盘面上沿半径从里向外移动寻找所需磁道的时间。  
旋转时间：盘片旋转找到正确扇区所需时间。  
数据传输时间：数据在扇区读写的时间。  
寻道和旋转时间需要通过机械装置和控制电路实现  
寻道和旋转，时间均为毫秒级；而数据传输很快，小于毫秒级。影响  
磁盘读写时间主要为寻道时间和旋转时间

6.

$$\begin{aligned}
 6. (1) \quad & 6 \times 240 \times 12 \times 2^{10} \text{ B} = 17280 \text{ KB} = 16.875 \text{ MB} \\
 (2) \quad & \text{转速 } 5400 \text{ r/min} = 90 \text{ r/s} \\
 & \therefore \text{数据传输速度为 } 90 \text{ r/s} \times 12 \text{ KB/r} = 1080 \text{ KB/s} \\
 (3) \quad & \text{平均旋转时间为 } \frac{1}{90} \approx 0.011 \text{ s/r}
 \end{aligned}$$

7.答：磁盘控制电路先缓存一段时间内的磁盘 I/O 请求并通过最短寻道时间优先(SSTF, Shortest Seek Time First)算法——选择访问的磁道与当前磁头所在的磁道距离最近的进程,以减少寻道和旋转的时间,减少磁盘访问用时。

8. 答：RAID4 模式同 RAID3 几乎是一样的,数据都是分成小的数据块依次存储在多个硬盘之上,奇偶校验码存放在独立的奇偶校验盘上。唯一不同的是,在数据分割上 RAID-3 和 RAID-4 的粒度不同,因此 RAID-4 每个磁盘可以独立响应请求。这样可以使得 RAID4 同 RAID3 具有一样的读取速度。写入优化只涉及到两个物理磁盘:待写入数据的物理磁盘和奇偶校验磁盘,所以该方法对数据的读取并不影响。

9.

$$\begin{aligned}
 9. \quad & W = \frac{1}{\mu - \lambda} \quad \lambda \text{ 为平均到达率, } \mu \text{ 为平均服务率} \\
 & \text{I/O 请求减少,即 } \lambda \text{ 减小。} \\
 & W_1 = \frac{1}{\mu_1 - \lambda} \quad W_2 = \frac{1}{\mu_2 - \lambda} \quad (\text{提升后 } \mu_2 > \mu_1 \therefore W_2 < W_1) \\
 & \therefore \text{时间提高 } \Delta W = W_1 - W_2 = \frac{1}{\mu_1 - \lambda} - \frac{1}{\mu_2 - \lambda} \\
 & = \frac{\mu_2 - \mu_1}{(\mu_1 - \lambda)(\mu_2 - \lambda)} \\
 & \therefore \Delta W(\lambda) = \frac{\mu_2 - \mu_1}{\lambda^2 - (\mu_1 + \mu_2)\lambda + \mu_1\mu_2} \\
 & \text{随着 } \lambda < \mu_1 < \mu_2, \text{ 则 } \lambda \text{ 减小时, } \Delta W(\lambda) \text{ 减小} \\
 & \text{即 I/O 请求减少,则性能提升幅度下降}
 \end{aligned}$$

10.

10. 不会。DMA在透明模式时会与处理器配合,在处理器不使用总线时使用,交替占用总线,实现分时复用,因而不争抢带宽资源。  
层次设计的优点可能会影响透明模式的使用效果,影响工作效率。

## 第六章

1.答：常见总线仲裁机制有轮询机制和优先级仲裁机制。

轮询机制的主设备优先次序可以改变,对电路的故障没有优先级仲裁机制敏感;但是增加了控制线数,控制更复杂。

优先级仲裁机制的主设备优先级固定且只需很少几根控制线就能按一定优先次序实现总线控制,结构简单,扩充容易;但是对硬件电路的故障敏感,且优先级不能改变。当优先级高的部件频繁请求使用总线时,会使优先级较低的部件长期不能使用总线。

2.答:

**APB:**用在低带宽、低性能、低功耗的外围设备上,它属于非流水线结构,所有的信号仅在时钟上升沿时产生变化,这规范了 APB 外围设备的设计流程,增加了可扩展性,每个传输至少需要两个时钟周期。APB 无需等待周期和回应信号,只有四个控制信号,控制逻辑简单。

**AHB:**高性能、高时钟频率。主要用于连接 RAM、DMA、Bridge 等高速设备。主要支持如下特性: burst 传输、Split 事务处理、单周期 master 移交、流水线操作、支持多个总线主设备。

**AXI:** 单向通道体系结构,信息流只以单方向传输,简化时钟域间的桥接,减少门数量。被广泛应用于各种高性能 SoC 中。

**ACE:** ACE 是 AXI 加上支持一致性的扩展。ACE 支持分布式虚拟存储; ACE 相比 AXI 增加了一些信号和几组通道,包括信号 ARSNOOP、ARDOMAN、ARBAR,写地址通道的 AWSNOOP、AWDOMAIN、AWBAR、AWUNIQUE,读数据通道的 RRESP。

**CHI:** 架构扩展方便,独立的分层实现,包括协议层、网络层和链路层,各自具有清楚不同的功能。基于 CHI 协议的系统架构可以包含独立 CPU、处理器簇、图形处理器、memory 控制器、I/O 桥、PCIe 子系统和 CHI 互联线。

3.答:

(1) AXI 接口具有五个独立的通道: 写地址通道 (AW): write address channel; 写数据通道 (W): write data channel; 写响应通道 (B): write response channel; 读地址通道 (AR): read address channel; 读数据通道 (R): read data channel。

而 VALID/READY 握手机制只允许一个方向的数据流,所以对于读事务,数据 (data 和 resp) 从 slave 流向 master,不需要独立的读通道;对于写事务,数据从 master 流向 slave,所以需要单独的响应通道。

(2) 依赖关系: 事务中一个 AXI 组件的 VALID 信号不能依赖于另一个组件的 READY 信号。READY 信号可以等待 VALID 信号的断言。读事务: ARVALID 断言前后 APREADY 可断言; RVALID 只有在 ARVALID 和 ARREADY 断言后才能断言; RREADY 可在 RVALID 断言前后断言。写事务: BVALID 只有在 WVALID 和 WREADY 断言后才可断言,其他无限制。依赖设置是为了防止死锁。

(3) AXI 突发传输是指在同一行中相邻的存储单元连续进行数据传输的方式,只要指定起始地址和突发长度 (Burst lengths), 控制器就会依次自动对后面相同数量的存储单元进行读/写操作,而不需要控制器连续提供列地址。

AXI 协议定义了三种突发类型: 固定突发 (地址固定的突发); 增量突发 (地址递增的突发); 回环突发 (在回环边界处回绕到较低地址的递增地址突发)