

第5章

1. 串行总线: 传输快, 布线简单, 传输距离长, 但延迟较高, 处理开销较大

并行总线: 延迟低, 并发传输, 但布线复杂易抗干扰差

速率不同: 传输带宽与时钟频率有所不同

2. (1) $960 \times 10 = 9600$

(2) 有效的数据位为 7 位

$$\therefore 960 \times 7 = 6720$$

3. (1) 起始位, 7~10 位地址位, 读/写位, ACK/NACK 位, 8 位数据位 1, ACK/NACK 位, 8 位数据位 2, ACK/NACK 位, 终止

(2) 其仅使用一条数据线 SDA

(3) 起始: SCL 高电平时, SDA 由高向低跳变

终止: SCL 高电平时, SDA 低 \rightarrow 高

4 (1) $\frac{N}{4}h$ (2) 两块组成 RAID 0 与另外两块组成 RAID 1 相连,
容量 100GB, MTF 为 $\frac{N}{4}$

5. 寻道时间: 磁头臂移至正确位置并读/写所需时间,
与磁头臂移动距离与速度有关

旋转时间: 将正确扇区转至磁头下方的时间

与旋转速度及磁头臂以半径有关

数据传输时间: 传送一个扇区的数据所需时间

与盘片旋转速度, 工艺等有关

$$6. 6 \times 240 \times 12 \text{KB}$$

$$= 17280 \text{KB}$$

$$12) 12 \text{KB} \times \frac{3400 \text{rpm}}{60 \text{s}} = 1080 \text{KB/s}$$

$$13) \frac{60 \text{s}}{3400 \text{rpm}} \cdot \frac{1}{2} = 555 \text{ms}$$

7. 首先必须有一段时间内磁头请求并以其最优的旋转速度磁头移动到磁道，减小寻道时间。同时也可以减小盘片旋转延迟以优化磁头旋转时间。

8. 写入优化后，数据被写入连续磁道上，相邻数据块可能分离，使读取性能下降；但对于随机读取，因可同时从多个磁道并行读取块，提高了随机读取吞吐量；同时因写入延迟降低，写入性能也有提升。

$$9. \frac{\partial W}{\partial \lambda} = \frac{1}{(\mu - \lambda)^2}$$

$\lambda \downarrow, \mu - \lambda \uparrow, (\mu - \lambda)^2 \uparrow, \text{则 } \frac{\partial W}{\partial \lambda} \downarrow, \text{提升性能}$

10. 会。DMA设备与处理器都通过内存总线读写数据。

层次设计影响：缓存层次结构可减少内存带宽需求，提高系统整体性能。

缓存一致性协议可避免不一致缓存访问，减少对内存带宽竞争。

缓存优化后其访问速度也可减少竞争。

第6章

1. 集中式仲裁：通过一块仲裁器管理总线访问，较精确。

但有单点故障风险

适用于规模较小、结构简单的系统。

分布式仲裁：各总线参与者根据一定规则自行仲裁，避免单点故障风险

但精确度可能不足，且可能冲突发生、延迟较大。

适用大规模系统

基于优先级仲裁：可根据优先级规则按事先确定顺序访问总线，可

满足不同设备访问需求。

但需事先定义规则，且可能造成资源浪费或低优先级设备

无法及时响应。

适用于需按不同设备访问需求排序的场景。

2. APB：低功耗、低功能，适用于连接低速外设。

AHB：中性能、分时多主支持，支持高带宽及低延迟访问，适用于连接中端复杂外设与内存控制器。

AXI：高性能、高带宽，支持乱序访问、流水线传输，适用于连接高性能处理器、高速外设与处理器。

ACE：在AXI基础上，支持多处理器等数据高效访问及一致性维护，适用于多处理器系统。

CHI：高性能、高吞吐量，可拓展、灵活。

适用于高性能大规模片上互联系统。

3(1) 主传输、写地址、写数据、写响应

减少总线引脚数目及复杂性，提高效率与可扩展性

(2) 读传输：读数据通道中数据应在读地址有效后的几个T内有效

写传输：写数据通道中数据应在写地址有效后的几个T内有效

确保读/写事务正确性及一致性。

(3) 指一次总线事务中传输的数据元素。

固定突发、递增突发、交错突发