

2. 考虑以下指令序列，试分析其数据相关性，并指出流水线中的冲突。

I1: ld a1, 0(s2)	: 源向写回
I2: mul a2, a0, a1	(a0, a1) → b1 : read
I3: add a1, a2, a2	a1, a2, a1 : write
I4: ld a2, 0(s2)	(a2, a1) → b2 : read
I5: add a3, a1, a2	a1, a2, a3 : write
I6: sd a3, 0(s3)	(a3, a2) → b3 : write

不考虑内存地址相关性，在下表列出所有数据依赖关系。ZSPad

解：考虑顺序流水线，且运算周期数相同：(WAW, WAR 不发生在严格执行的 pipeline 中)

	I1	I2	I3	I4	I5	I6	
I1	/ / / /						
I2		/ / / /					不相关
I3	RAW	RAW	/ / / /				不相关
I4	RAW	RAW	RAW	/ / / /			不相关
I5		RAW	RAW	RAW	/ / / /		不相关
I6					RAW	/ / / /	不相关

注：若 mul 指令需多周期完成，则 I2 与 I3 还需插入额外空闲周期。

若不考虑架构，则还有以下数据依赖关系：

I1 与 I3 存在可写的 WAW 冲突。

I3 和 I4 存在 WAR 冲突

$$4. (1) \bar{T}_A = 1ns + \frac{1}{5}ns = 1.2ns$$

$$\bar{T}_B = 0.6ns + \frac{3 \times 0.6ns}{8} = 0.825$$

由于 A 的时钟频率比 B 高，因此 A 的 CPI 会比 B 小。

加速比 $\approx \frac{1.2ns}{0.825ns} \approx 1.45$

$$2) A: CPI = 1 + \frac{3}{5} + 2 \times 5\% \times 20\% = 1.22$$

$$B: CPI = 1 + \frac{3}{8} + 5 \times 5\% \times 20\% = 1.425$$

因此，处理器 A 的 CPI 更低

P1.8.D.8.6.

6. 考虑如下代码片段，假设 a_1 寄存器初值为 0， a_3 寄存器初值为 100，回答如下问题：

```

Loop: ld a1, 0(a2)
      addi a1, a1, 1
      sd a2, 0(a2)
      addi a2, a2, 4
      sub a4, a3, a2
      bneq a4, Loop
    
```

(22) 0, M b1 : I

SD, 0, R, SD, M : SJ

SD, M, R, BBR : SJ

SD, RD, SD, BBR : SJ

SD, RD, RD, BBR : SJ

(22) 0, R, b2 : SJ

1) 列举每条代码数据相关性(说明它们)可能引发什么类型的数据冲突。

① `ld a1, 0(a2)` 和 `addi a1, a1, 1` 有在 RAW 冲突，在 a_1 寄存器更新前 `addi` 不能使用 a_1 的值。

② `addi a1, a1, 1` 与 `sd a1, 0(a2)`，`sd` 指令将尝试在 a_1 更新前读数据，将导致 RAW 冲突。

③ `addi a2, a2, 4` 和 `sub a4, a3, a2` 有在 RAW 冲突，`sub` 指令将在 a_2 更新完成前读取，将导致 RAW 冲突。

④ `sub` 指令和 `bneq a4, Loop` 指令有在 RAW 冲突，`bneq` 在 a_4 更新前试图对其进行读取与运算。

2) 考虑 5 位 RISC 流水线，不使用任何前馈硬件，假设 MEM 阶段均可在单周期完成，分支在 WB 阶段完成后取新指令，请写出该代码在一次循环中的完整执行时序，并计算完成执行共需要多少个时钟周期。

Cycles = 100.0 * 5 + 5 = 505 : 8

分支 70.0 + 20.0 = 90.0

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
ld a1,0(a2)	IF	ID	EX	MEM	WB	IF	ID	EX	MEM	WB	IF	ID	EX	MEM	WB	
addi a1,a1,1	IF	ID	S	I	S	EX	MEM	WB	IF	ID	S	EX	MEM	WB		
sd a1,0(a2)		IF	S	S	ID	EX	S	MEM	WB		IF	S	ID	EX	MEM	WB
addi a2,a2,4		IF	S	S	ID	ID	EX	MEM	WB		IF	S	ID	EX	MEM	WB
sub a4,a3,a2					IF	ID	S	S	EX	MEM	WB					
lne8 a4,Loop						IF	S	ID	S	EX	MEM	WB				

需16个时钟周期

7. 仍考虑6中代码,假设a2寄存器初值为0, a3为100.

1) 若拥有完整前馈硬件,像MEM均可在单周期执行,分支指令在WB阶段完成后取新指令,请写出完成所有循环共需多少个时钟周期.

前馈可解决上述RAW冲突,不需要再插入停顿周期,一次循环需要

10个周期; $a2=0, a3=100$, 所以一共循环25次,故完成循环需要
250个周期.

2) 若在前馈硬件基础上,有一个工作于IF级的固定预测器且记录跳转目标位置的分支预测器,此时时钟周期变为多少?

前24次会正确预测

最后一次分支预测错误,将造成额外开销1个时钟流水线,损失2周期.

执行程序所需的时钟周期为 $10 + 6 \times 24 + 2 = 156$

8. 现有10级保流流水线，将原来的5级RISC流水线拆分为两个阶段：

IF1/IF2、ID1/ID2、EX1/EX2、MEM1/MEM2、WB1/WB2。前馈仍能从两个阶段的第二个阶段与发射需要它的第一阶段，例如从MEM1前馈到EX1。静态态分支预测器固定发生跳转。

1) 按下来补充代码在一次循环中的完整执行时序，并计算执行完成所有循环需要多少周期。

I1: IF1 IF2 ID1 ID2 EX1 EX2 MEM1 MEM2 WB1 WB2

I2: IF1 IF2 ID1 ID2 S S EX1 EX2 MEM1 MEM2 WB1 WB2

I3: IF1 IF2 ID1 S S S ID2 EX1 EX2 MEM1 MEM2 WB1 WB2

I4: IF1 IF2 S S S ID1 ID2 EX1 EX2 MEM1 MEM2 WB1

I5: IF1 S S S IF2 ID1 ID2 S EX1 EX2 MEM1

I6: S S S IF1 IF2 ID1 S ID2 EX1 EX2

WB1
WB2
WB3
WB4
WB5
WB6

WB2
MEM2 WB1 WB2
MEM1 MEM2 WB1 WB2

一共需要19个周期完成一次迭代，总共需要的周期为 $19 + (19 - 10) \times 24 + 5 = 243$

2) 计算6-8题处理器 CPI

$$\textcircled{1} 6: CPI = \frac{16 \times 25}{25 \times 6} \approx 2.67$$

$$\textcircled{2} 7: \text{无分支预测}, CPI = \frac{250}{25 \times 6} \approx 1.67$$

$$\text{有分支预测}, CPI = \frac{156}{25 \times 6} \approx 1.04$$

$$\textcircled{3} 8: CPI = \frac{452}{25 \times 6} \approx 1.62$$

19. 基础 5 级流水线能够单周期完成 ID 阶段的前半部分是寄存器堆扫描至少两个读端口以同时读出两个源操作数，假设某子阶段只具有单端口寄存器堆，将面临结构冲突，为此 ID 需要被拆分为两周期，单个操作数指令则不受影响。

① 标记下表指令是否需两个周期完成 ID 阶段。

add	addi	ld	sd	bne	jal	jalr
是	否	否	是	是	否	否

2) 考虑以下指令序列：

I₁: lw a₁, 0(a₃)
I₂: addw a₁, a₄, a₁
I₃: addiw a₂, a₂, -1
I₄: addiw a₃, a₃, 4
I₅: bnez a₂, Loop

若 a₁ 初值为 0, a₂ 为 N, 则上述单端口寄存器堆系统中, 单次迭代需要的周期数是多少? 流水线无反馈

I₁: IF ID EX MEM WB
I₂: IF ID₁ ID₂ S EX MEM WB
I₃: IF ID S S EX MEM WB
I₄: IF S S ID EX MEM WB
I₅: S J IF ID EX MEM WB

需要 11 个周期完成单次迭代。

3) 引入反馈，则单次迭代需多少周期数

I₁: IF ID EX MEM WB
I₂: IF ID EX MEM WB
I₃: IF ID EX MEM WB
I₄: IF ID EX MEM WB
I₅: IF ID EX MEM WB.

此流水线单次迭代的周期数为 9。