

- 3.(1). addi $x_0, x_0, 0$ (2). jalr $x_0, x_0, 0$
 (3). auipc $x_1, \text{offset}[31:12]$ jalr x_1, x_1, offset
 (4). addi $rdr_s, 0$ (5). csrrs $rd, \text{cycle}[h], x_0$
 (6). addiw $rdr_s, 0$
- 7.(1). slti $t_3, t_2, 0$ slt $t_4, t_0, 1$
 (2). addu t_0, t_1, t_2 bltu $t_0, t_1, \text{overflow}$
- 8.(1). $-1 \quad x \quad -1 \quad x$ 不会
 (2). NV 代表 invalid operation . DZ : divide by zero
 OF: overflow, UF: underflow NX 代表 inexact
 flags 被置位不会使处理器陷入系统调用
- 12.(1). 管理员模式 (2). 机器模式 (3) 机器模式
 (4). 用户模式 (5) 用户模式.
13. vecMul:
 addi $sp, sp, -32$ | lw $a_1, -24(sp)$
 sw $ra, 24(sp)$ | li $a_0, 99$
 sw $s_0, 24(sp)$ | blt a_0, a_1, end
 addi $s_0, sp, 32$ | lw $a_0, -16(sp)$
 sw $a_0, -12(sp)$ | lw $a_1, -24(sp)$
 sw $a_1, -16(sp)$ | slli $a_2, a_1, 2$
 sw $a_2, -20(sp)$ | add a_0, a_0, a_2
 li $a_0, 0$ | lw $a_0, 0(a_0)$
 sw $a_0, -24(sp)$ | mul a_0, a_0, a_1
 If | lw $a_1, -12(sp)$

lw a0, -24(\$0)

addi a0, a0, 1

sw a0, -24(\$0)

jl if

end:

lw a0, -12(\$p)

lw a0, 0(a0)

lw ra, 28(\$p)

lw \$0, 24(\$p)

addi sp, sp, 32

ret

14. start: beg a1, a0. If.

add a2, a0, a1

l: sub a2, a0, a1

15. start = sw t0, 0(t0)

addi t1, x0, 3

sw t1, 4(t0)

slli t2, t1, 2

add t2, t2, t1

sw t1, 0(t2)

17. 计算 $a_1 = 2^{30}$