

fld f4, 0(a1): 内存加载, 顺序写回, 6~16周期

fadd.d f4, f0, f4: 17~19周期

fadd.d f10, f8, f2: 17~19周期

fsd f10, 0(a0): 20~21周期

fsd f4, 0(a1): 20~21周期

addi a0, a0, 8: 顺序写回, 21~22周期

addi a1, a1, 8: 21~22周期

sub x20, x4, a0: 22~23周期

bnez x20, loop: 24~25周期

9. (1) fld f2, 0(a0): 内存加载, 占用1~4周期

fdiv.d f8, f0, f2: 浮点除法, 与上条RAW冲突, 占用5~15周期

一次迭代需25周期

fmul.d f2, f6, f2: 浮点乘法, 顺序写回, 占用6~16周期

(3) 部分执行时间长的指令因顺序写回而阻塞执行

fld f4, 0(a1): 内存加载, 顺序写回, 占用7~17周期

将其适当往后排可加快速度

fadd.d f4, f0, f4: 浮点加法, 与上条RAW冲突, 占用18~20周期

fld f2, 0(a0): 1~4周期

fadd.d f10, f8, f2: 浮点加法, 占用19~21周期

fld f4, 0(a1): 1~4周期

fsd f10, 0(a0): 内存存储, 与上条RAW冲突, 占用22~23周期

fadd.d f4, f0, f4: 5~7周期

fsd f4, 0(a1): 内存存储, 占用23~24周期

fmul.d f2, f6, f2: 5~9周期

addi a0, a0, 8: 整型运算, 顺序写回, 占用24~25周期

sd f4, 0(a1): 6~9周期

addi a1, a1, 8: 整型运算, 顺序写回, 占用25~26周期

fdiv.d f8, f0, f2: 6~16周期

sub x20, x4, a0: 整型运算, 顺序写回, 占用26~27周期

addi a1, a1, 8: 7~16周期

bnez x20, loop: 分支, 与上条RAW冲突, 占用28~29周期

fadd.d f10, f8, f2: 17~19周期

一次迭代需29周期

fsd f10, 0(a0): 20~21周期

(2) fld f2, 0(a0): 内存加载, 1~4周期

addi a0, a0, 8: 20周期

fdiv.d f8, f0, f2: 浮点除法, 与上条RAW冲突, 5~15周期

sub x20, x4, a0: 21周期

fmul.d f2, f6, f2: 浮点乘法, 顺序写回, 5~15周期

bnez x20, Loop: 22~23周期

一次迭代需23周期



10. fld T9, 0(a0)

fmul.d T10, f0, f2

fdiv.d T11, T9, T10

fld T12, 0(a1)

fadd.d T13, f0, T12

fsub.d T14, T11, T13

fsd T14, 0(a1)

11. 显式重命名采用比逻辑寄存器更多的物理寄存器，并使用映射表记录对应关系。数据存储在物理寄存器内。

隐式重命名不增加物理寄存器堆，但需将值保存在 ROB 和 ARF 两个完成乱序执行，顺序写回的重要模块中。同时也需要建立映射表，确定数据在 ROB 或 ARF 中的位置，以便调用。

显式重命名需要的寄存器多，但控制逻辑简单。

隐式重命名寄存器少，但控制逻辑更复杂，功耗大。

