

4. PZSCV 物理内存保护 (PMP) 机制允许硬件线程为特定的物理内存区域指定访问权限, 其配置寄存器如下形式: (1) PMP 控制寄存器的 X/W/R 位有什么作用?

(2) PMP 配置寄存器中的 L 和 A 位作用?

解: (1) 用于更细粒度地控制物理内存的访问权限, 提供了对物理内存区域的额外保护。可覆盖页表中的权限设置, 当发生内存访问时, 同时检查。

(2) ① L 位: Lock. 用于锁定 PMP 配置寄存器防止对其进行非特权级的写入操作。为 1 不允许进一步的配置更改, 有助于确保配置的稳定性和安全性。

② Addressing: 用于指示 PMP 配置寄存器的地址范围模式。为 0, 以整字节为单位; 为 1, 以对齐的 8 字节 (32 位) 区域进行编码。这样可提供更大的地址范围, 并减少 PMP 配置寄存器的数量需求。

可灵活配置 PMP 机制来保护物理内存, 并限制对特定区域的访问权限。

有 2^{64} 个不同的虚拟地址, 需要 $2^{60}/512 = 2^{55}$ bytes, 则页表系在需要空间巨大

(2) 仅使用 48 位虚拟地址空间:

$$2^{48} \text{ bytes} / 4 \text{ KB} \times 8 \text{ bytes} = 2^{39} \text{ bytes}$$

(3) 多级页表:

① 空间利用率: 只为实际使用的页表条目分配内存。

② 层次结构: 通过分割虚拟地址空间为更小的区域。

③ 惰性加载: 只有在需要访问特定页时才加载到相应的页表条目。

5. (1) 页大小 4KB, 每页表条目使用 8 字节空间; 内存系统按字节寻址, 使用完整的 64 位虚拟地址时, 一个单级页表需要多大的空间用于存储页表:

(1) 每页可有 4KB/8 字节 = 512 个页表条目的地址。

嵌入式第十二次作业

Date.

6. 试简要分析为什么缓存一般使用地址的中间位作为组索引、高位作为标签？

解：为了提高缓存的命中率和访问性能，这种方式被称为“组相联”缓存。

1. 缓存的组索引：缓存通常被分为多个组。中间位提供了足够位数，灵活组相联，增加命中率。为两个或更多数据块具有相同的组索引时，可以在同一组中共享相同缓存行。

2. 缓存的标签：用于标识数据块。高位可提供更大的地址空间。可避免与如虚拟内存或页表的标识冲突。唯一标识，以便进行匹配或查找。

3. 命中率和性能：较小的硬件开销下提高了缓存的命中率。减少了因冲突的可能性，提高命中率，可以从缓存中直接获取，而不需要访问主存。

2. 提高缓存性能：确保在虚拟内存系统和缓存之间进行地址映射时保持一致。反映对于数据用于缓存中的地址映射。

3. 简化一致性维护：当不同级别缓存共享同一块物理内存时，可帮助确定缓存之间的数据是否相同或需要更新。可直接比较地址的相应位，无需进行位操作或拆分地址。

8. 缓存依赖于处理缓存的局部性原理。
解：由 L1 缓存，平均缓存缺失率为 3%，平均访问时间多少？

平均访问时间 $T = \text{命中时间 } t + \text{缺失率 } M \times \text{缺失惩罚 } P$ 。
 $t = 1 \text{ cycle}$, $P = 101 = 1.09 \text{ cycle}$ 。
 $M = 3\%$ 。
 $T = 1 + 3\% \times 1.09 = 4.27 \text{ cycle}$ 。
所以有足以放下完整数组，L1 大小为 64KB，平均访问时间？

命中率 $R = \frac{n}{N} = \frac{64\text{KB}}{1\text{MB}} = \frac{2^6 \times 2^{10}\text{B}}{2^{20} \times 2^{10}\text{B}} = 2^{-14}$ 。
 $\therefore T = t + MP = t + (1-R)P$
 $= 1 + (1 - 2^{-14}) \times 1.09 = 11.0 \text{ cycle}$ 。

3. 利用以上结果，局部性原理如何影响处理器的缓存性能？

答：缓存命中时延为 1 cycle，因为 cache 时间局限性使处理器能够在 cache 中直接读到数据。
a. 情况：缓存命中率高，充分利用时间局限性使延迟少；缓存缺失延迟为 11.0 cycle，

7. 真实的：物理地址地址组索引和块内偏移的总位数与虚拟内存系统的页偏移位数相同，如处：

答：1. 简化地址转换：通过将地址组索引和块内偏移总位数与页偏移位数保持一致，可简化地址转换的逻辑。可以直接使用相同的位进行地址转换。有助于提高访问速度和降低延迟。

Date.

是由于局部性原理中的空间局限性引起，命中所需处理量额外付出到下一级缓存内存。b: L总容量有限而访存数据地址范围又太大，未得到发挥。命中率较高，命中率↓。

14) 平均命中率需要满足什么条件，才能使本例中采用L1时获得性能收益：

$$T = t + (1-R)P < 1.05$$

$$\Rightarrow R > 1 - \frac{1.04}{1.09} = \frac{5}{109}$$

即要求命中率至少达到 $\frac{5}{109}$ 才有性能收益。

q.	编号	地址位数 Bit	缓存大小 Kb	块大小 Byte	相联度	组数量	旧数据 Bit	标签数 Bit	偏移位 Bit
1	1	32	4	64	2	32	5	21	6
2	2	32	4	64	8	8	3	23	6
3	3	32	4	64	全相联	1	0	26	6
4	4	32	16	64	1	256	2	18	6
5	5	32	16	128	2	64	6	19	7
6	6	32	64	64	4	256	8	18	6
7	7	32	64	64	16	64	6	20	6
8	8	32	64	128	16	32	5	20	7

10. A: 8KB直接映射缓存 命中延时0.22ns.

$$T_1 < T_2, \text{ 且 } p_1 < p_2 + 0.003.$$

缓存缺失率为 p_1 ; B: 64KB四组相联缓存，命中延时0.52ns，缓存缺失率为 p_2 .

2) 缓存缺失代价分别是各系统命中延时的k倍，A优于B？

由缓存缺失代价为常数100ns. A优于B？

$$T_1 = t_1 + m_1 p_1 = t_1 + k t_1 p_1 = t_1 (1 + k p_1)$$

$$\text{解: } T_1 = t_1 + m_1 p_1 = 0.22 + 100 p_1$$

$$T_2 = t_2 + m_2 p_2 = 0.52 + 100 p_2 = t_2 (1 + k p_2)$$

$$T_2 = t_2 + m_2 p_2 = 0.52 + 100 p_2$$

$$11 p_1 < \frac{1}{k} t_2 p_2$$

11. 16块, 块大小为64字节. 请求取块地址为: $0x1005 \equiv 1 \pmod{2}$

$0x1001, 0x1005, 0x1021, 0x1045, 0x1065, 0x1041 \equiv 1 \pmod{2}$...

$0x2005, 0x1005$. 直接映射、组内相联, 共发生0次替换.

4~8. 缓存发生块替换的次数.

解: ① 直接映射: 16组1路.

$$0x1001: 1 + (2^4)^3 = 2^{12} + 1$$

$$0x1005: 2^{12} + 2^8 \cdot 3 + 5$$

$$0x: 5 + 2^{12}$$

$$0x1021: 2^{12} + 2^8 + 5$$

$$0x1045: 2^{12} + 2^8 + 1$$

$$0x2005: 2^{13} + 14 \cdot 2^8 + 14 \cdot 2^4 + 3$$

$$0x1005: 2^{12} \cdot 15 + 2^8 \cdot 15 + 5$$

$$0x1001 \equiv 1 \pmod{16}$$

$$0x1005 \equiv 5 \pmod{16} \quad \dots \text{共发生4次替换}$$

② 2路组相联: 2路8组

$$0x1001 \equiv 1 \pmod{8}$$

$$0x1005 \equiv 5 \pmod{8}$$

$$0x1021 \equiv 1 \pmod{8} \quad \dots$$

共发生2次替换.

③ 4路组相联: 4路4组

$$0x1001 \equiv 1 \pmod{4}$$

$$0x1005 \equiv 1 \pmod{4}$$

$$0x1021 \equiv 1 \pmod{4}$$

$$0x1045 \equiv 1 \pmod{4} \quad \dots$$

共发生2次替换.

④ 8路组相联: 8路2组

$$0x1001 \equiv 1 \pmod{2} \quad \dots$$

12. 两个块大小均为16字节, 总容量为256字节的缓存:

A: 两路组相联, B: 直接... LRU. 运行下述程序时, 使用以上缓存的缺失率.

解: 共 $256 \div 16 = 16$ 个块, 一个块4K int.

缓存A: 2路8组

B: 1路16组.

总访存次数为 $96 \times 100 = 9600$ 次.

A 缺失次数:

$$96 \times \frac{1}{4} \times 100 = 2400 \text{ 次, 缺失率 } 25\%.$$

B 缺失次数:

$$(64 + 32 \times 99) \times \frac{1}{4} = 16 + 8 \times 99 = 16 + 792 = 808 \text{ 次}$$

$$\text{缺失率为 } \frac{101}{1200} = 8.42\%.$$

13. A[j][9]与A[j][9+1]相邻. 从利用缓存角度,

从局部性角度, 优化以上代码.

解:

```
for (int j=0; j<128; j++) {
    for (int i=0; i<64; i++) {
        A[j][i] = A[j][i+1];
    }
}
```

4

14. 系统仅对数组A生成读写时访问缓存,其他变量全部位于寄存器中.

1) 4KB直接~, 块大小32字节. 优化前后代码

缓存缺失次数分别为多少?

解: $4KB \div 32B = 128$ 个块

1个块含有 $32 \div 4 = 8$ 个 int 数据

优化前: 缺失次数为 $128 \times 64 = 8192$ 次

优化后: $128 \times \frac{1}{8} \times 64 = 1024$ 次.

2) 4KB分相联, 块大小32字节, FIFO替换策略.

解: 前: 缺失次数为 $128 \times 64 \div 8 = 1024$ 次.

后: 缺失次数为 $128 \times \frac{1}{8} \times 64 = 1024$ 次

16. 小存在一个512字节大小的缓存, CPU命中?

解: 总访问数 $N = 2 \times 128 = 256$ 次

命中次数 $n = 16 \times 3 \times 2 \times 2 = 192$ 次

命中率 $R = \frac{n}{N} = \frac{3}{4}$

2) 增加缓存总大小可以改善该程序命中率?

Cache总大小增大: 不能

3) 增加缓存块大小?

能, 且增大 $\frac{\text{块大小} \div 4B - 1}{\text{块大小} \div 4B}$

3) 块大小为32字节的直接映射缓存, 除了必要的强制缺失外, 前伪码需要多大缓存容量.

前: $128 \times 8 \times 32B = 32KB$

后: $1 \times 32B = 32B$

15. 填写数组中每个元素的缓存命中情况.

input数组

output数组

ry0 ry1 ry2 ry3

ry0 ry1 ry2 ry3

行0 miss m h miss

m m m m

行1 m h m h

m m m m

行2 m m h m

m m m m

行3 m h m h

m m m m