

17.

1)  $0x05a4 = 00\ 0101\ 1010\ 0100$ 由页大小为  $64\text{字节} = 2^6\text{字节}$ 故后6位  $100100$  为页内偏移前8位  $00\ 0101\ 10$  为虚拟地址因此, 由于4组  $= 2^2$  组, 索

引为 10, 即组号 = 2.

标签  $00\ 0101 = 0x05$ ,

有效位 = 1, 命中.

物理地址 = 物理地址 + 页内偏移

 $= 011100100100$  $= 0x724$ 

2) 物理地址占 6 bit,

3) 物理地址

011100100100,

132 位块偏移, 映射

至组号 100 = 9.

标签:  $0111\ 00 = 0x1C$ 

有效位 = 1, 命中,

结果:  $0x63$ .

18.

18. 一段程序循环往复地按顺序访问 A、B、C、D 四个地址上的数据。考虑一个拥有 2 条目的全相联缓存, 回答以下问题。

1) 使用 LRU 替换策略时, 填写下表。当程序长时间运行时, 缓存的命中率为多少?

访存地址	A	B	C	D	A	B	C	D
way 0	—	A	<b>A</b>	<b>C</b>	<b>C</b>	<b>A</b>	<b>A</b>	<b>C</b>
way 1	—	—	<b>B</b>	<b>B</b>	<b>D</b>	<b>D</b>	<b>B</b>	<b>B</b>
命中?	N	N	<b>N</b>	<b>N</b>	<b>N</b>	<b>N</b>	<b>N</b>	<b>N</b>

2) 提出一种缓存替换策略, 使得上述程序可以在该缓存中拥有最大的命中率, 并计算该命中率。

只用到 4 页, 次数大于缓存已使用页数  
才替换; 50%

19. 1) 因为只根据低地址来进行数据预读, 因此要求低地址必须唯一保证预读的数据唯一
- 2) 即在高地址取数验证后发现真正命中, 则降低了原来正确的命中率的延时, 因为在确认之后已经开始使用数据了; 而若未真正命中, 则会产生命中冲突的代价开销, 增加了硬件结构设计的复杂度, 并带来额外的延时.

3)  $16KB$  大小 =  $2^{14}$  Byte, 3 位移位  $b=14$   
 $8K$  byte Cache 4 块, 每块  $2KB = 2^n$  Byte  
 设  $2^m$  组, 块大小  $2^n$  Byte, 故有  $m+n=11$   
 设  $x$  位程序员 tag,  $b$  位页偏移  
 则  $x+m+n \leq b$ , 即  $x \leq b-(m+n) = 14-11=3$  位

- 20.
- |        |                 |                |
|--------|-----------------|----------------|
| 共享一致性: | 优: 单对单传播, 扩展性好, | 代价:            |
|        | 缺: 处理时间长, 延迟高   | ① 处理时间<br>上的延时 |
| 监听一致性: | 优: 单对多, 延迟低,    | ② 硬件开销<br>增大   |
|        | 缺: 总体规模大, 扩展性差  |                |