

假设一个未流水化的处理器使用单个长周期来执行每条指令，时钟周期为 7ns。将其进行 5 级分割后，每个阶段需要的时间为：IF 1ns、ID 1.5ns、EX 1ns、MEM 2ns、WB 1.5ns，插入的每个流水线寄存器的延迟为 0.1ns，则：

1) 5 级流水化后的处理器时钟周期应为多少？

2) 流水化后的机器相比原来单周期处理器的加速比是多少？

3) 如果流水化的机器拥有无限多个流水级，流水线寄存器延迟不变。则相比原来单周期处理器的加速比极限是多少？

$$1) T_{\text{pipe}} = t_{\max} + 0.1\text{ns} = 2.1\text{ns}$$

$$2) k \approx \frac{T_{\text{cycle}}}{T_{\text{pipe}}} = \frac{7}{2.1} = \frac{10}{3}$$

$$3) F \approx \frac{T_{\text{cycle}}}{t_{pd}} = \lim_{n \rightarrow \infty} \frac{7}{\frac{7}{n} + 0.1} = 70$$