

2. 考虑以下指令序列：

I1: ld a1,0(s1)
I2: mul a2,a0,a2
I3: add a1,a2,a2
I4: ld a2,0(s2)
I5: add a3,a1,a2
I6: sd a3,0(s3)

不必考虑内存地址的相关性，在下表中列出所有的数据依赖。

	I1	I2	I3	I4	I5	I6
I1	-					
I2		-				
I3		RAW	-			
I4				-		
I5				RAW	-	
I6					RAW	-

$$4. (1) S = \frac{T_B}{T_A} \times \frac{CPI_B}{CPI_A} = \frac{0.6ns + \frac{3 \times 0.6ns}{8}}{1ns + \frac{1ns}{5}} \times \frac{N+12-1}{N+5-1} = \frac{11}{16} \approx 1.45.$$

则加速比为 1.45.

$$(2) CPI_A = \frac{N+5-1 + \frac{N}{8} + 20\% \times N \times 5\% \times 2}{N} = 1 + \frac{1}{5} + 0.02 = 1.22.$$

$$CPI_B = \frac{N+12-1 + \frac{N}{8} \times 3 + 20\% \times N \times 5\% \times 5}{N} = 1 + \frac{3}{8} + 0.2 \times 0.25 = 1.425$$

6.1 考虑如下所示的代码片段，假设 a2 寄存器的初值为 0，a3 寄存器的初值为 100。回答以下问题：

Loop: ld a1,0(a2) > RAW
addi a1,a1,1 > RAW
sd a1,0(a2) > WAW
addi a2,a2,4 > RAW
sub a4,a3,a2
bnez a4,Loop

1) 列举代码中的数据相关，说明它们有可能导致什么类型的数据冲突（不考虑流水线级数）。

2) 考虑一个 5 级 RISC 流水线，该流水线不使用任何前馈硬件。假设 MEM 阶段均在单个周期内完成，分支指令在 WB 阶段完成后取新指令。按照下表的格式补充表格，写出该代码段在一次循环中的完整执行时序，并计算执行完成所有循环共需要多少个时钟周期。

	1	2	3	4	5	6	7	8	9	10
ld a1,0(a2)	IF	ID	EX	MEM	WB					
addi a1,a1,1		IF	ID	s	s	EX	MEM	WB		
sd a1,0(a2)			IF	s	s	s	s	s	ID	EX
addi a2,a2,4									IF	ID
sub a4,a3,a2										IF
bnez a4,Loop										IF

11 12 13 14 15 16 17 18 19 20 21

MEM WB
s EX MEM WB
s s ID s s EX MEM WB
IF s s ID s s EX MEM WB

$$n = \frac{100}{5} \times 21 = 420$$

