

9、(1)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	
fld	f ₂ , 0(a0)	L1	L2	L3	L4		D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇	D ₈	D ₉	D ₁₀	D ₁₁	M1	M2	M3	M4	M5	L1	L2	L3	L4		F _{A1}	F _{A2}	F _{A3}		
fdivd	f ₈ , f ₀ , f ₂																															
fmul.d	f ₂ , f ₀ , f ₂																															
fld	f ₄ , 0(a1)																															
fadd.d	f ₄ , f ₀ , f ₄																															
fadd.d	f ₁₀ , f ₈ , f ₂																															
fsd	f ₁₀ , 0(a0)																															
fsd	f ₄ , 0(a1)																															
addi	a ₀ , a ₀ , 8																															
addi	a ₁ , a ₁ , 8																															
sub	x ₀ , x ₄ , a ₀																															
bnez	x ₀ , L002																															

共需 31 个周期。

(2)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24									
fld	f ₂ , 0(a0)	L1	L2	L3	L4		D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇	D ₈	D ₉	D ₁₀	D ₁₁	M1	M2	M3	M4	M5	L1	L2	L3	L4		F _{A1}	F _{A2}	F _{A3}			
fdivd	f ₈ , f ₀ , f ₂						D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇	D ₈	D ₉	D ₁₀	D ₁₁																
fmul.d	f ₂ , f ₀ , f ₂						M1	M2	M3	M4	M5																						
fld	f ₄ , 0(a1)						L1	L2	L3	L4																							
fadd.d	f ₄ , f ₀ , f ₄																																
fadd.d	f ₁₀ , f ₈ , f ₂																																
fsd	f ₁₀ , 0(a0)																																
fsd	f ₄ , 0(a1)																																
addi	a ₀ , a ₀ , 8																																
addi	a ₁ , a ₁ , 8																																
sub	x ₀ , x ₄ , a ₀																																
bnez	x ₀ , L002																																

- 次迭代需要 24 个周期

(3)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20													
fld	f ₂ , 0(a0)	L1	L2	L3	L4		D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇	D ₈	D ₉	D ₁₀	D ₁₁	M1	M2	M3	M4	M5	L1	L2	L3	L4		F _{A1}	F _{A2}	F _{A3}			
fld	f ₄ , 0(a1)	L1	L2	L3	L4		D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇	D ₈	D ₉	D ₁₀	D ₁₁																
fdiv.d	f ₈ , f ₀ , f ₂						D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇	D ₈	D ₉	D ₁₀	D ₁₁	M1	M2	M3	M4	M5											
fmul.d	f ₂ , f ₀ , f ₂						M1	M2	M3	M4	M5																						
fadd.d	f ₄ , f ₀ , f ₄																																
fsd	f ₄ , 0(a1)																																
addi	a ₀ , a ₀ , 8																																
addi	a ₁ , a ₁ , 8																																
sub	x ₀ , x ₄ , a ₀																																
bnez	x ₀ , L002																																
fadd.d	f ₁₀ , f ₈ , f ₂																																
fsd	f ₁₀ , 0(a0)																																

- 次迭代需要 20 个周期

10、

10. LOOP:

```
fld T9, D(00)  
fmul.d T10, T0, T2  
fdiv.d T11, T9, T10  
fld T12, D(01)  
fadd.d T13, T0, T12  
fsub.d T14, T11, T13  
fsd T14, D(01)
```

11、

11. 显式重命名：让物理上的寄存器惟具有的真实寄存器数目即ISA定义的寄存器数目多。对每条需要写入的指令，总是新分配一个目的寄存器。

隐式重命名：用于物理实现的寄存器数量与ISA规定保持一致，但其中仅存放已经最终召回的指令结果，该寄存器惟一般也称为ARF。处于推测状态的指令值由一些其他的结构保存，如存放在重排序缓冲区中。

相同点：①都引入了冗余的存储空间来避免硬件对同名寄存器的争用。
②都需要引入映射表来维护正确的数据依赖。

不同点：①显式方案提供更多的物理寄存器，而隐式方案把推测值暂存在重排序缓冲区等其他结构中。
②显式重命名不需要在重排序缓冲区中创建大量的存储临时值空位。

显式重命名优缺点：优点：不需要在重排序缓冲区中创建大量的存储临时值空位。

缺点：需要更多的物理寄存器。

隐式重命名优缺点：优点：不需要更多的物理寄存器。

缺点：需要在重排序缓冲区中创建大量的存储临时值空位。

实现方式：采用即ISA寄存器数量更多的物理寄存器

隐式重命名
采用快播站和RDR实现。