

WS 作业

2. 考虑以下指令序列：

I1: ld a1,0(s1)

I2: mul a2,a0,a2

I3: add a1,a2,a2

I4: ld a2,0(s2)

I5: add a3,a1,a2

I6: sd a3,0(s3)

不必考虑内存地址的相关性，在下表中列出所有的数据依赖。

	I1	I2	I3	I4	I5	I6
I1	-					
I2	/	-				
I3	WAW	RAW	-			
I4	/	WAW	WAR	-		
I5	RAW	RAW	RAR	RAW	-	
I6	/	/	/	/	RAW	-

4. 流水线级数的适度加深一方面能够提高频率，但同时也会使流水线冲突的停顿代价变大，最终的性能变化是两者综合作用的结果。考虑两个处理器：处理器 A 有 1ns 时钟周期的 5 级流水线，平均每 5 条指令经历一周期停顿。处理器 B 有 0.6ns 时钟周期的 12 级流水线，平均每 8 条指令经历三周期停顿。

1) 处理器 B 相比处理器 A 的加速比是多少？

2) 若分支指令占所有指令类型的 20%，处理器 A 的错误预测代价为 2 周期，处理器 B 的错误预测代价为 5 周期。两处理器的错误预测率均为 5%。计算两处理器的 CPI。

$$1) \quad S = \frac{0.6 \times \frac{1}{6}}{1 \times \frac{1}{5}} = \frac{11}{16}$$

$$2) \quad A: CPI = \frac{6 + 5 \times 0.01 \times 2}{5} = \frac{6.1}{5}$$

$$B: CPI = \frac{11 + 8 \times 0.01 \times 5}{8} = \frac{11.4}{8}$$

6. 考虑如下所示的代码片段，假设 a2 寄存器的初值为 0，a3 寄存器的初值为 100。回答以下问题：

```
Loop:  ld  a1,0(a2)
      addi a1,a1,1
      sd  a1,0(a2)
      addi a2,a2,4
      sub  a4,a3,a2
      bneza4,Loop
```

1) WAW, RAW, WAR

- 1) 列举代码中的数据相关，说明它们有可能导致什么类型的数据冲突（不考虑流水线级数）。
- 2) 考虑一个 5 级 RISC 流水线，该流水线不使用任何前馈硬件。假设 MEM 阶段均可在单个周期内完成，分支指令在 WB 阶段完成后取新指令。按照下表的格式补充表格，写出该代码段在一次循环中的完整执行时序，并计算执行完成所有循环共需要多少个时钟周期。

	1	2	3	4	5	6	7	8	9	10
ld a1,0(a2)	IF	ID	EX	MEM	WB					
addi a1,a1,1		IF	ID	s	s	EX	MEM	WB		
sd a1,0(a2)			IF	s	s	ID	EX	s	MEM	WB

sd a1,0(a2)
addi a1,a1,1
sub a4,a3,a2

bneza4,Loop

17 个时钟周期

11 12
13 14 15 16
MEM WB
IF s s ID
s s MEM
17
WB

19. 基础的 5 级 RISC 流水线能够单周期完成 ID 阶段的前提是寄存器堆拥有至少 2 个读端口以同时读出 2 个源操作数。假设某个系统仅能使用具有单个读端口的寄存器堆，这将导致流水线面临结构冲突。为此，拥有两个源操作数寄存器的指令的 ID 阶段需要被拆分为两周期完成，单个源操作数寄存器指令则不受影响。

1) 标记下表中的指令是否需要两周期完成 ID 阶段。

	add	addi	ld	sd	bne	jal	jalr
是否需要 2 周期?	✓	✓	✗	✗	✗	✗	✓

2) 考虑以下指令序列：

```
Loop:  lw      a4,0(a3)
        addw    a1,a4,a1
        addiw   a2,a2,-1
        addiw   a3,a3,4
        bnez    a2,Loop
```

若 a1 初值为 0，a2 初值为 N，流水线无前馈，则在上述单个读端口寄存器堆系统中，循环单次迭代需要的周期数是多少？画出执行时序表。

3) 为流水线引入前馈，如果两个源操作数寄存器中的任意一个可以通过前馈而不是读寄存器堆得到，则即使寄存器堆只有一个读端口，ID 阶段仍然可以单周期完成。此时上述代码段单次迭代需要的周期数是多少？画出执行时序表。

2)