

1. 假设一个未流水化的处理器使用单个长周期来执行每条指令，时钟周期为7ns。将其进行5级分割后，每个阶段需要的时间为：IF 1ns, ID 1.5ns, EX 1ns, MEM 2ns, WB 1.5ns，插入的每个流水线寄存器延迟为0.1ns，问：

1) 5级流水化后的处理器时钟周期应为多少？

时钟周期应为耗时最长的阶段与寄存器延迟之和

$$\text{时钟周期} = 2\text{ns} + 0.1\text{ns} = 2.1\text{ns}$$

2) 流水化后的机器相比原来单周期处理器的加速比是多少？

$$\frac{T_{\text{pipe}}}{T_{\text{cycle}}} = \frac{2.1\text{ns}}{7\text{ns}} = 0.3 = \frac{1}{K}, \therefore K \approx 3.33,$$

当执行的指令数足够大时，加速比约为3.33

3) 如果流水化的机器拥有无限个流水级，流水线寄存器延迟不变，则比原来单周期处理器的加速比极限是多少？

$$T_{\text{pipe min}} = 0.1\text{ns}$$

$$\text{加速比 max} = \frac{7\text{ns}}{0.1\text{ns}} = 70$$

∴ 加速比极限约为70。