

第五章 计算机I/O系统

1. 习题 1

串行总线：优点：物理连线数目少，消耗硬件资源少，功耗更低。
缺点：相同频率下传输速率更慢。

并行总线：优点：可同时传输更多数据，相同频率下传输速率更快。
缺点：需要较多物理连线和相应的硬件资源，功耗高。

接速率不同：并行总线物理连线比串行总线多，单次可传输多位数据。

2. 习题 2

$$1) \frac{1}{960} \times \frac{1}{T_0} = \frac{1}{9600} \text{ s}$$
$$1 \div \frac{1}{9600} = 9600$$

即波特率为 9600

$$2) 960 \times 7 = 6720 \text{ b/s} \Rightarrow 840 \text{ B/s}$$

3. 习题 3

1) 构成：起始、地址帧、读/写位、ACK/NACK位、数据帧1、
ACK/NACK位、数据帧2、

$$8M \times 18.0 \dots 8.408 \times 1 = 8 \times 1 \times 0.75 \times 1$$

ACK/NACK位、数据帧n、...、终止

ACK/NACK位、终止

2) 因为 I2C 协议仅使用一条数据线 SDA

3) 起始条件：在 SCL 为高电平时，SDA 由高向低跳变

终止条件：在 SCL 为低电平时，SDA 由低向高跳变

4. 习题 4

- 1) 由组成 RAID0 的 MTF 为 $\frac{1}{2}$ 小时
- 2) 每 2 块磁盘组成 RAID-1，两个 RAID-1 的存储空间之和为 100G，满足要求（大于 80G）

5. 习题 5

寻道时间：磁头臂移动到正确位置并消除抖动所需要的时间。

影响因素：磁头臂需要移动的距离和移动速度

旋转时间：定位到正确的磁道后，盘片通过旋转使正确的扇区被旋转到磁头的正下方消耗的延时。

影响因素：旋转速度

数据传输时间：目标扇区定位到磁头正下方后，传送一个扇区的数据所需要的时间。

影响因素：旋转速度

6. 习题 6

$$1) b \times 240 \times 12 KB = 17280 KB = 16.875 MB$$

静态容量 16.875 MB

2) 以最好情况估算，数据传输速率为 10A

$$5400 \times 12 \div b_0 = 1080 KB/s$$

3) 假设数据平均分布，则平均旋转时间为旋转周期的 $\frac{1}{2}$

$$\frac{1}{5400} \times b_0 \times \frac{1}{2} = \frac{1}{180} s \approx 5.56 ms$$

而平均旋转时间为约为 5.56ms

7. 习题 7

一旦待访问扇区的第一个字节被读取，该扇区后续字节的顺序访问延时就比较小。磁盘控制电路可以先缓存一段时间的磁盘 I/O 请求，并利用上述原理决定请求的最优执行次序，以达到最短的磁头移动距离，从而减小寻道时间；还可以优化执行次序以达到最小的盘片转动圈数，从而优化磁盘旋转时间。

8. 习题 8

RAID-4 写入优化后只牵涉两个磁盘：待写入数据的物理磁盘和奇偶校验磁盘，不必在其他磁盘中产生读取任务，减少读取任务量从而优化了性能，在物理磁盘数量很多时能显著提升性能。

9. 习题 9

从 $W = \frac{1}{\mu - \lambda}$ 考虑

一方面磁盘 I/O 请求数（平均到达率 λ ）最小也只能减到 0

另一方面 λ 减少后，平均服务率 μ 对性能的限制更加明显

10. 习题 10

有可能。突发模式和周期窃取模式可能争抢带宽，透明模式不会争抢带宽。
处理器和 I/O 设备都访问内存，而且可能争抢带宽，如果存储器层次设计不好，访问存储器的延时增大，“内存墙”对性能的限制会更加显著。

第0章 SOC 设计

1. 习题 1

常见的总线仲裁机制包括轮询机制和优先级仲裁机制。

轮询机制 优点：算法简单；缺点：当访问总线需求差异较大时，会降低总线效率，提高延迟。

场景：各个设备对总线的访问需求相近。

优先级仲裁机制 优点：访问需求差异较大时性能更好；缺点：算法较复杂，硬件复杂度有一定提升，还需要配套的保护机制。

场景：经常访问总线的主设备有较高的优先级。

场景：有的主设备经常访问总线而有的设备访问频率较低。

2. 习题 2

① APB 特点：低功耗，适合控制低带宽外设；串行传输，只需要两根信号线，节省了PCB空间。

场景：对系统功耗和PCB空间有严格要求的场景。

② AHB 特点：高性能、高灵活性，支持多设备访问；支持总线分裂，可在一个时钟周期内完成多次总线事务；支持带宽共享，可以通过总线矩阵实现多个总线设备之间的数据交换。

场景：适用于对系统性能、带宽和硬件成本有严格要求的场景。

③ AXI 特点：支持高速交换，传输带宽高；支持乱序传输，可最大限度提高总线利用率；支持嵌套往返延迟掩盖。

场景：需要高性能、低延迟的场景。

④ AXI 在 AXI 基础上增加了内存一致性支持的总线协议

特点：支持多核处理器、多个缓存一致访问内存数据，保证一致性；支持多个设备进行一致性维护，提供高效的总线传输方案；支持灵活的 AXI 总线端口映射。

场景：适用于需要多处理器缓存互通，内存一致性底层支持的系统。

⑤ CHI 特点：支持高速互联，在两个处理器之间快速交换数据；支持内存一致性，能够自动进行缓存一致性维护；支持多核处理器，多个缓存一致访问内存数据。

场景：适用于需要高性能、低延迟、高度可扩展的系统。

3. 习题 3

(1) 4 个独立的事务通道：AXI 主路段、AXI 从路段、AXI 内存一致性、
AXI 互连中心接口

AXI 不设置独立的读响应通道是因为读响应可以直接在读数据通道上发送，因此不需要单独的读响应通道。这种设计可以减少总线所需的引脚数，降低硬件实现难度和成本。

(2) 依赖关系：

传输数据之前，AXI 主路段首先发出有效的读/写请求，即 PAR/ARVALID 或 AW/AWVALID 信号有效；

AXI 从路段对主路段的读/写请求进行应答，即产生 ARREADY 或 AWREADY 信号；~~在 AXI~~

在 AXI 主路段收到读响应数据之前，AXI 从路段必须先按照请求的大小和地址传输相应的响应数据，即 RDATA 或 WDATA 信号；

最后 AXI 主路段产生对应的读响应信号，即 RRESP 或 BRESP 信号。

这样的时序依赖关系，可以确保 AXI 传输事务的正确性，最大限度利用总线带宽，同时减少了硬件实现的复杂度和错误。

(3) AXI 的突发传输是指 AXI 总线在一次总线访问事务中可以连续地传输多个数据或指令，从而提高总线的传输效率。具体来说，AXI 突发传输可以在一次地址传输事务中，连续传输多个数据或指令，无需每次传输时都发出独立的地址请求。

AXI 突发传输有以下类型：固定长度突发传输、不定长突发传输、延迟写突发传输、无附加操作突发传输。