

9. 考虑一个顺序流水线，忽略前端的取指和译码，处理器从发射到执行完成不同指令所需要的总周期数如下表所示。

指令类型	总周期数
内存加载	4
内存存储	2
整型运算	1
分支	2
浮点加法	3
浮点乘法	5
浮点除法	11

考虑如下的指令序列：

```

Loop:  fld      f2,0(a0)
      fdiv.d   f8,f0,f2
      fmul.d   f2,f6,f2
      fld      f4,0(a1)
      fadd.d   f4,f0,f4
      fadd.d   f10,f8,f2
      fsd      f10,0(a0)
      fsd      f4,0(a1)
      addi     a0,a0,8
      addi     a1,a1,8
      sub      x20,x4,a0
      bnz      x20,Loop
  
```

1)

write	read	exe	write
1	2	3-4-5-6	7
7	8	9-19	20
8	9	20-24	25
9	10	25-28	29
21	30	31-33	34
30	31	34-36	37
37	38	39-40	41
38	39	41-42	43
41	42	43	44
43	44	45	46
44	45	46	47
47	48	49	50

1) 假设一条单发射顺序流水线，在没有数据冲突或分支指令时，每个周期均会新发射一条指令（假设运算单元是充足的）。检测到数据冲突或分支指令时则会暂停发射，直到冲突指令执行完毕才会发射新的指令。则上述代码段的一次迭代需要多少个周期执行完成？

50个周期

9. 考虑一个顺序流水线，忽略前端的取指和译码，处理器从发射到执行完成不同指令所需要的总周期数如下表所示。

指令类型	总周期数
内存加载	4
内存存储	2
整型运算	1
分支	2
浮点加法	3
浮点乘法	5
浮点除法	11

考虑如下的指令序列：

Loop:	fld	f2,0(a0)	1	2	3-6	7
	fdiv.d	f8,f0,f2	1	7	8-18	19
	fmul.d	f2,f6,f2	2	3	4-8	9
	fld	f4,0(a1)				
	fadd.d	f4,f0,f4				
	fadd.d	f10,f8,f2				
	fsd	f10,0(a0)				
	fsd	f4,0(a1)				
	addi	a0,a0,8				
	addi	a1,a1,8				
	sub	x20,x4,a0				
	bnz	x20,Loop				

- 假设一条双发射顺序流水线，取指和译码的带宽足够，运算单元充足，且数据在两条流水线之间的传递是无延迟的，因此只有真数据冲突才会导致流水线停顿。则上述代码段的一次迭代需要多少个周期执行完成？
- 调整指令的排列顺序，使得其在上述双发射流水线中完成一次迭代需要的周期数量减少。给出调整后的指令序列及一次迭代所需要的周期数。

10. 考虑如下的代码片段：

```

Loop:  fld    f4,0(a0)
       fmul.d f2,f0,f2
       fdiv.d f8,f4,f2
       fld    f4,0(a1)
       fadd.d f6,f0,f4
       fsub.d f8,f8,f6
       fsd    f8,0(a1)
    
```

fld T9, 0(a0)
 fmul.d T10, T11, T10
 fdiv.d T12, T9, T10
 fld T13, 0(a1)
 fadd.d T14, T11, T13
 fsub.d T15, T12, T13

现将其进行简单的寄存器重命名，假定有 T0~T63 的临时寄存器池，且 T9 开始的寄存器可用于重命名。写出重命名后的指令序列。

11. 查阅资料，简述显式重命名和隐式重命名的区别、优缺点以及可能的实现方式。

隐式重命名中物理寄存器数量和 ISA 寄存器数量相同。
 ISA 寄存器只保存已提交的指令的值

