

5/30 Ch5 习题:

1. 串行总线: 优点: ①简化物理连接, 降低布线复杂性和成本。②抗干扰能力强, 适用于远距离通信。

③可减少传输时的误码率, 提高传输质量。④方便支持全双工传输方式。

缺点: ①一次只能传输1位数据, 传输速率较低。②对于时钟的同步要求性较高。

并行总线: 优点: ①可同时传输多位数据, 传输速度较快。②可用多线进行数据传输, 硬件控制开销减少。

缺点: ①布线复杂性高, 成本较高, 不适用于远距离传输。②频率提高后线间电磁干扰严重, 降低数据传输质量。

接口速率不同原因: 虽然理论上并行总线传输速率较高, 因为其能同时传输多位数据, 但实际上USB 3.0、PCIe等技术的发展已让高速串行总线远远超过并行总线, 其原因有①并行总线用更复杂编码技术及差分信号等来提高传输带宽利用率。

②抗干扰能力更强, 且无信号同步问题。③线协议和控制复杂, 带来更好的错误控制, 可靠性更强。④单位码付成本更低。

由上述几点, 现在高速串行总线速率可能更快, 且在应用上已远盛行于并行总线。

2. (1) 波特率 = $960 \times (1+1+1+1) = 9600 \text{ bps} = 9600 \text{ Baud}$

(2) 数据传输速率 = 波特率 = 9600 bps , 而10位数据中只有7位为有效数据位

有效数据传输率 = $9600 \times \frac{7}{10} = 6720 \text{ bps}$ "bps为: bit per second 每秒多少位"

3. (1) I2C数据帧构成: 包含一位起始信号, 7位或10位的地址帧, 1位读/写标志位, 1位应答位(Ack/Nack),

若干个8位的数据帧, 且每个数据帧后均会接1个应答位, 最后会有1位中止信号。

(2) 半双工: I2C的串行总线是由两根信号线: 数据线SDA和时钟线SCL构成, 该数据线为输入/输出双向线。

故数据输入输出数据均使用同一根线, 数据只能在个方向流动无法同时输入输出, 故I2C为半双工的。

(3) 起始条件: 在时钟线SCL为高电平时, 数据线SDA电平由高变低, 即从总线空闲状态变为起始状态, 为起始条件。

中止条件: 在时钟线SCL为高电平时, 数据线SDA电平由低变高, 即变回了总线空闲状态, 此为中止条件。

4. (1) 由于组成的阵列是RAID0, 故由4块磁盘组成的RAID0的MTTF为 $\frac{N}{4}$ 小时。

(2) 由于只需80个G, 存储冗余量较大, 故采用RAID-1的盘设计, 使用2块硬盘进行数据冗余, 还有2块硬盘作为对应硬盘的镜像, 在这种情况下, 理想的MTTF应可达到 $2N$ 小时。

① 寻道时间: 磁头从当前位置移动到目标磁道并消除抖动所需要的时间, 其由转速、盘片容量和调度策略共同影响, 转速越快, 盘片容量越大, 平均寻道时间越低, 而若扇区访问连续, 寻道时间也可大幅度减少 (即控制调度策略)。

② 旋转时间: 磁头移动到目标磁道后, 目标扇区随着盘片转动而经过磁头下方所需的时间。以优化旋转时间。

旋转时间主要由转速决定, 转速越快, 旋转时间越短; 其还可由控制电路决定, 可通过控制器优化执行顺序减少旋转时间。

③ 数据传输时间: 磁头完成读出或写入所用的时间, 该速度取决于磁盘数据传输速率, 与制作工艺相关。

6. (1) 总容量 = $6 \times 240 \times 12 = 17280 \text{ KB} = 16.875 \text{ MB}$ 。

(2) $5400 \text{ r/min} = 90 \text{ r/s}$ $90 \times 12 = 1080 \text{ KB/s}$

(3) 平均旋转时间 = $60 \div 5400 \div 2 = \frac{1}{180} \text{ s} \approx 0.0056 \text{ s}$

7. 磁盘控制电路主要通过一些调度算法来得到最优的执行次序, 这些调度算法包括: ① 先来先服务算法 (FCFS) 即按照请求到达次序执行, 简单但效率不高。② 最短寻道时间优先算法: 从等待访问者中挑选寻道时间最短请求执行。

③ 扫描算法: 按磁头可访问的磁道最短寻道时间优先算法, 即磁头磁头在局部位置往返移动, 形成访问用时, 提高性能。

8. 写入优化过程: 在数据块写入物理磁盘前, 首先读出该位置原先的数据块, 对比将要写入的新数据块, 计算出发生翻转的位, 并由芯片发出奇偶校验磁盘中该位置数据块对应位是需要翻转。优化后写入方式只影响两个物理磁盘, 故在物理磁盘多时可显著提升性能, 可以有效提升读取速度。

9. $W = \frac{1}{\mu - \lambda}$, 其中 μ 为服务速率, λ 为平均请求到达率, 故 I/O 请求减少会使 λ 减小, 故 $\frac{1}{\mu - \lambda}$ 值减小, 平均等待时间降低。

令 $\mu - \lambda = x$, 故 $W = \frac{1}{x}$, $\frac{dW}{dx} = -\frac{1}{x^2}$, 故随着 $(\mu - \lambda)$ 值进一步上增大, $|\frac{dW}{dx}|$ 值不断减小, 即平均等待时间减少速率变慢, 变化幅度减少, 故磁盘队列系统的性能提升幅度会不断下降。

10. DMA 工作原理: 若是按数据块进行 I/O, 在需要传输大量数据时, 可以对 I/O 设备与解机内存进行数据块, 无需 CPU 介入。DMA 在传输时需要使用内存总线而 CPU 也要使用内存总线, 故形成内存总线竞争, 故会争抢内存带宽资源。

内存带宽竞争影响: ① 通过设计多级缓存, 即在处理器侧进行指令时, 会优先在最接近自己的缓存中获取数据, 在实际运行时, 大部分数据访问可以在缓存中完成, 故 DMA 对处理器运行影响较小。

② 通过优化设计, 将 I/O 和内存访问总线, 支持 DMA 和处理器同时访问不同内存总线, 从而避免冲突。

③ 使用交叉相关策略, 允许各个设备同时访问内存, 降低其产生的竞争, 对带宽资源加争抢。

ch6问题:

1. 总线仲裁机制是指在多个设备之间分配总线使用权的过程。通过该机制决定哪个设备可优先使用总线。

① 轮询式查询(固定优先级查询): 所有设备均拥有一个固定优先级, 优势为其需要的控制线较少, 结构简单, 扩展容易。

缺点为对硬件电路故障敏感, 优先级低的部件可能长期无法使用总线。适用于简单、实时性要求低的设备之中。

② 计时器定时仲裁: 设置一个计时器, 每个设备根据计时器的状态决定是否访问总线。其优势为保证各个部件的公平性, 且优先级设置灵活。

缺点是控制线多且复杂, 可能无法对冲突进行仲裁。适用于设备数量固定且设备总线访问需求相对平均的场景。

③ 独立请求(动态优先级): 在请求使用总线前, 选择内优先级最高设备优先使用总线。优势为响应速度快, 优先级灵活。

缺点为控制线非常复杂, 控制线多, 导致设备长期无法使用总线。适用于实时性要求高, 任务优先级明确的场景。

④ 权重轮询调度(Round Robin): 根据每个设备的权重和请求公平性共同决定优先级。优势为优先级灵活且能实现优先级和公平性平衡。

缺点是实现复杂度高, 算法复杂。适用于数据中心、云计算等复杂情景。

2. APB是无交叉传输低功耗, 外总线操作, 结构简单, 无地址数据多路复用, 适用于低功耗并低带宽的外围设备。

AHB: 支持总线仲裁、突发传输、流传输, 流水操作复杂度高, 同时提供了一种握手协议, 允许在数据传输过程中暂停总线事务。适用于高性能、高频率的系统, 如处理器、DMA控制器、片内存储器控制接口中, 实现高性能数据传输。

AXI 具有独立的读、写通道, 有高性能突发传输、流传输, 窄带对外传输, 分离了地址、控制和数据, 并行读写。

适用于高性能、高频率、高数据带宽系统, 如与高速外设的连接、处理器与内存间的连接。

ACE: 在AXI基础上支持缓存一致性, 使多核处理器核心共享内存中的数据, 无需总线同步。适用于多核系统的场景中。

CHI: 支持多核系统中的数据一致性和缓存管理, 包括符合MESI协议。适用于大规模、高性能多核处理器系统中。

3. AXI中独立通道: 写地址及写控制线通道、写数据通道、^{写响应}~~读数据~~通道、读地址通道、读数据通道, 共5个独立通道。

独立读响应通道原因: 读取操作响应信息可通过读数据通道一同返回, 无需额外通道便可实现读写操作状态反馈。

(1) 每通道都有两相握手信号VALID和READY, 发送方通过VALID信号表明已放置有效数据, 接收方通过READY表明已准备好接收信息。

依此原理: 数据只在两信号均为高电平时才被接收, 接收方READY拉高后再去拉高VALID, 从而握手信号VALID信号才被拉高。

约束目的: 实现流控制且双向控制, 防止由于接收方处理速度跟不上发送方而产生的数据丢失情况的发生。

(2) AXI突发传输, 在地址总线上一次地址传输后, 连续进行多个数据传输。可成倍节省开销, 提高数据传输效率。

三种类型: ① FIXED BURST: 适合对某固定地址进行数据更新 ② INCREMENT BURST: 每数据有存储地址在每传输一次后, 以突发传输的方式进行递增。③ WRAP BURST: 地址从特定边界进行循环递增。(①适合FIFO; ②适合寄存器内存; ③适合环形缓存区)。