



17. (1) 虚拟地址为 $0x05a4$, 其中 a_4 为 $index$, $a_4 =$

由于 TLB 为 4 路组相联, 因此只要 2 位 bit 就可以寻址,

$0x05a4 = 0000\ 0101\ 1010\ 0100$, 由题意可知两位 a_4 代表索引。由题

需 2 位即可寻址, 因此 $a_4 = 10$, 第 2 位, 观察可知命中, 物理页号为 $0x1c$, 页内偏移不变, 最终访问的物理地址为 $0x1c04$ 。
 (2) 由页大小 64Byte , 页内索引需 6 位, 除去页内偏移 6 位, 剩下 $12 - 6 = 6$ 位需要作为页表内客存存储, 页内索引 6 位, 虚拟页号有 $14 - 6 = 8$ 位, 则至多需要 2^8 个表项, 每个表项保存 8 位物理页号 + 6 位物理地址, 共 14 位。
 因为有 256 个项目。

(3) (1) 中命中, 因此是 $0x1ca4$, 由上缓存结构可知, 块内偏移 = bit, 由于 16bit 直接映射, 因此 4bit 可以作索引。

$0x1ca4 = 011100\ 1010\ 0100\ 0111\ 0010\ 0100$

由上分析到第 9 题, 标签为 $0x1c = 011100$, 命中, 且块内偏移为 00, 故访存结果为 $0xb3$

18. 访存地址 A B C D A B C D

Ways: - A A DC QD QB BB 等待命中。命中率 60%

Ways: - - BB AB A A SC

命中率 N N N N N N N N

(1) FIFO 策略对于两路组相联完全相联来说, 与 LRU 没有区别。

由于是轮流访问 4 个地址, 但缓存中只有两个位置, 因此对于任何一个元素来说, 在 miss 一次(至少第一次一定 miss)后, 要在缓存中保留下次替换, 下次才可能被 hit。

对于这种情况, 随机策略是最有效的。

在一次命中后, 在任一时刻假设其命中率为 x , 则不命中分析 A 信号, 其命中率就是整体命中率。在足够长时间后, 缓存中的两个数据也会足够随机, 在任一时刻, 某个特定信号出现在其中概率为 $\frac{C_1' C_2'}{C_1 C_2} = \frac{1}{2}$ 。
 ; 命中率为 $\frac{1}{2}$



~~若此时内存块(标记为X)即~~

~~X-X-X-X~~

19.(1) 实际上在索引后, 即锁定引存块中的一个且之后, 根据题意, 按时~~时~~低位标签进行匹配, 是同一组内低位标签不唯一, 将造成多个缓存块同时被命中产生硬件上的错误。

因为在低位标签不匹配时, 100%要进行缓存替换, 但是低位标签匹配时也可能发生替换, 也就是说, 缓存替换还要额外考虑到“命中预测”不正确时的替换, 假设不匹配(低位)产生的信号为inner-update, “命中预测”不正确产生的信号为out-update, 真实更新信号为两者相或。

以页大小为16KB, 则页偏移字段占14位。

缓存大小8KB, 共有4路, 每一路2KB大小。

可以确定的是, 索引有2bit, ~~基块内偏移有4位~~。

这2KB大小要求对应的低位组索引唯一, 因此应该11位。

若块内偏移4位, 则数据块规模为 2^4 , 由于总规模为2KB,

因此每组路中共有 2^{11-4} 个元素, 需要11-4位来表示, 因此,

共需要11位, 共有14位空间, 因此低位标签有3位空间。

20. 透明一致性: -致性事务为单对多广播, 总线的传输流量规模较大, 在带宽足够的情况下, 延迟更低。但是, 随着核数量的增加, -致性事务的流量剧增, 且扩展性差。

目录一致性: 单对单传播, 扩展性更好, 但处理时间变长, 延迟更高。

缓存一致性实现代价主要有: 扩展性的变换, 客户外的延迟, 客户外的硬件协调。