

1. 串行总线需要的物理连线数目少, 消耗硬件资源少, 功耗也更低. 相同频率下传输速率较慢. 并行总线需要较多的物理连线及相应的硬件资源, 功耗高, 但相同频率下传输速率更快.

并行总线的接口速率比串行快, 因为可以同时传输多线的的数据

2. (1) 波特率为 $960 \times (1+7+1+1) = 9600 \text{ bit/s}$

(2) 有效数据传输速率为 $960 \times 7 = 6720 \text{ bit/s}$

3. (1) 数据包为: 起始条件, 地址帧, 读写位, ACK/NACK位, 数据帧1, ACK/NACK位, 数据帧2, ACK/NACK位, 终止位

(2) I2C在达成终止条件前可以连续收发任意长度的数据, 仅使用一条数据线SDA, 所以其传输是双半工的.

(3) 起始: 在SCL为高电平时, SDA由高向低正跳变 终止条件: 在SCL为高电平时, SDA由低向高跳变

4. (1) 为 $\frac{N}{4}$

(2) 每个磁盘只用自己的20G保存自己的数据, 其余30G保存其它盘的冗余数据, MTTF为 $\frac{5}{3}N$

5. 寻道时间: 磁头在盘面上沿半径从里向外移动寻找所需的磁道花费的时间

旋转时间: 盘片需要通过旋转来使得正角度的扇区被旋转到磁头的正下方所花费的时间

数据传输时间: 数据按顺序读取的时间

影响因素: 寻道时间和旋转时间可以通过控制来优化, 决定请求的最优执行顺序, 以达到最短的时间

数据传输时间很短, 影响因素忽略不计

6. (1) $6 \times 240 \times 12 \text{ KB} = 17280 \text{ KB}$

(2) $12 \text{ KB} \times 5400 \text{ r/min} \times 6 = 388800 \text{ kb/min}$

(3) 进行一次访问的平均旋转时间为 $(\frac{1}{2} / 5400) \times 60 = 5.6 \text{ ms}$

7. 读取到某个磁道/扇区上时, 把该磁道/扇区上所需的数据依次读完再读下一个磁道/扇区的数据, 磁道按由里到外的顺序读取等.

8. 将数据块写入某物理磁盘前, 首先读出该位置原先的数据块, 对比将要写入的新数据块计算出发生翻转的位, 并由此计算出有偶校验磁盘中的该位置数据块对应位是否需要翻转. 优化后, 该取方式只牵涉到待写的物理磁盘和有偶校验磁盘两个盘.

9. 磁盘 I/O 请求减少, λ 减少, $W = \frac{1}{\mu - \lambda}$ 减小, 故性能提升幅度下降.

10. DMA的突发模式等会争抢内存带宽资源, 但透明模式不会.

在层次设计良好的存储系统中, 高速缓存可以有效地减少内存访问的数量.

1. 集中式仲裁机制

优点: 由中心控制器进行仲裁, 因此具有很高的公平性和稳定性.

缺点: 中心控制器是单点故障, 在故障发生时会导致整个系统崩溃.

适用场景: 适用于总线设备数量较少、仲裁速度要求高的场景.

分布式仲裁机制

优点: 每个设备均有权利进行仲裁, 不会出现单点故障, 具有较高的可靠性.

缺点: 由于每个设备都需要进行仲裁判断, 因此仲裁的响应速度相对较慢.

适用场景: 适用于总线设备数量较多、对仲裁速度要求不是很高的场景.

混合式仲裁机制

优点: 结合了集中式和分布式两种仲裁机制的优点, 既具有较高的公平性和稳定性, 也具有较高的可靠性.

缺点: 实现比较复杂, 成本较高.

适用场景: 适用于总线设备数量较多、仲裁速度要求较高且对可靠性要求较高的场景.

2. APB 是一种低功耗、低带宽的串行总线协议, 主要面向外设控制器 (如 I2C、SPI 内核等), 具有如下特点:

- 低功耗，适合控制低带宽外设；
- 串行传输，只需要两根信号线，节省了 PCB 空间；
- 适用于对系统功耗和 PCB 空间有严格要求的场景。

AHB 是一种高性能、高灵活性的总线协议，主要用于连接处理器、直接存储器访问 (DMA)、高速外设等，具有如下特点：

- 支持多主设备访问，可实现多设备同时访问；
- 支持总线分裂，可以在一个时钟周期内完成多次总线事务；
- 支持带宽共享，可以通过总线矩阵实现多个总线设备之间的数据交换；
- 适用于对系统性能、带宽和硬件成本有严格要求的场景。

AXI 是一种高性能、低延迟的总线协议，主要用于连接 SoC 芯片的各个 IP 核之间，具有如下特点：

- 支持高速交换，传输带宽高；
- 支持乱序传输，可以最大限度地提高总线利用率；
- 支持投递往返延迟 (DDI)，能够自动完成延迟掩盖；
- 适用于需要高性能、低延迟的场景。

ACE 是在 AXI 基础上增加了内存一致性支持的总线协议，具有如下特点：

- 支持多核处理器、多个缓存一致访问内存数据，保证一致性；
- 支持多个设备进行一致性维护，提供高效的总线数据传输方案；
- 支持灵活的 AXI 总线端口映射；
- 适用于需要多处理器缓存互通、内存一致性底层支持的系统。

CHI 是一种基于 AMBA 的高性能、低延迟的互联协议，主要用于连接大规模处理器集群、内存、网络、存储等，具有如下特点：

- 支持高速互联，在若干个处理器之间快速交换数据；
- 支持内存一致性，能够自动进行缓存一致性维护；
- 支持多核处理器，多个缓存一致访问内存数据；
- 适用于需要高性能、低延迟、高度可扩展的系统。

3. (1) AXI 总线包含了四个独立的路段 (channel)，分别为：

- AXI 主路段 (AXI Master)
- AXI 从路段 (AXI Slave)
- AXI 内存一致性 (AXI Coherency Extensions, ACE)
- AXI 互连中心接口 (AXI Interconnect)

AXI 总线协议不设置独立的读响应通道是因为读响应可以直接在读数据通道上发送，因此不需要单独的读响应通道。这种设计可以减少总线所需的引脚数，降低硬件实现难度和成本。

(2) 在读/写传输事务中，AXI 总线中的握手信号时序需要满足以下依赖关系：

在传输数据之前，AXI 主路段必须首先发出一个有效的读/写请求，即 AR/ARVALID 或 AW/AWVALID 信号有效；

AXI 从路段必须对 AXI 主路段的读/写请求进行应答，即产生 ARREADY 或 AWREADY 信号；

在 AXI 主路段收到读响应数据之前，AXI 从路段必须先按照请求的大小和地址传输相应的响应数据，即 RDATA 或 WDATA 信号；

最后 AXI 主路段产生对应的读响应信号，即 RRESP 或 BRESP 信号。

这样的时序依赖关系可以确保 AXI 传输事务的正确性，最大限度地利用总线带宽，同时减

少了硬件实现的复杂度和错误。

(3)AXI 的突发传输是指 AXI 总线在一次总线访问事务中可以连续地传输多个数据或指令，从而提高总线的传输效率。具体来说，AXI 突发传输可以在一次地址传输事务中，连续传输多个数据或指令，无需每次传输时都发出独立的地址请求。AXI 突发传输有以下类型：

固定长度突发传输 (Fixed-length burst transfer)：在开始地址端口传输的时候，就指定了所有要传输的地址；传输的数据个数一般是预先指定的。

不定长突发传输 (Undefined Length Burst Transfer)：起点地址固定，根据 AXI 从设备的回复信号判断传输是否结束。与固定长度的最大不同就是数据传输的长度是不固定的，数据数量有从设备返回 BURST 长度信号自动决定。

延迟写突发传输 (Wrap burst transfer)：在地址突发传输结束的时候，如果数据总线上仍有剩余的数据，则会从起点地址再重复传输连续的数据块，直到总线数据传输完毕。这种传输方式可以用于在一次传输中顺便修改多项数据。

无附加操作突发传输 (Incremental burst transfer)：每传输一个数据需重新发出地址请求。每次传输时，地址总线上的地址在不断递增。

这些突发传输类型可以根据具体的应用场景进行选择。例如，对于需要一次即使传输多条指令或数据的场景，可以选择固定长度突发传输；对于需要随机长度数据传输的场景，可以选择不定长突发传输。