

1. 假设一个未流水化的处理器使用单个长周期来执行每条指令，时钟周期为 7ns。将其进行 5 级分割后，每个阶段需要的时间为：IF 1ns、ID 1.5ns、EX 1ns、MEM 2ns、WB 1.5ns，插入的每个流水线寄存器的延迟为 0.1ns，则：
- 1) 5 级流水化后的处理器时钟周期应为多少？
 - 2) 流水化后的机器相比原来单周期处理器的加速比是多少？
 - 3) 如果流水化的机器拥有无限多个流水级，流水线寄存器延迟不变。则相比原来单周期处理器的加速比极限是多少？

1) 该流水线时钟周期取决于耗时最长的流水级

$$\therefore T_{\text{pipe}} = 2 \text{ ns} + 0.1 \text{ ns} = 2.1 \text{ ns}$$

2) $\frac{CPI_{\text{pipe}}}{CPI_{\text{cycle}}} = \frac{N+K-1}{N} \approx 1 \quad (N \gg K \text{ 时})$

∴ 加速比 $S = \frac{CPI_{\text{cycle}} \cdot T_{\text{cycle}}}{CPI_{\text{pipe}} \cdot T_{\text{pipe}}} = \frac{1}{2.1} = \frac{10}{3} = 3.3$

3) 设流水级为 K，则 $T_{\text{pipe}} = \frac{T_{\text{old}}}{K} + T_{\text{reg}}$

$K \rightarrow \infty$ 时 $T_{\text{pipe}} \rightarrow T_{\text{reg}} = 0.1 \text{ ns}$

此时 $S \rightarrow \frac{1}{0.1} = 10$

