

## 第五章习题

### 1. 串行总线与并行总线各有什么优缺点？试简述造成它们接口速率不同的原因。

串行总线：

优点：(1) 高速传输：串行总线可以使用较高的时钟频率进行传输，从而实现更高的数据传输速率。(2) 线路简单：由于只需要一根传输线路，串行总线的布线和连接较为简单，节省了空间和成本。(3) 长距离传输：串行传输可以通过使用差分信号和传输驱动器来减少信号失真，并允许在较长距离上进行可靠的数据传输。

缺点：(1) 传输延迟：由于需要逐位地传输数据，串行总线在传输大量数据时可能会产生较高的传输延迟。(2) 复杂性：串行总线需要使用额外的协议和电路来支持数据的同步和传输，增加了系统设计和维护的复杂性。

并行总线：

优点：(1) 高带宽：并行总线可以一次传输多个比特位，因此在单位时间内可以传输更多的数据，具有更高的带宽。(2) 低延迟：由于并行总线可以同时传输多个比特位，它在传输大量数据时可以实现较低的传输延迟。

缺点：(1) 布线复杂：由于需要多个传输线路，布线和连接并行总线的复杂度较高，特别是在高位数的数据传输中。(2) 信号干扰：并行总线中的多条传输线路容易产生信号干扰和串扰，可能导致数据传输的错误和失真。

造成串行总线和并行总线接口速率不同的原因：(1) 传输效率：串行总线在单位时间内只能传输一个比特位，而并行总线可以同时传输多个比特位。因此，对于相同的时钟频率，串行总线的传输速率相对较低。(2) 布线和连接复杂性：并行总线需要布置和连接多条传输线路，而串行总线只需要一根线路。并行总线在高

位数的数据传输中需要更多的布线和连接，增加了系统的复杂性和成本。(3) 信号干扰：并行总线中的多条传输线路容易产生信号干扰和串扰，而串行总线只有一条线路，更不容易受到干扰。因此，串行总线通常在长距离传输和高速传输要求较高的场景中使用，而并行总线通常用于短距离传输和对实时性要求较高的场景中。

2.假设某系统使用 UART 传输数据，每个数据包拥有 1 位起始位、7 位数据位、1 位校验位和 1 位停止位，系统每秒传输 960 个数据包。回答以下问题。

1) 系统的波特率为多少？

波特率为  $960 \times (1+7+1+1) = 9600 \text{ 位/s}$

2) 系统的有效数据传输速率是多少？

有效数据传输速率为  $960 \times 7 = 6720 \text{ 位/s}$

3.阅读 I2C 相关标准，回答一下问题。

1) I2C 的数据包是如何构成的？

I2C 的数据包由起始条件、7~10 位地址帧、读/写位、ACK/NACK 位、以及 8 位数据帧和终止条件构成。

2) 为什么 I2C 是半双工的？

由于 I2C 通信协议仅使用一条数据线 SDA 故同一时间只能单向传输数据为半双工通信协议。

3) I2C 传输的起止条件是什么？

起始条件：在 SCL 线为高电平时，SDA 线从高电平转为低电平。这表示主设备

希望启动一个 I2C 传输。停止条件：形式是在 SCL 线为高电平时，SDA 线从低电平转为高电平。这表示主设备已完成 I2C 传输并释放总线。

4. 若某块磁盘的 MTTF 为  $N$  小时，回答以下问题。

1) 计算由 4 块这种磁盘组成的 RAID0 的 MTTF。

对于 RAID0，因无“冗余”修复故  $MTTF = \frac{N}{4}$  小时

2) 若每一块磁盘的可用容量为 50G，而系统只需要 80G 的存储空间，试设计一种方案，使得 4 块磁盘组成的 RAID 达到尽可能大的 MTTF。

使用 RAID 10 标准，有  $2 \times 50G = 100G > 80G$  的存储空间，且设置镜像组两组，同时条带化数据。

5. 磁盘完成某个扇区上数据读写需要的时间可以概括为： $T = \text{寻道时间} + \text{旋转时间} + \text{数据传输时间}$ 。试说明上述各量的含义，并简要分析影响上述时间的因素。

寻道时间：寻道时间是磁头从当前磁道移动到目标磁道所需时间。

影响因素：寻道时间受到磁道移动距离的影响，较小的距离自然有较短的寻道时间。

磁盘的物理布局、磁头的响应速度以及磁盘访问算法等因素也会影响寻道时间。

旋转时间：将磁盘旋转使目标扇区移动到磁头读取/写入位置所需时间，磁盘旋转的速度由磁盘驱动器的转速决定。

影响因素：旋转时间取决于磁盘的转速，较高的转速有较短的旋转时间，另一方面扇区占角小也影响。

数据传输时间：从磁盘读取或写入数据到传输完成所需时间。它取决于数据传输速率。

影响因素：受到磁盘驱动器和主机之间数据传输接口的速度限制。

6. 若某块磁盘的转速为 5400r/min，共有 6 个记录数据的盘面，每个盘面包含

240 个磁道，每个磁道的信息量为 12KB。回答以下问题。

1) 该磁盘的总容量为多少？

$$\text{总容量} = \text{每个盘面容量} \times \text{盘面数量} = 240 \times 12\text{KB} \times 6 = 17.28\text{MB}$$

2) 该磁盘的数据传输速率为多少？

$$\begin{aligned} \text{假设只有一个磁头, 总数据传输速率} &= \text{每磁道数据量} \times \text{磁头数量} \times \text{每分钟旋转圈数} \\ &= 12\text{KB} \times 1 \times 5400\text{r/min} = 1.08\text{MB/s} \end{aligned}$$

3) 估算磁盘的平均旋转时间。

$$\text{平均旋转时间} = \frac{1}{\text{转速}} \times \frac{1}{2} = \frac{60}{5400} \times \frac{1}{2} = 5.56\text{ms/转}$$

7. 简述磁盘控制电路如何通过决定请求的最优执行次序来减少磁盘访问用时？

FCFS:

特点：按照请求的到达顺序依次进行磁盘访问。

优点：简单、公平。

缺点：可能导致磁盘头寻道时间增加，因为请求的顺序可能不是最优的。

适用场景：对请求顺序没有特殊要求的场景。

SSTF:

特点：选择磁盘头当前位置与下一个请求之间寻道距离最短的请求进行访问。

优点：可以减少寻道时间，提高访问效率。

缺点：可能导致某些请求长时间等待，出现请求饥饿现象。

适用场景：对减少寻道时间要求较高的场景。

SCAN:

特点：磁头按照一个方向（例如向外或向内）移动，按照请求的顺序进行磁盘访问，直到到达边界，然后改变方向继续进行访问。

优点：可以兼顾不同位置的请求，减少磁盘头移动的次数。

缺点：可能导致某些请求等待时间较长，出现请求饥饿现象。

适用场景：对请求的整体处理效率要求较高的场景。

SSTF-LOOK:

特点：根据磁盘头当前位置和所有待处理请求的位置，预测选择下一个最短寻道时间的请求进行访问。

优点：结合了 SSTF 的优势，并且可以避免某些请求长时间等待。

缺点：可能引入更多的计算开销和复杂性。

适用场景：对减少寻道时间要求较高并且避免请求饥饿现象的场景。

## 8.试分析 RAID4 中的写入优化对于读取速度的影响。

RAID4 由于采取了写入优化，使得写入数据时，不再产生对其它的物理磁盘的读取任务，而只牵涉到待写入数据的物理磁盘和奇偶校验磁盘，从而减少了读取任务提高了读取速度。

## 9.根据 I/O 请求花费在队列系统中的平均响应时间公式：

$$W = \frac{L}{\lambda} = \frac{\frac{1}{\mu}}{1 - \frac{\lambda}{\mu}} = \frac{1}{\mu - \lambda}$$

分析随着磁盘 I/O 请求减少，磁盘队列系统的性能提升幅度下降的原因。

IO请求减少则入减小但服务率 $\mu$ 不变故平均响应时间 $W$ 增大,在请求用时不变小,说明平均等待时间延长,性能下降。

10.DMA 设备与处理器是否会争抢内存带宽资源? 存储器层次设计的优劣对此问题有何影响?

DMA设备和处理器在同时访问内存时,会竞争内存带宽资源,可能导致性能下降或延迟增加。存储器层次结构的设计旨在提供不同级别的缓存来减少对主内存的访问次数,降低对内存带宽的竞争。同时,DMA设备也可以利用存储器层次结构的缓存机制,通过在DMA控制器和主内存之间设置DMA缓冲区缓解对内存带宽的竞争。

## 第六章习题

1.简述常见的总线仲裁机制,它们各有什么优缺点、分别适用于什么场景?

①集中式仲裁机制:

优点:简单、易于实现,能够提供公平的访问机会。

缺点:单点故障问题,当中央仲裁器出现故障时,整个系统可能无法正常工作。

适用场景:小规模系统、对实时性要求不高的场景。

②分布式仲裁机制:

特点:每个主设备根据一定规则自主进行仲裁决策,通常采用优先级编码或时间分割等方法。

优点:没有单点故障问题,更可靠,适用于大规模系统。

缺点:可能存在优先级倾斜或时间冲突等问题,需要精心设计和调试。

适用场景:大规模系统、对实时性要求较高的场景。

③基于令牌的仲裁机制:

特点：每个主设备通过传递令牌的方式获得总线的访问权。只有持有令牌的设备才能在总线上进行传输。

优点：能够提供公平的访问机会，不存在冲突问题。

缺点：需要额外的令牌传递机制，可能引入一定的延迟。

适用场景：对公平性要求较高的系统、实时性要求一般的场景。

## **2.简要描述 AMBA 总线中 APB、AHB、AXI、ACE 及 CHI 等总线协议的特点和使用场景。**

APB (Advanced Peripheral Bus)：

特点：APB 是 AMBA 总线中速度较低的一种总线协议，用于连接低带宽外设，如配置寄存器、控制寄存器等。它采用简单的单一主-从结构，支持片上外设的低功耗设计。

使用场景：APB 常用于与低速外设（如 UART、GPIO 等）的连接，适用于对带宽要求较低的应用。

AHB (Advanced High-performance Bus)：

特点：AHB 是 AMBA 总线中中等带宽和性能的一种总线协议，具有较高的吞吐量和灵活性。它支持多主-多从结构，并提供高效的数据传输和支持多个独立的通道。

使用场景：AHB 常用于连接中等带宽要求的外设，如嵌入式处理器、DMA 控制器、存储控制器等。

AXI (Advanced eXtensible Interface)：

特点：AXI 是 AMBA 总线中高性能和高带宽的一种总线协议，设计用于连接高性

能的处理器和高速外设。它采用了全新的流水线和交叉连接机制，支持乱序传输和突发传输等高级特性，以提高系统性能和效率。

使用场景：AXI 常用于连接高性能的处理器（如 ARM Cortex-A 系列）和高速外设（如图形加速器、视频编解码器等）。

ACE (AXI Coherency Extensions)：

特点：ACE 是在 AXI 基础上添加的一组协议扩展，用于提供一致性 (coherency) 支持。它支持高级缓存一致性协议（如 MESI）和共享内存系统，确保多个处理器和外设之间的数据一致性。

使用场景：ACE 常用于多核处理器系统或多处理器系统中，以提供高级缓存一致性和共享内存支持。

CHI (Coherent Hub Interface)：

特点：CHI 是 AMBA 总线的最新版本，是一个高级的、高性能的片上系统互联协议。它提供了全球并发性、高性能的缓存一致性，并支持可扩展性和灵活性。

使用场景：CHI 主要应用于复杂的多核处理。

### **3.调研 AXI 总线标准并回答以下问题。**

#### **1) AXI 总线包含哪些独立的事务通道？为什么协议不设置独立的读响应通道？**

①读 (Read) 通道：用于从主设备读取数据。包括读取地址 (Read Address) 通道和读取数据 (Read Data) 通道。

②写 (Write) 通道：用于向主设备写入数据。包括写入地址 (Write Address) 通道、写入数据 (Write Data) 通道和写入响应 (Write Response) 通道。

③写入应答 (Write Response) 通道：用于从主设备向从设备返回写入操作的响

应。

协议没有设置独立的读响应通道，而是使用了写入响应通道来处理读操作的响应。这是因为在 AXI 协议中，读和写操作是通过不同的通道进行的，并且读操作通常比写操作更频繁。通过使用写入响应通道处理读操作的响应，可以减少总线上的控制信号线数量，从而降低复杂性和成本。此外，通过复用写入响应通道，还可以提高总线的效率和带宽利用率。

## 2) 简要描述在读/写传输事务中，通道的握手信号时序需要满足怎样的依赖关系？为什么要设置这样的约束？

### ①读取（Read）事务：

读取地址（Read Address）信号必须在读取数据（Read Data）信号之前发送。

读取数据（Read Data）信号必须在读取应答（Read Response）信号之前发送。

### ②写入（Write）事务：

写入地址（Write Address）信号必须在写入数据（Write Data）信号之前发送。

写入数据（Write Data）信号必须在写入应答（Write Response）信号之前发送。

设置约束的具体原因：

①读取事务时序约束：读取地址必须在读取数据之前发送：这样可以确保从正确的地址读取数据，避免读取到错误的地址。读取数据必须在读取应答之前发送：这样可以确保读取数据时的一致性，防止读取到写入操作未完成的数据。②写入事务时序约束：写入地址必须在写入数据之前发送：这样可以确保将数据写入到正确的地址，避免将数据写入到错误的位置。写入数据必须在写入应答之前发送：这样可以确保写入数据的完整性和正确性，防止写入数据丢失或损坏。③通过满

足这些时序约束，可以保证数据的正确读取和写入，并且保持系统的一致性。这些约束确保了在读取和写入事务中的数据流顺序和正确性，防止数据冲突和不一致的情况发生。同时，这些约束也有助于确保总线协议的正确执行，避免通信错误和数据丢失。

### 3) 什么是 AXI 的突发传输？有哪些突发传输类型？

AXI 总线支持的突发传输是一种连续传输多个数据的方式，以提高数据传输效率。突发传输允许在一个事务中传输多个数据，而不需要每个数据都进行单独的地址和控制信号传输。

AXI 总线支持以下几种突发传输类型：

①固定突发传输（Fixed Burst）：在固定突发传输中，所有数据都在一个事务中连续传输，无需额外的地址传输。首地址由读/写地址信号指定，并通过计数器递增的方式依次传输连续的数据。

②递增突发传输（Incrementing Burst）：在递增突发传输中，首地址由读/写地址信号指定，之后的每个数据地址都根据地址编码进行递增。递增突发传输可以在一个事务中传输多个连续的数据。

③块突发传输（Wrap Burst）：块突发传输与递增突发传输类似，不同之处在于块突发传输可以在一个事务中传输连续的数据块，即传输到一定数量后重新从起始地址开始传输。

④突发长度可变（Variable-Length Burst）：突发长度可变传输允许在一个事务中传输可变数量的数据，首地址和传输的数据数量由读/写地址信号和传输长度字段指定。

## 9. 简述 RISC-V 如何通过 PLIC(Platform Level Interrupt Controller)处理来自各外设的中断。

以下为RISC-V中PLIC的工作原理:①外设中断信号:每个外设都有自己的中断信号,用于向PLIC发送中断请求。外设可以配置其中断信号优先级。②中断分配:PLIC为每个外设分配一个唯一的中断ID。这些中断ID按优先级排列,并且可以通过配置调整。③中断寄存器:PLIC维护一组中断寄存器,每个寄存器对应一个中断ID。每个中断寄存器存储着中断的使能位和中断优先级。④中断处理器:当外设触发一个中断时,PLIC会检查中断优先级,并与当前处理器优先级进行比较,若中断优先级更高则PLIC产生中断信号。⑤中断处理:处理器核心收到中断请求信号后,会调用相应的中断处理程序来处理该中断。⑥中断清除:当中断处理程序完成中断处理后,向PLIC发送清除请求,告知中断已处理。