

May 30th (Week 15) Chap 5 & 6

1. 串行总线单次传输 1 位数据，需要的物理连线数目少，消耗硬件资源少，功耗低，但相同频率下传输速率更慢；并行总线单次传输多位数据，需要较多的物理连线及相应的硬件资源，功耗高，但相同频率下传输速率更快，另外，由于信号线间的电磁干扰，长距离传输时稳定性差。当系统整体频率提高时，平行总线数据接口同步电路难以实现，所以串行接口具有频率优势，速率高于平行总线。

2. (1) 每个数据包有 10 位，故每秒传送  $960 \times 10 = 9600$  个符号(码元)。波特率为 9600 Bd.

(2) 有效数据传输速率为  $960 \times 7 = 6720$  bps.

3. (1) I2C 数据包：

S	ADDR	R/W	ACK	DATA	ACK	DATA	ACK	P
---	------	-----	-----	------	-----	------	-----	---

起始条件 地址 读写

终止条件

- (2) 每个I2C设备只有1条串行数据线SDA和1条串行时钟线SCL, SDA线上同时只能读或写。  
 (3) 起始条件: SCL为高时, SDA由高变低; 终止条件: SCL为高时, SDA由低变高。

4. (1) 4块RAID-0的MTTF为 $\frac{N}{4}$

(2) 4块硬盘两两组成RAID-1阵列, 再共同组成RAID-0阵列, 即RAID-10方案。

总容量100GB.  $MTTF = \frac{N^2}{2}$ .

5. 寻道时间: 磁头臂移动到所需磁道并消除抖动所用时间, 受磁头臂移动的距离和速度(非匀速)影响。旋转时间: 完成寻道后, 所需扇区旋转到磁头下方的时间。主要受盘片转速影响。数据传输时间: 传送一个扇区的数据所需的时间。主要受盘片转速影响。

6. (1) 总容量为  $6 \times 240 \times 12KB = 17280KB = 17.28MB$

(2) 数据传输速率  $6 \times \frac{5400}{60} \times 12KB/1s = 6480KBps = 6.48MBps$

(3) 平均旋转时间, 即旋转 $180^\circ$ 的时间,  $60s \div 5400 \div 2 \approx 5.56ms$

7. 磁盘控制电路可以缓存一段时间内的磁盘I/O请求, 调整执行次序, 减小磁头移动距离, 即减小寻道时间; 还可以减小盘片转动圈数, 即减小旋转时间。综合来讲, 应使两部分时间总和最小。

8. 对RAID-4的某一磁盘写入数据时, 需读取其它所有磁盘中对应位置的数据, 计算出奇偶校验数据并写入奇偶校验磁盘, 这样每次写入任务将伴随大量读取任务。优化方案为: 写入数据前先读出该位置原有数据, 与新数据对比, 判断相应的奇偶数据位是否要反转。这样写入数据时不访问其他存放实际数据的磁盘。RAID-4中物理磁盘数量越多, 优化效果越明显, 其性能瓶颈是奇偶校验磁盘的写入速度。

$$9. W = \frac{L}{\lambda} = \frac{1}{\mu - \lambda}$$

$\mu$  增大对

磁盘 I/O 请求减少，即平均到达率  $\lambda$  减小。 $-\frac{dW}{d\mu} = \frac{1}{(\mu - \lambda)^2}$ ,  $\lambda$  减小使平均响应时间的影响（即磁盘阵列提供的性能提升）减小。可形象理解为：入核小时  $L$  也较小，无阵列磁盘即可较好地处理 I/O 请求，因此磁盘阵列的性能提升幅度较小。

10. DMA 设备和处理器都能直接访问内存，因此会争抢内存带宽资源。通过较好的存储器层次设计，可使部分数据在高速的缓存中取得，而无需花费更多时间访问内存。访存请求减少，DMA 设备和处理器对内存带宽的竞争自然减弱，使性能提高。

Chap. 6.

- ① 轮询机制：每个主设备优先级相同，按轮询方式依次赋予主设备以总线使用权。该机制简单、易实现，但效率较低，占用 CPU 时间。适用于各主设备对总线的访问需求相近的情形。
- ② 优先级仲裁机制：主设备具有不同优先级，优先级高的主设备更易获得总线使用权。该机制效率较高，但相对复杂，且需要配套的保护机制。适用于部分主设备对总线的访问需求比较突出的情形。

2 APB：没有复杂传输事务功能，非流水线操作，易使用、功耗低，适用总线连接的低速外设。

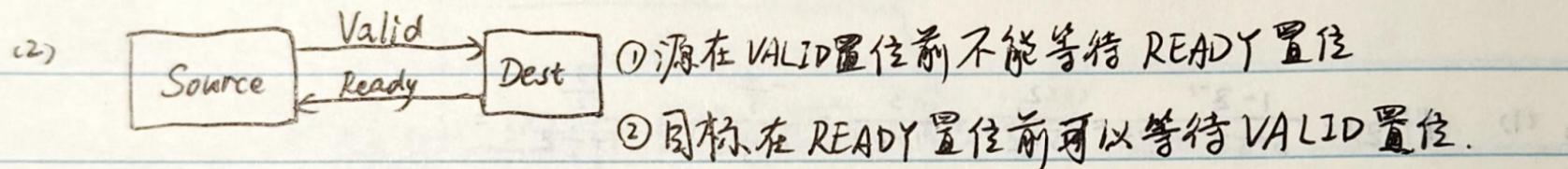
AHB：支持总线仲裁、流水操作等复杂事务，需要总线仲裁器等硬件，面向高性能系统模块的互连。

AXI：地址、读数据、写数据、握手信号分离在不同的通道中发送，可乱序访问、支持高级特性，机制复杂，利于大量数据的存取，适用于高性能内存和外设。

ACE：AXI 的扩展，支持缓存一致性、不同特征的设备的交互、缓存数据的最大利用、高性能和低功耗的选择。

CHI：ACE 的升级，适用于需维持一致性的场景，如网络、数据中心等，适用于各种数量规模的组件互连。

3. (1) AXI有5个主要通道：写地址AW、写数据W、写响应B、读地址AR、读数据R，均为单向。  
读响应可在读数据R通道发送，不需另一独立通道。



这样 READY 可在 VALID 之前或之后置位，也可同时置位。

(3) 完发传输：在一次传输事务请求后，传输一个地址，并不断传输数据直至给定长度。

按地址处理方式分为3种类型：固定(fixed)，用同一地址多次传输；增加(incrementing)，假设  
(数据块)

设备每次传输后自行递增地址；wrapping，与 incrementing 相似，但地址达到上限时回到某  
(缓存行)  
更低的地址。