

5.30 Ch.5 习题:

1.串行总线：优点：①简化物理连接，降低布线复杂性和成本。②抗干扰能力强，适用于远距离通信。
③可减少传输时的误码率，提高传输质量。④方便支持全双工传输方式。

缺点：①一次只能传输一位数据，传输速率较低。②对时钟同步要求较高。

并行总线：优点：①可同时传输多位数据，传输速度较快。②可同步进行数据传输，硬件控制开销减少。

缺点：①布线复杂性高，成本较高，不适用于长距离传输。②频率提高后线间电磁干扰严重，降低数据传输质量。

接插件不同原因：虽然理论上并行总线传输速率较高，因为其能同时传输多位数据，但实际上USB3.0、PCIe等技术的发展已让高速串行总线超过并行总线，其原因有①串行总线采用更先进偏移技术及差分信号等来提高传输带宽利用效率。

②抗干扰能力更强，且无信号同步问题。③总线协议和控制复杂，带来更多的信号保护机制和控制线。④体积相对较小。

由上述几点，现在高连串行总线速率可能更快，且在应用上已远盛于并行总线。

2. (1) 波特率 = $960 \times (1+7+1+1) = 9600 \text{ bPs} = 9600 \text{ Baud}$

(2) 翻译为传输速率 = 波特率 = 9600 bPs ，而1位数据中只有7位为有效数据位

，有效数据传输速率 = $9600 \times \frac{7}{10} = 6720 \text{ bPs}$ “bPs为bit per second 每秒多少位”。

3. (1) I₂C数据包构成：包含一位开始信号，7位或以上的地址帧，1位读/写标志位，1位应答位(Ack/Nack)，

若干8位的数据帧，且每帧数据帧后均会接一个应答位，最后会有1位中止信号。

(2) 半双工：I₂C的串行总线是由两根信号线：数据线SDA和时钟线SCL构成的，该总线成为输入输出双方共用的。

故输入输出数据均使用同一根线，数据又能在双向流动时实现输入输出，故I₂C为半双工的。

(3) 起始条件：在时钟线SCL为高电平时，数据线SDA电平由高变低，即从总线空闲状态变为起始状态，为起始条件。

中止条件：在时钟线SCL为高电平时，数据线SDA电平由低变高，即变成了总线空闲状态，此为中止条件。

4. (1) 由于组成的阵列是RAID0，故由4块硬盘组成的RAID0的MTTF为 $\frac{N}{4}$ 小时。

(2) 由于需80个G，存储冗余量较大，故采用RAID-1的设计，使用2块硬盘进行数据存储，还有2块硬盘作为对应硬盘的镜像，在这种情况下，理想的MTTF应可达到2N小时。

- ① 寻道时间: 磁头从当前位置移到目标磁道并消除抖动所需要的时间, 共由转速、盘片容量和调度策略共同影响。
转速越快, 单碟容量越大, 平均寻道时间越低, 而若扇区访问连续, 寻道时间也可大幅减少。(即控制调度算法)
- ② 旋转时间: 磁头移到目标磁道后, 目标扇区随着盘片转动而经过磁头下(上方)所需的时间。以优化加载:
- 旋转时间主要由转速决定, 转速越快, 旋转时间越短; 其通过控制器电极决定, 可通过控制器优化执行顺序使转动圆周。
- ③ 数据传输时间: 磁头完成读出或读入所用的时间, 该速度取决于磁盘数据传输速率, 与制作工艺相关。

$$6.(1) \text{总容量} = 6 \times 240 \times 12 = 17280 \text{KB} = 16.875 \text{MB}$$

$$(2) 5400 \text{r/min} = 90 \text{r/s} \quad 90 \times 12 = 1080 \text{KB/s}$$

$$(3) \text{平均旋转时间} = 60 \div 5400 \div 2 = \frac{1}{180} \text{s} \approx 0.0056 \text{s}$$

7. 磁盘控制器电路主要通过一些调度算法来得到最优的执行次序, 这些调度算法包括: ①先来先服务算法(FCFS)
即按请求到达顺序执行, 简单但效率不高。②最短寻道时间优先算法: 从等待访问者中排队寻找时间最短者优先执行。
③扫描算法: 按磁头前进的方向先至查找时间优先算法, 即避免磁头在局部区域往复移动。减少访问时间, 提高性能。
8. 写入优化过程: 在数据块写入到物理磁盘前, 首先读出该位置原处的数据块, 对比将要写入的新数据块,
计算出发生偏移转支的位置, 并由软件将奇偶校验码中该位置数据块对应位是否需要翻转。优化后写入方式只写入物理磁盘, 故在物理磁盘写时显著提升性能, 可以有效提升读取速度。

9. $W = \frac{1}{\mu - \lambda}$, 其中 μ 为服务速率, λ 为平均请求到达率, 故 I/O 请求减少会使 μ 增大, 故 W 值变小, 平均等待时间降低。
 $\mu - \lambda = \lambda$, 故 $W = \frac{1}{\lambda}$, $\frac{dW}{d\lambda} = -\frac{1}{\lambda^2}$, 故随着 $(\mu - \lambda)$ 值进一步增大, $|\frac{dW}{d\lambda}|$ 会不断减小, 即平均等待时间成为逐年变慢,
变化幅度减少, 故磁盘队列长度的降低是升幅后会不断下降。

10. DMA工作原理: 若是按扇数据块进行 I/O, 在需要传输大量数据时, 可以让 DMA与计算机内存进行数据交换, 无须 CPU
DMA在传输时需要使用内存总线, 而 CPU也要使用内存总线, 故形成内存总线竞争, 故会抢占内存带宽资源。
存储器带宽分布影响: ①通过设计多级缓存, 降低处理器的存指令命中率, 会优先在最近的内存中读取数据, 在实际
运行时, 大部分数据访问可以在缓存中完成, 故 DMA对处理器影响较小。
②通过层次设计, 分工 I/O 和内存访问总线, 支持 DMA和处理器同时访问不同内存区域, 从而避免冲突。
③使用交叉开关网络, 允许多个设备同时访问内存, 降低其产生的竞争, 对带宽资源的竞争。

ch6习题:

1. 资源仲裁机制是指在多个设备之间分配总片使用权的过程，通过该机制决定哪片设备可优先使用总片。

① 全连接式查询(固定优先查询)：所有设备均拥有一个固定优先级，优势为其需要的控制简单较少，结构简单，扩展容易。

缺点是对硬件电路故障敏感，丢失低级的部件可能长期丧失使用功能。适用于简单、实时性要求低的设备之中。

② 计时器定时仲裁：设置一个计时器，每设备根据计时器的长度决定是否能使用总片，其优势为保证各个部件的公平性，且优先级设置灵活，缺点是控制复杂且耗电，可能无法达到用总片数。适用于高级设备量固定且设备总片查询需求相对静止的场景。

③ 独立请求(内嵌状态机)：在请求使用线程中，选择内嵌状态机最高设备优先权和总片。优点为响应速度快，优先级灵活，缺点为控制逻辑复杂，控制成本高，导致部分设备长期无法使用总片。适用于实时性要求高，任务优先级分明的场景。

④ 权重轮询例及(Weighted Round Robin)：根据每个设备的权重和请求公平性共同决定优先级。优势为优先级灵活且优先级稳定和公平性平衡，缺点是实现复杂度高，算法复杂。适用于数据中心、云计算复杂场景。

2. APB：复杂度较高并功耗，非流水线操作，结构简单，无地址数据总线分离，适用于低速功耗低带宽的外围设备。

AHB：支持总线仲裁、突发传输、分组传输、流水操作等复杂操作，同时提供了一种握手协议，使得在数据传输过程中暂停总线操作。适用于高带宽、高频率的系统，如处理器、DMA控制器、片内存储器和外部接口中，实现高带宽的数据传输。

AXI：具有独立的读、写通道，有高带宽突发传输、乱序传输，串行化对内存传输，分离了地址、控制和数据，并行读写。

适用于高带宽、高频率，高数据带宽系统，实现高速外设的连接、处理器与内存间的连接。

ACE：在AXI基础上支持缓存一致性，使多核处理器核心共享内存中的数据，无需总线同步。适用于多核系统的场景中。

CHI：支持多核系统中的数据一致性管理和管理包括全局到MESI协议。适用于大规模、高带宽多核处理器系统中。

① AXI中建立事务通道：寻址及写控制总线通道、写数据总线通道、^{写响应}通道、译地址总线通道、译数据总线通道，共5个独立通道。
未设立读响应通道原因：读取操作响应依赖于写操作响应通道，一同返回，而写总线通道便可实现读操作状态反馈。

② 每个通道都附带两个信号VALID和READY，发送方通过VALID将表明已放置有效数据，接收方通过READY表明准备接收数据信息。

依赖关系：数据从左向右流动为高地址先被接收，不能将READY提高再去拉高VALID，因为握手发生后VALID信号才应该拉低。

约束目的：实现流控制且双向控制，防止由于接收方处理速度跟不上发送方而产生的数据丢失情况的发生。

③ AXI突发传输，在地址总线上一次地址传输后，继续进行下一个数据传输。可减少开销，提高数据传输效率。

三种类型：① FIXED Burst：适合对某个固定地址进行数据更新 ② INCREMENT BURST：依次增加地址在每传输一次后，以突发形式进行递增。③ WRAP BURST：地址从预定边界进行循环递增。(①适合 FIFO；②适合顺序访问内存；③适合环形缓存区)。