作業 #17

■#練習:延續前面的作業,利用邏輯閘實現一個用 NAND 設計的 SR Flip-Flop Circuit。

■Requirements:

1. LogicGate 當中有兩個虛擬函式 performGateLogic 和 setNextl

2. performGateLogic用來執行邏輯運算,setNextPin用來指定II型

3. Connector 類別用來將「fromgate」接到「togate」

4. 繼承自 BinaryGate 實作一個 NANDGate

5. 繼承自 LogicGate 實作一個 SRGate (模擬右方電路結構)

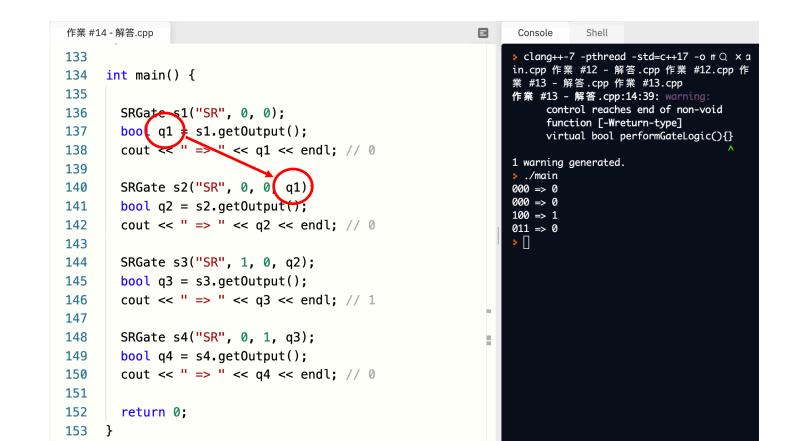
6. 最後請依照 SR 真值表產生 8 種可能的輸入輸出結果

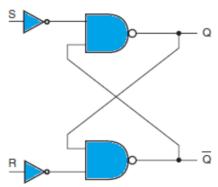
■Note: 僅限 05/25 上課繳交

s	Present State R Q(t)		Next State Q(t+1)
0 0 0 0 1 1 1	0 0 1 1 0 0	0 1 0 1 0 1	0 1 0 0 1 1 undefined undefined

參考程式碼與結果

■你可以參考下列程式碼修改,也可以自己從頭開始寫。最後請你 改下方範例,模仿右方真值表產生8種可能結果。





	P	resent State	Next State
s	R	Q(t)	Q(t+1)
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	undefined
1	1	1	undefined

作業繳交說明

你需要繳交以下檔案到 Portal 作業:

- 1. cpp 程式碼
- 2. 程式碼內有文字說明的註解
- 3. 執行結果截圖

(若無法上傳多個檔案,請壓縮成 zip 或 rar 格式,並且命名成「學號.zip」或「學號.rar」)

■本次作業截止時間:

```
僅限 05/25 上課繳交
```

```
> clang++-7 -pthread -std=c++17 -o main main.cpp
→ ./main
Hello World, 王大明
→ ■
```