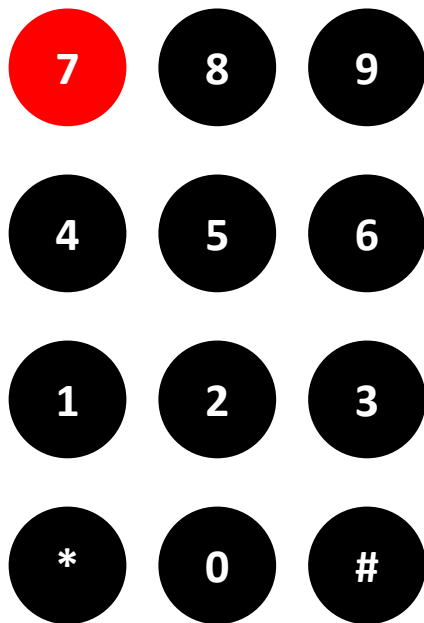


# 실습 1

FPGA 보드의 Keypad를 누르면 해당하는 숫자의 Binary값을 LED로 출력하시오

카르노맵 그리면 빠르게 할 수 있습니다



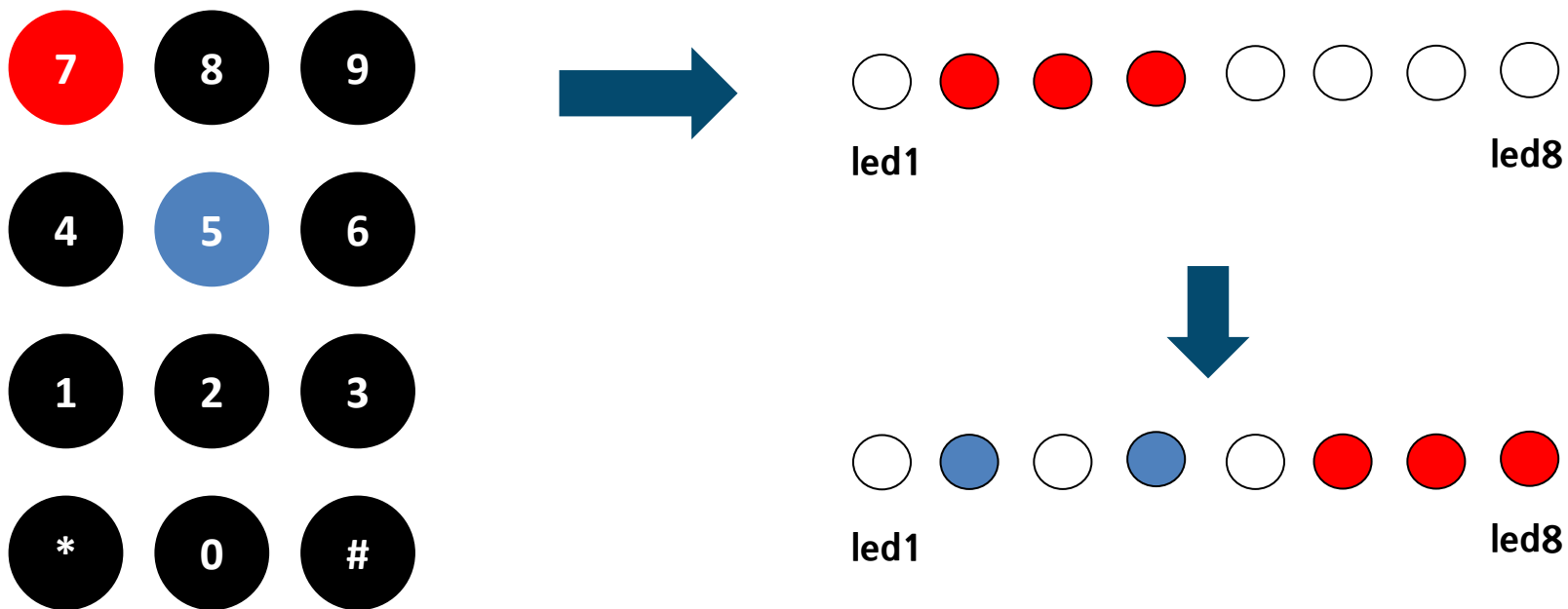
led1



led4

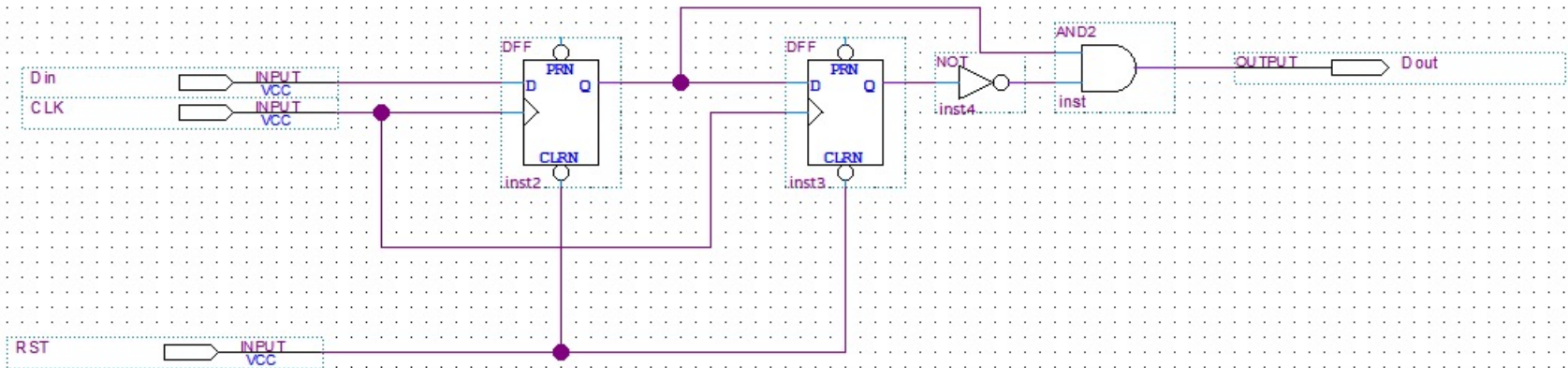
## 실습 2

FPGA 보드의 Keypad를 누르면 해당하는 숫자의 Binary값을 Shift Register에 저장하고, Shift Register에 저장된 값을 LED로 출력하시오





# 주의사항






- FPGA에 사람이 버튼을 입력할 경우 시스템 clock보다 속도가 훨씬 느리기 때문에 버튼을 한번 눌러도 여러 번 입력이 됨
- Shift register를 사용해서 입력이 0이었다가 다음 클럭에 1이 되는 순간에만 트리거링이 되도록 구현되어 있음
- 제공되는 trigger모듈을 사용해서 입력을 단일 입력으로 바꾸어 사용



- Quartus에서 Project내 .bdf와 .v 파일이 동시에 존재하면 컴파일 x

 awer	2021-10-20 오후 1:24	BDF 파일	8KB
 awer	2021-10-20 오전 10:38	QPF 파일	2KB
 awer.qsf	2021-10-20 오후 2:18	QSF 파일	3KB
 awer.v	2021-10-20 오후 1:34	V 파일	2KB

All     <<Filter>>  Find...  Find Next

Type	ID	Message
> 	12021	Found 1 design units, including 1 entities, in source file awer.v
> 	12049	Can't compile duplicate declarations of entity "awer" into library "work"
> 	12021	Found 1 design units, including 1 entities, in source file awer.bdf
> 	12021	Found 1 design units, including 1 entities, in source file nine_1.bdf
> 	Quartus Prime Analysis & Synthesis was unsuccessful. 3 errors, 1 warning	

## 주의사항

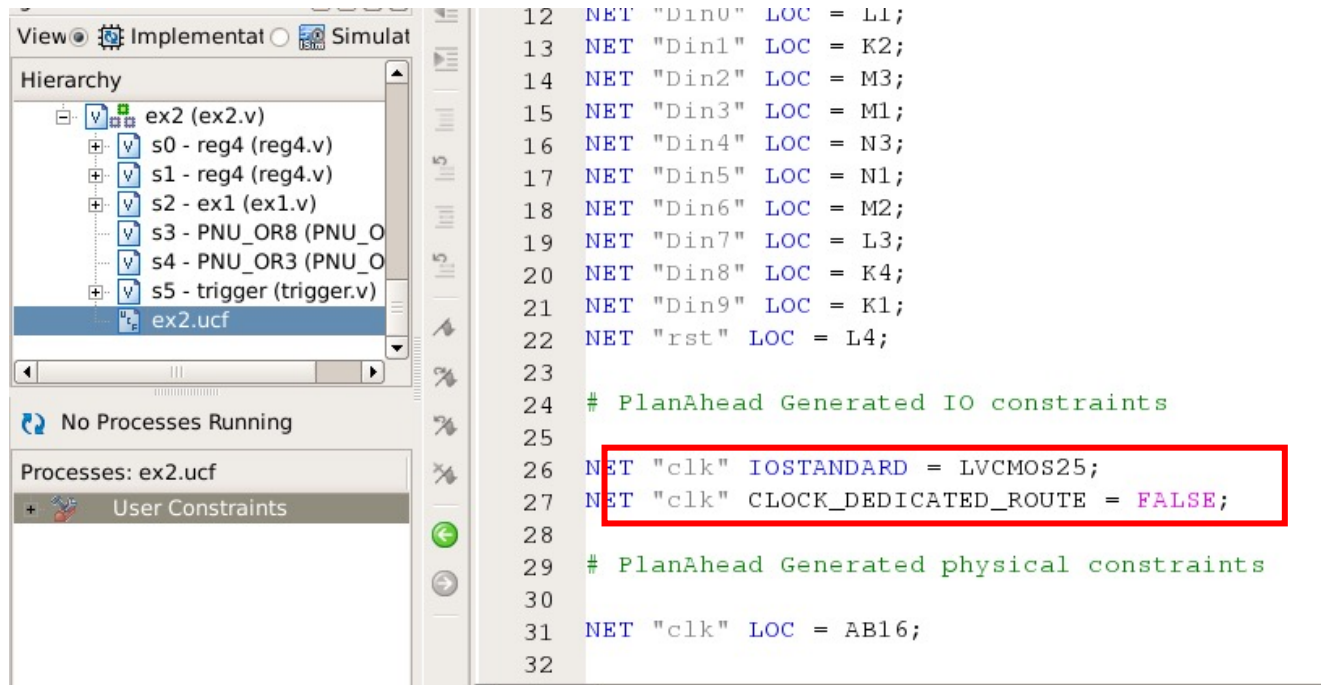
- ISE 같은 프로젝트 내에서 여러 .v를 올리다 보면 generate Programming File를 run하는 구간에서 이전 I/O pin 기록이 남아있어 에러뜸
- 추가 프로젝트 생성 후 실행

## 주의사항

- Clock은 FPGA\_CLK1(AB16)로 핀 매핑
- Reset은 BUTTON\_SW\*(L4)로 핀 매핑

# clock 사용시 주의사항

- clock은 AB16 으로 설정하고 ucf 파일이 생성되면 아래 그림과 같이 코드를 추가해줘야 함
- NET "clk" IOSTANDARD = LVCMOS25;
- NET "clk" CLOCK\_DEDICATED\_ROUTE = FALSE;



The screenshot displays the Xilinx ISE software interface. On the left, the 'Hierarchy' pane shows a project named 'ex2' containing several components: 's0 - reg4 (reg4.v)', 's1 - reg4 (reg4.v)', 's2 - ex1 (ex1.v)', 's3 - PNU\_OR8 (PNU\_O', 's4 - PNU\_OR3 (PNU\_O', 's5 - trigger (trigger.v)', and 'ex2.ucf'. Below the hierarchy, it indicates 'No Processes Running' and 'Processes: ex2.ucf'. On the right, the 'User Constraints' pane shows the following code:

```
12 NET "Din0" LOC = L1;
13 NET "Din1" LOC = K2;
14 NET "Din2" LOC = M3;
15 NET "Din3" LOC = M1;
16 NET "Din4" LOC = N3;
17 NET "Din5" LOC = N1;
18 NET "Din6" LOC = M2;
19 NET "Din7" LOC = L3;
20 NET "Din8" LOC = K4;
21 NET "Din9" LOC = K1;
22 NET "rst" LOC = L4;
23
24 # PlanAhead Generated IO constraints
25
26 NET "clk" IOSTANDARD = LVCMOS25;
27 NET "clk" CLOCK_DEDICATED_ROUTE = FALSE;
28
29 # PlanAhead Generated physical constraints
30
31 NET "clk" LOC = AB16;
32
```

The lines 26 and 27, which define the clock constraints, are highlighted with a red rectangular box.