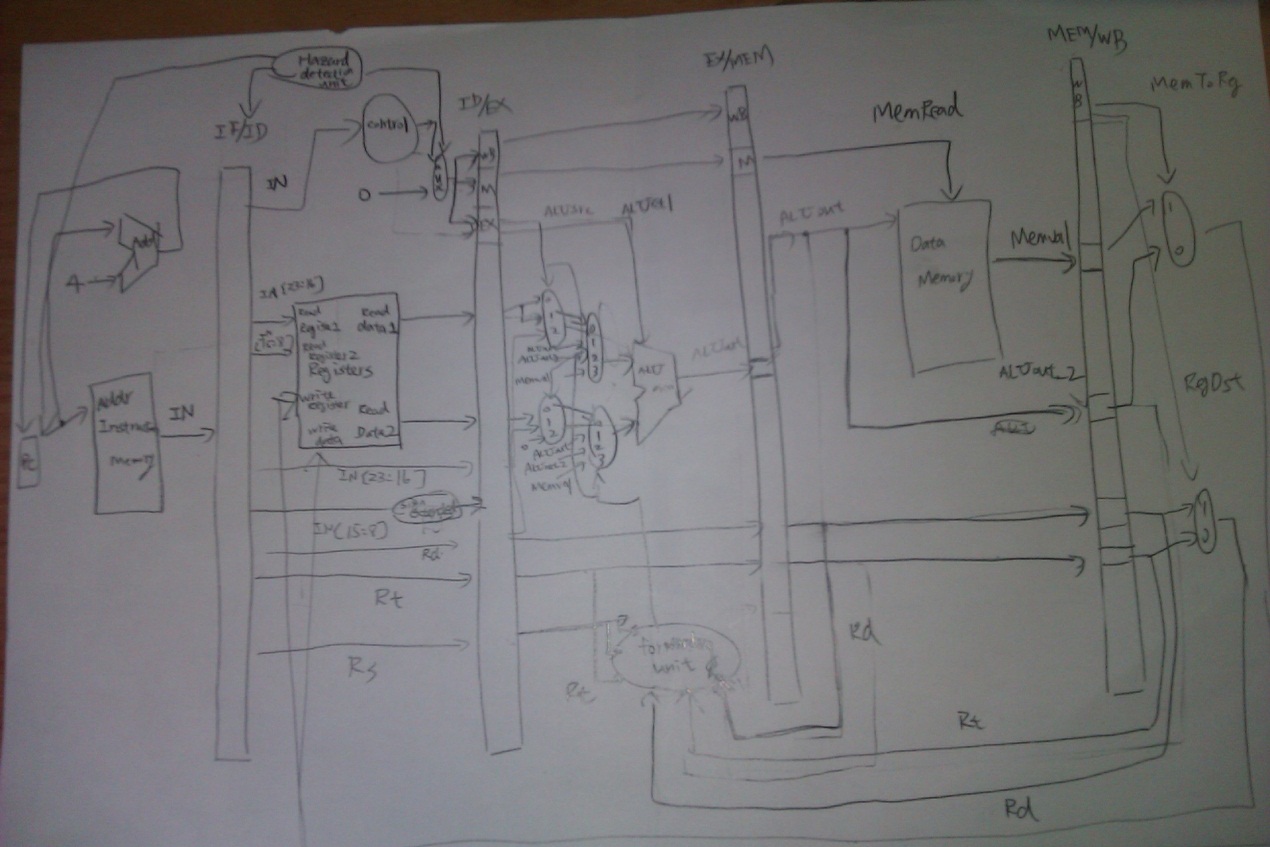
Project 5 9817059李揚

Datapath:



由於訊號有點多，我這張圖畫得不是很好，有點小潦草。

不過我在此介紹比較值得注意的幾個unit(畫得比較不清楚的禍跟課本不一樣的):

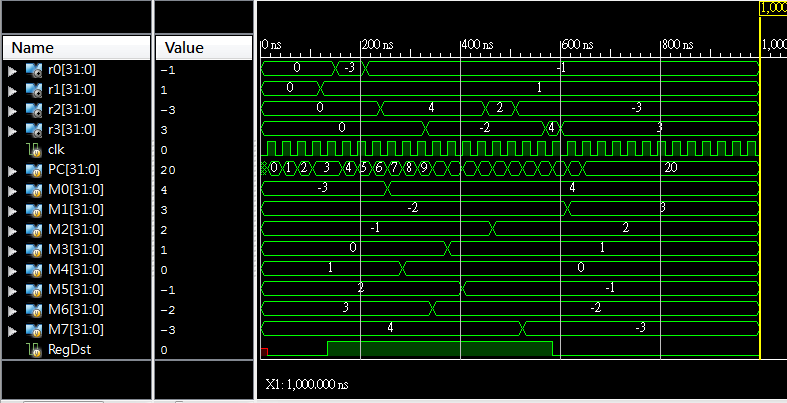
1. forwarding unit:

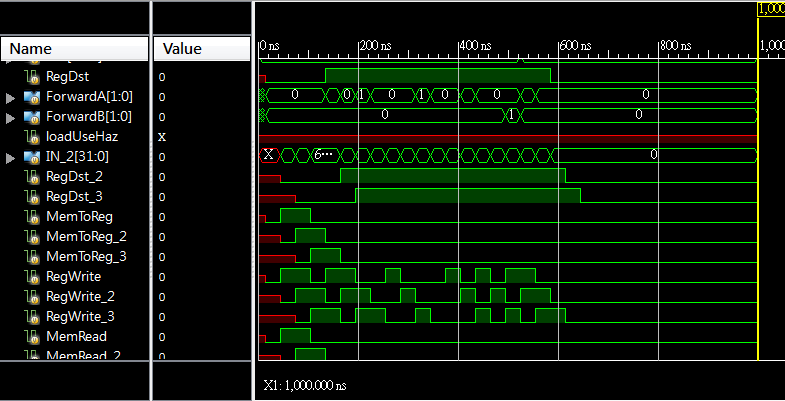
forwarding unit產生0~3的訊號，0,1 ,2與課本相同，三是用來做load use的forwarding，要多出三的主要原因為load要把memval(從memory讀出來的值)做forwarding而不是ALU算出來的值。

1. RegDst:，跟課本不一樣的是我把這個訊號放進的是WB stage。

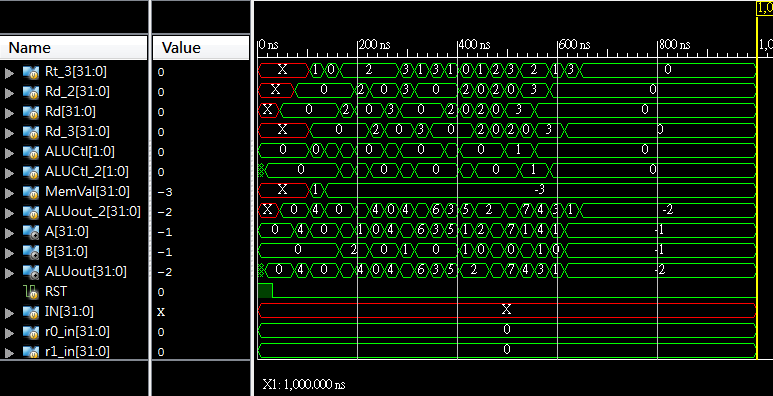
然後剩下來元件的運作方式跟之前的都一樣。或者跟課本一樣。

Waveform:









Reflection:

我覺得這次作業頗有困難度的。把原先sigle-cycle design轉成pipe line瞬間就產生了很多訊號，debug的難度也增加了很多，所以這次作業花了我不少的時間。不過做完後也得到了很多收穫。對於pipeline個個訊號在各個時間點的運作有了更好的掌握。