

SOCE Lab (1/2): Circuit Placement & Power Planning

- 1 Lab 目的: Design import, Floorplan, Powerplan (Power Ring, Power Stripe)
- 2 取得 Lab materials
wget http://eda.ee.ntu.edu.tw/~yslu/CVSD/SOCE_Lab.tar.gz
tar -zxvf SOCE_Lab.tar.gz
- 3 可以先使用 vi, joe, 或是 cat 等指令查看 design_data 的 CHIP.v、CHIP.ioc 以及 CHIP.sdc 檔案。CHIP.v 檔主要是在原本合成完的 Design 上面架上 CHIP 之 module, 此 module 包含 input/output pad 以及原本 Design 之 top module (此範例使用的是 DCT 電路); 而 CHIP.ioc 主要則是規畫各個 input/output pad 是擺在 CHIP 四周的哪些地方, 此外還包含 Core power pad, I/O power pad 以及 Corner pad; CHIP.sdc 則是包含 timing constraint, 之後作 timing analysis 與 timing-driven PR (Place and Route)會用到。
 - 3.1 Core power pad 主要是用來做晶片內部的供電所需。
 - 3.2 I/O power pad 主要是用來做 input/output pad 本身的供電所需。
 - 3.3 Corner pad 是用來做 pad 與 pad power 之連接用。
- 4 開啟 SOC Encounter
 - 4.1 可使用 SOCE 之 CAD 工作站一覽: cad21、cad29、cad35、cad36、cad37
 - 4.2 source /usr/cad/cadence/CIC/edi.cshrc
 - 4.3 在 SOCE_Lab 目錄下執行
encounter
注意不可以加上 & 指令(背景執行), 因為 SOC Encounter 開啟之後會使用到兩種不同的介面, 一者為目前開啟 SOC Encounter 的 terminal (command line 輸入), 另一個則是開啟軟體之後會出現的 GUI 介面。
規定在 SOCE_Lab 目錄下執行 SOC Encounter, 是因為之後讀檔需要檔案路徑, 而此文件描述之路徑都是相對路徑(從 SOC_Lab 出發), 若在其他目錄執行, 則必須更改相對路徑。
- 5 Design Import
 - 5.1 File → Import Design...
 - 5.2 Netlist → Verilog → Files 選擇旁邊的 “...” 按鈕, 出現 Netlist Files 之後, 輸入 design_data/CHIP.v, 接下按下 Add, 即可將 CHIP.v 檔輸入至 Verilog Netlist → Files 中。
 - 5.3 Netlist → Verilog → Top Cell 選擇 By User, 填入 CHIP。
 - 5.4 LEF Files
選擇旁邊的 “...” 按鈕, 按下 >> 之後, 將 LEF Selection 底下的 Filters 改為 All Files(*), 再輸入下列的檔案(注意: 由於 tsmc13fsg_8lm_cic.lef 包含了所有製程資訊, 所以一定要擺在第一個輸入)

library/lef/tsmc13fsg_8lm_cic.lef

library/lef/tpz013g3_8lm_cic.lef

library/lef/RF2SH64x16.vclef

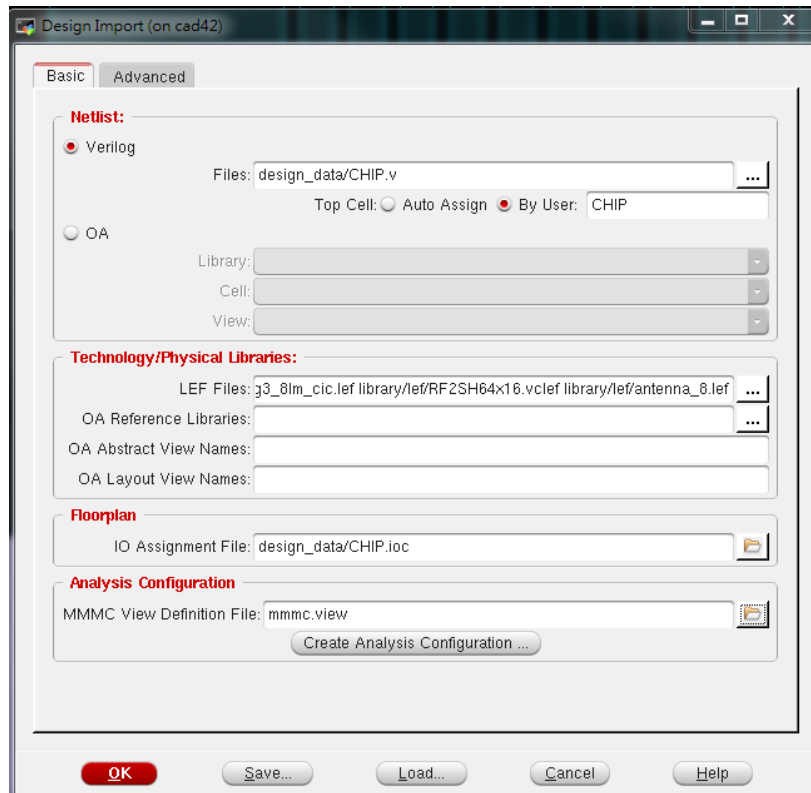
library/lef/antenna_8.lef

5.5 IO Assignment File 填入 design_data/CHIP.ioc。

5.6 MMMC Objects

MMMC 的設定相當多，直接 load 已經設好的檔案。

按旁邊的 Load，選擇 mmmc.view



5.7 切換到 Advanced。

5.8 Power

Power Nets 填入 VDD；Ground Nets 填入 VSS (TSMC 製程)。

5.9 由於每次在 Design Import 這邊都需要輸入很多設定，我們可以在填完設定之後按“Save...”的按鈕將我們設定好的檔案存入，方便以後可以直接使用“Load...”的按鈕快速將我們的設定載入。

5.10 此 Lab 已經有存好一個設定檔 CHIP.conf，直接載入後按下 OK。

6 Global Net Connect

此步驟主要是把所有的 Standard cell 的 power/ground pin 連接到 VDD/VSS。

6.1 Power → Connect Global Nets

6.1.1 Pin Name(s)填入 VDD，Scope 選 Apply All，To Global Net 填入 VDD，按 Add to List。

6.1.2 Pin Name(s)填入 VSS，Scope 選 Apply All，To Global Net 填入 VSS，

按 Add to List。

6.1.3 將 1'b1/1'b0 連接至 VDD/VSS。

6.1.3.1 Connect 選 Tie High，Scope 選 Apply All，To Global Net 填入 VDD，按下 Add to List。

6.1.3.2 選擇 Tie Low，To Global Net 填入 VSS，按下 Add to List。

6.1.4 按下 Apply，再按 Check，再關閉視窗。

7 Specify Scan Chain

由於 Design 中已經有插入 Scan chain，所以必須跟 SOC Encounter 講 Scan chain 的位置 (scan in, scan out)，此步驟須由 terminal 輸入 command：

7.1 encounter> specifyScanChain scan1 -start ipad_SCAN_IN/C -stop opad_SCAN_OUT/I

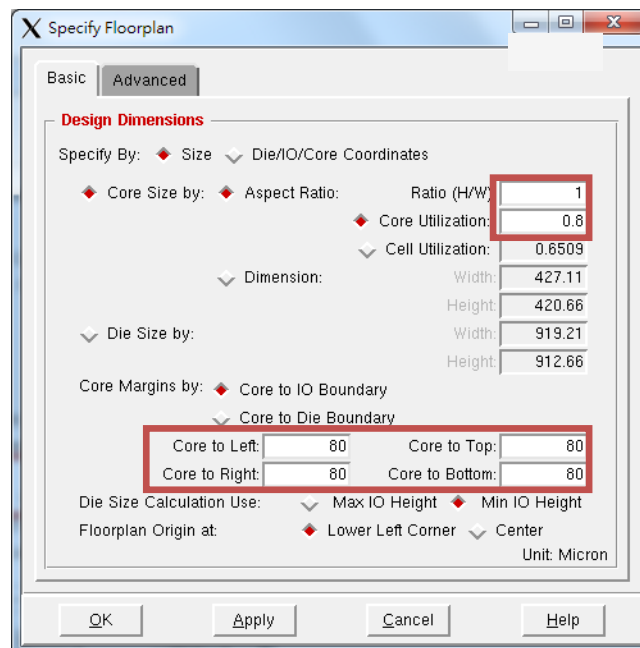
7.2 encounter> scantrace

注意：在這個範例中，scan out 為 primary outputs，理論上必須 specify 所有 scan in 到 primary output 的 scan chain，在此我們僅考慮唯一的 scan path。

Q1: Scan trace summary 顯示這個 scan train 共有多少個 bits? _____

8 Floorplan

8.1 Floorplan → Specify Floorplan ... (根據不同 Design，可給予適當設定。)



8.2 可以看到 Layout 旁邊粉紅色區塊是我們的 Design (DCT)，而另一邊的綠色區塊(SRAM_i0)則是 Design 中使用到的 Memory block。


8.3 在此可以先讓 SOC Encounter 幫我們初步的擺入所有的元件

Place → Place Standard Cells ...

8.3.1 選擇 Run Placement In Floorplan Mode (Optimization Options 的兩個選項都取消不選: Include Pre-Place Optimization 及 Include In-Place Optimization)，按 OK。

8.4 執行完之後可以選擇不同的 design view (Amoeba view, ...)，會看到 tool 已經幫我們把所有的 cell 以及 block 擺進去 core 裡面，在此我們可以任意更改 Memory 的擺放方式，例如以下步驟：

8.4.1 用滑鼠點一下 Memory，選擇 Floorplan → Edit Floorplan → Flip/Rotate...，選擇 R90，按 OK，此時會發現我們的 Memory 已經被轉了 90 度角。

8.4.2 切換到 Floorplan view，選擇 ，此時再去點選 Memory 會發現我們們可以任意移動 Memory 的位置，通常我們會將 Memory 擺到 Core 的四周 (ex: 往右上角擺)。

8.5 替 Memory 加上 Halo

要做這個步驟的原因是因為 Halo 區塊之下不會擺放任何的 Standard cell，這使得之後 Memory 在做繞線 (Routing) 時可以有比較大的空間，不至於讓 Standard cell 擠在 Memory 周圍。

8.5.1 Floorplan → Edit Floorplan → Edit Halo...

8.5.2 選擇 Selected Blocks/Pads (確定現在的 Memory 是在選到的狀態)，現在要加的是 Placement Halo，在 Top/Bottom/Left/Right 四個欄位都填入指定的寬度 (30um)，按 **OK**，會看到 Memory 周圍多了一圈紅的區域。

8.6 Timing analysis

8.6.1 Timing → Report Timing ...

8.6.2 Design Stage 選擇 Pre-Place，按下 OK。

此時 Tool 會開始分析 trial route 與 RC Extraction，計算出各點的 delay 後再使用 STA (Static timing analysis) 分析 Data path。

8.6.3 Tool 跑完之後可以在 Terminal 看到分析之後的結果，主要是 WNS (Worst Negative Slack)，如果這個值是負的，則表示目前的 Placement 結果無法達到 CHIP.sdc 裡面的 Timing constraint。

Q2: 此時 WNS 是多少? _____；TNS 是多少? _____。

8.6.4 如果 WNS 是負的，SOC Encounter 有一補救的方法，就是執行 Timing Optimization (後面會講解步驟)。

8.7 在做完初步的 Placement (Run Placement In Floorplan Mode) 之後，接著做 Full mode 的 Place。

8.7.1 Place → Place Standard Cells ...

8.7.2 選擇 Run Full Placement，取消 Include Pre-Place Optimization，勾選 Include In-Place Optimization。

8.7.3 按 Mode，加選 Enable Clock Gating Awareness，按 OK。

8.7.4 按 OK 開始跑 Placement。(注意：完成時，terminal 的 command line 並不會主動出現)。

8.7.5 關閉 Placement 視窗。

8.8 執行 Place → Refine Placement 來讓 cell 擺置的方向正確。

8.9 再分析一次 Timing (步驟 8.6)，Design Stage 選擇 Pre-CTS。

8.10 如果 WNS 為負，則進行 Timing Optimization。

8.10.1 Optimize → Optimize Design...

8.10.2 使用內定值，按 OK。

9 存入檔案

9.1 File → Save Design...

9.2 File name 取名為 placed.enc，按 OK。

之後重新執行 Encounter，可以直接載入 .enc 檔：

File → Restore Design

Restore Design File name 填入欲載入的 .enc 檔名

10 Create Power-ring

主要是打在 core 周圍，讓晶片內部的供電電壓均勻，避免 IR drop。

10.1 Place → Refine Placement ...，直接按 OK。

此步驟主要是先拿掉 timing analysis 產生的 trial route 的結果，以免影響 Powerplan，做完這步之後會發現 Physical view 裡面原本有的繞線都被移除了。

10.2 Power → Power Planning → Add Rings ...

10.2.1 Net(s) 填入 VDD VSS。

10.2.2 Ring Configuration

10.2.2.1 Top/Bottom Layer 改成 METAL7 H。

10.2.2.2 Left/Right Layer 改成 METAL6 V。

10.2.2.3 Width 都改成 2。

10.2.2.4 填完之後按一下 Spacing 旁邊的 Update。

10.2.2.5 Offset 選 Center in channel

10.2.3 切換到 Advanced

10.2.3.1 選擇 Use wire group, Interleaving。

10.2.3.2 Number of bits 填入 15。

10.2.3.3 按 OK。

做完之後可以看到 Core 跟 I/O Pad 之間多了一圈 Power ring。

11 連接 Power pad

11.1 Route → Special Route ...

11.1.1 Net(s) 填入 VDD VSS。

11.1.2 SRoute 只選取 Pad pins 其他皆不選取

11.1.3 切換到 Advanced，選 Pad Pins，並把 Number of Connections to Multiple Geometries 設為 All，按 OK。

做完之後會發現有四條 Power pad 已經連接到 Power ring 上面。

12 Create Power-stripe

這個做法主要也是用來使 core 內部的供電電壓均勻。

12.1 Power → Power Planning → Add Stripes ...

12.1.1 Net(s)填入 VDD VSS。

12.1.2 Layer 選擇 METAL6。

由於我們想要 create 的是直的 stripe，所以在這裡我們選擇 METAL6，若是要打上橫的 stripe，則選擇 METAL7。

12.1.3 Width 設定為 1，按下 Update。

12.1.4 選擇 Set-to-set distance，並設定為 100。

12.1.5 X from left 設定為 150，X from right 設定為 100。

12.1.6 切換到 Advanced。

12.1.7 選擇 Use wire group 與 Interleaving，Number of bits 設定為 5。

12.1.8 加選

12.1.8.1 Omit stripes inside block rings

12.1.8.2 Switch layer over obstructions

12.1.8.3 Pad/Core ring connection → Allow jogging

12.1.8.4 Block ring connection → Allow jogging

12.1.9 切換到 Via Generation，並且加選

12.1.9.1 Use exact overlap area on partially intersection wires

12.1.9.2 Spilt vias while encountering Obs and different net Wires/Pins

12.1.9.3 Generate same-sized stack vias while encountering macro Pins/Obs

12.1.10 按 OK

Q3: 一共加入了幾組(group) power stripes? _____

(一組 group 包含兩條 stripe，分別為 VDD 及 VSS)

13 DRC Check

13.1 Verify → Verify Geometry ...

13.2 檢查是否有任何的 Violations，在這裡出現的 Violation 最好要解決掉(可以重新做 placement 或是手動移動 block)，否則留到後面就很難解決了

13.3 在 layout 上面如果有出現 X 的圖案，則表示那邊有 DRC error。

14 存出檔案

14.1 File → Save Design

14.2 File name 取名為 powerplan.enc，按 OK。