

## SOCE Lab (2/2): Clock Tree Synthesis and Routing

*Lab materials are available in the attached file “powerplan.tar.gz”*

*Please untar the file in the folder “SOCE\_Lab” before lab*

### 1 開啓 SOC Encounter

1.1 % source /usr/cad/cadence/CIC/edi.cshrc

1.2 % encounter

注意不可以加上 & 指令(背景執行)，因為 SOC Encounter 開啟之後會使用到兩種不同的介面，一者為目前開啟 SOC Encounter 的 terminal (command line 輸入)，另一個則是開啟軟體之後會出現的 GUI 介面。

### 2 讀取存檔

File → Restore Design → Restore Design File → 選擇 powerplan.enc

### 3 先做一下 timing analysis

執行 Timing → Report Timing... **OK**

若 Worst negative slacks 〈WNS〉是負的，則必須做 optimization，或者是 DRV 若有 max fanout violation 也可以用 optimization 來修

Optimize → Optimize Design...，在 Optimization Type 裡加選 Max Fanout，**OK**

如果 Optimization 作完後仍然 WNS 為負，則繼續執行 Optimization，直到修到 WNS 為正

### Add Tie High/Low Cell

#### 4 將 1'b0 及 1'b1 連到 tie high 或 tie low cell 上

4.1 設 tiehi tielo mode

執行 Place → Tie Hi/Lo Cell → Add → Mode，左欄選 TieHiLO，Cell Name 輸入 TIEHI TIELO，Maximum Fanout 設 10，Maximum Distance 設 100，**OK**

4.2 Cell Name 已設為 TIEHI TIELO，**OK**

(TIEHI TIELO 中間有空格，外面不要有大括號)

### Clock Tree Synthesis

#### 5 執行 Clock → Synthesis Clock Tree

在 Synthesis Clock Tree 裡按 **Gen Spec...**

5.1 在 Generate Clock Spec Form 裡，把 CLKBUF\* 及 CLKINV\* 等 cell 加入到 Selected Cells 中

Output Specification Files 取名為 Clock.ctstch，按 **OK**

5.2 回到 terminal 〈另開一個 terminal，不是 encounter 的 terminal〉，使用文

字編輯軟體修改 Clock.ctstch，將 MaxDelay 設為 1ns 及 MinDelay 設為 0ns，儲存後離開。

(若將這兩個值設 set\_clock\_latency 為 default 值，但這樣 delay 有點大，不修的話 tool 會想盡辦法 meet 這個，所以改小比較好)

- 5.3 回到 Synthesize Clock Tree，Clock Specification File 保留 Clock.ctstch，按 **OK**
- 5.4 CTS 結束後，可在 log 裡看到各個 clock timing 的結果，或是可以在 clock\_report/clock.report 裡看到結果，看看有沒有符合 constraint
- 6 執行 Clock → Display → Display Clock Tree...
  - 6.1 在 Display Clock Tree form 裡的 Display Selection 部份選 Display Clock Tree 及 All Level，**OK**
  - 6.2 切到 physical view，把 net display disable，就可以看到 clock tree 的分布
  - 6.3 Clock → Display → Display Clock Tree...，選 Display Clock Phase Delay，**OK**  
紅色表示 phase delay 最嚴重，藍色最輕微。
  - 6.4 執行 Clock → Browse Clock Tree...，在 Clock Tree Browser Form 選 CLK，**Select**，**OK**
  - 6.5 在 Clock Tree Browser 裡選 Display → Hide/Show → ...Input Tran 就可以看到每一個 leaf instance 後面的 input transition time
  - 6.6 Browser → Close，關閉 Clock Tree Browser
  - 6.7 Clock → Display → Clear Clock Tree Display
- 7 (註：Edit 有一些選項可以讓我們手動改 clock tree)
- 8 File → Save Design，存成 cts.enc
- 9 再做一次 Timing analysis，Timing → Report Timing，Design Stage 選 Post-CTS，**OK**
  - 9.1 若 WNS 是負的，做 Optimize → Optimize Design...，選 Post-CTS，**OK**，
  - 9.2 重複 9.1 直到 WNS 為正，再存檔成 cts.enc

**Q1: 此時 WNS 是多少? \_\_\_\_\_；TNS 是多少? \_\_\_\_\_。**

## Route Power

- 10 Connect Powerpin
  - 10.1 Route → Special Route...
  - 10.2 Basic → Net(s) → **...** → 加入 VSS VDD  
SRoute 只留下 Follow pins → **OK**  
將 Color control 的 Net 設為不可見，就可以看到 core cell 的 power 都連到左右的 power ring 上
- 11 檢查 Special Net 的 DRC 及 connectivity
  - 11.1 Place → Refine Placement..., **OK**

將 trial route 的 signal net 移除

11.2 Verify Connectivity..., Net type 選 Special Only, Check 取消 unrouted net, 是否有任何 violation ?

(如果有任何的 violation, 每一個都用滑鼠點擊選取 violation 的繞線, 按鍵盤大寫 T 以修正問題;修正完後可以重複 11.3 確認不再有 violation)

## 12 Add IO Filler

12.1 在 encounter 的 terminal 執行 addIoFiller\_tpz.cmd

encounter> source addIoFiller\_tpz.cmd

12.2 可以看到 IO pad 的空隙被填滿了

13 File → Save Design..., 存成 powerroute.enc, 按 Save

## Routing

### 14 Route

14.1 Route → NanoRoute → Route...選 Timing drive 和 SI Driven

選 Insert Diodes, Diode Cell Name 輸入 ANTENNA

14.2 按 Attribute

在 NanoRoute/Attribute form 裡

14.2.1 選 Nettype(s), Clock Nets

14.2.2 Weight: 10

14.2.3 Spacing: 1

14.2.4 Avoid Detour: True (意思是 Route as short as possible)

14.2.5 按 **OK**

14.3 NanoRoute form 按 OK, 開始 routing

看看有沒有 violation? (IO filler 上會出現 overlap violation, 這些可以忽略: Tools → Violation Browser... → Clear Violation)

**Q2: Routing 結束後的 Total wire length 為\_\_\_\_\_um。**

### 15 Timing Analysis, Post route Optimization

15.1 Timing → Report Timing

Design Stage 選 Post-Route

Analysis Type: Setup

**OK**

15.2 若 WNS 為負的則做 15.3 不然就跳到 15.4

15.3 Optimize → Optimize Design...

Design Stage: Post-route

加選 Max Fanout

**OK**

一直重覆 15.3 到 WNS 為正的為止

15.4 同 15.1, 但將 Analysis Type 改為 Hold 來分析看看 hold time

**Q3: Setup time analysis: WNS = \_\_\_\_\_ ; TNS = \_\_\_\_\_ 。**

**Q4: Hold time analysis: WNS = \_\_\_\_\_ ; TNS = \_\_\_\_\_ 。**

15.5 先存檔，File → Save Design ... 存成 routed.enc

## 16 Add Core Filler

16.1 Place → Physical Cells → Add Filler...，在 form 裡的 Cell Name(s) 按

**Select**，選右邊 Cells List 裡全部的 filler 按 **Add** 加入左邊 Selectable Cells Lists 裡，**Close**

16.2 在 Add Filler form 裡按 OK，encounter 自動從最大的 filler 加到最小的 filler

16.3 Verify Geometry..., **OK**

16.4 Verify Process Antenna..., **OK**

16.5 Verify Connectivity, 選 All, 選 unrouted net..., **OK**

16.6 File → Save Design，存成 corefiller.enc

## 17 Finish

17.1 File → Save → Netlist..., Netlist File 填 CHIP.v, **OK**

17.2 Timing → Write SDF..., 取消 Ideal Clock, 存成 CHIP.sdf, **OK**

17.3 File → Save → DEF..., 點選 Save Scan，File Name 填 CHIP.def, **OK**

## 18 Add dummy metal

Route → Metal Fill → Add..., 取消 Tie High/Low to net(s)，按 OK，整個 layout 就被 dummy metal 填滿

這步是因為 chip out 時是一層層往上疊，若中間有洞容易垮，所以加上 dummy metal 來撐

## 19 Add bonding pad

19.1 回到 unix terminal

```
% perl addbonding.pl CHIP.def
```

19.2 回到 encounter terminal

```
encounter> source bondPads.cmd
```

在 IO pad 最外圍又加上一些 cell，就是 bonding pad

**Q5: How many bondpads are added (number of new instances)? \_\_\_\_\_**

20 為了在 LVS 驗證與 posim extraction 時可以找到 IO power 的位置，要在 export GDS 之間在 IO power pad 外加上 power label，預計輸入的位置在右下角的 IO power pad 及 IO ground pad 外的 bounding pad 上（注意：label 一定要打在 pad 上面才有效）

20.1 Edit → Custom Object Editor，在 Layer 裡輸入 METAL8 按 enter，選 Text，text 輸入 IOVDD，Origin X 輸入 1123，Y 輸入 282，Height 輸入 10，按 **Add to List**

20.2 再 Text 輸入 IOVSS

Origin X: 1234

Y: 337

**Add to List**

20.3 **Apply**, **Close** , 就會看到 IOVDD 及 IOVSS 被加到我們預定的位置

File → Save Design , 存成 finish.enc

## 21 Stream out GDS

21.1 Options → Set Mode → Mode Setup..., 左欄選 StreamOut , 取消 Virtual Connection , **OK**

21.2 File → Save → GDS/OASIS... , Output Stream File 填入 CHIP.gds

Map File: library/streamOut.map

Merge File: 填入 library/gds/tpz013g3\_v1.1.gds

library/gds/tsmc13gfsg\_fram.gds

(兩個檔案用空格隔開)

選 Wire abstract information for LEF Macros

Unit: 1000

**OK**

21.3 Design → Exit, **Yes**

## Appendix: Power Analysis

---

1. Simulation-based power analysis
  - 1.1 File → Save → Netlist... 存成 CHIP.v
  - 1.2 Timing → Extract RC... , 按 **OK**。
  - 1.3 Timing → Write SDF... , 將 delay 存成 CHIP.sdf , 不要選 Ideal Clock , 按 **OK**。
  - 1.4 利用產生的 CHIP.v 以及 CHIP.sdf 以 verilog simulation 的方式得到.vcd 檔 (CHIP.vcd) , 用它來做 power analysis 的根據。
2. Power Analysis
  - 2.1 執行 Power → Power Analysis → Setup... , 按 **OK**。
  - 2.2 執行 Power → Power Analysis → Run... , 選 Activity File → VCD File , 並填入以下資訊  
Scope: scope module  
Start: start cycle  
Stop: end cycle
  - 2.3 輸入好之後 , 按 ADD , OK。
  - 2.4 Power analysis 的文字結果在 CHIP.rpt , 看 CHIP.rpt 最底下 , Total Poer consumption 會有四個值 , 分別是 Internal Power, Switching Power, Total Power 以及 Leakage Power。
3. Power Graph
  - 3.1 執行 Power → Report → Power & Rail Result... , State 選 power Databse , 並輸入 power.db , 這個檔是剛才做 power analysis 所產生出來的 data。
  - 3.2 Plot 處的 Power Analysis Plot Type , 選 ip-Instance Total Power , Apply , 結果秀出每個 cell 的 power consumption
  - 3.3 在 Action 選 Clear Display , 按 OK 關閉 power graph。
4. Rail Analysis
  - 4.1 執行 Power → Rail Analysis → Early Rail Analysis... , 跳出 Early Analysis GUI 視窗。
  - 4.2 Net(s) 選 VSS , Power data 選 Instance Current File , 輸入 static\_VSS.ptiavg。
  - 4.3 按 Pad Location File 右邊的 **Create** , 跳出 Edit Pad Location 視窗 , 在 Net 欄位裡填入 VDD , 然後按 **Auto Fetch** , 然後在 Net 欄位裡填入 VSS , 然後在按 **Auto Fetch**。
  - 4.4 此時 Pad Location List 應該可以找到 power/ground pad 的位置 , 按 **Save...** , 把結果存成 CHIP.pp , 按 **Save** , **Cancel** 關閉。
  - 4.5 回到 Early Analysis GUI 視窗 , 在 Pad Location File 填入 CHIP.pp , 按 **OK**。
  - 4.6 執行結束之後 , 自動跳出 Power & Rail Results 的視窗 , Plot 處的 Rail Analysis Plot Type 選 ir-IR Drop , 在 Auto Filter 按 **Linear** , **Auto** , 然後按

。

4.7 Encounter 秀出 IR drop 的結果，為了方便觀看，可以把 display control 的 Instance、Net、Special Net 設成 un-visible，你可能需要切換 color control 的 switch bar 才能看到這幾個設定。

## 5. EM power graph

5.1 在 Power & Rail Results 的視窗，Plot 處的 Rail Analysis Plot Type 改選 er-Electromigration Risk(在最底下)，在 Auto Filter 按 ，，然後按 。

5.2 Encounter 秀出 Electron migration 的結果。

5.3 在 Action 選 Clear Display，按  關閉 power graph。