

---

## BLOQUE II

# PRESTACIONES DE LOS SISTEMAS DIGITALES Y TÉCNICAS DE OPTIMIZACIÓN

### Prestaciones temporales

#### Teoría

Tema 3: Comportamiento temporal de circuitos digitales

Tema 4: Técnicas de optimización a nivel RT

# BLOQUE II

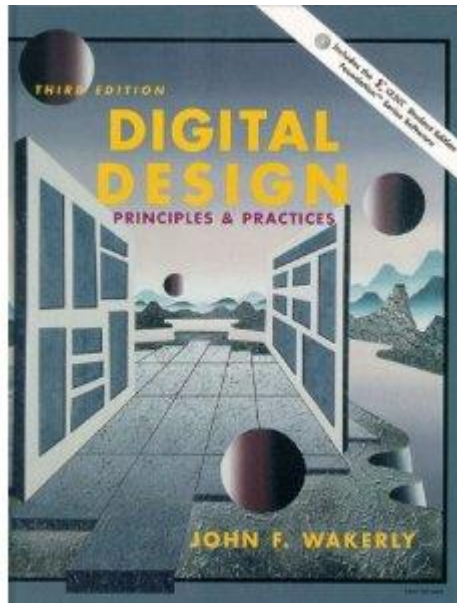
## PRESTACIONES DE LOS SISTEMAS DIGITALES Y TÉCNICAS DE OPTIMIZACIÓN

### Tema 3

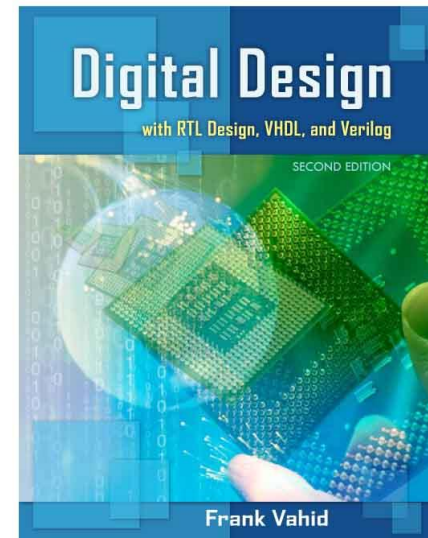
## COMPORTAMIENTO TEMPORAL DE CIRCUITOS DIGITALES

# Bibliografía

---



Ed. Prentice Hall



Ed. John Wiley and Sons

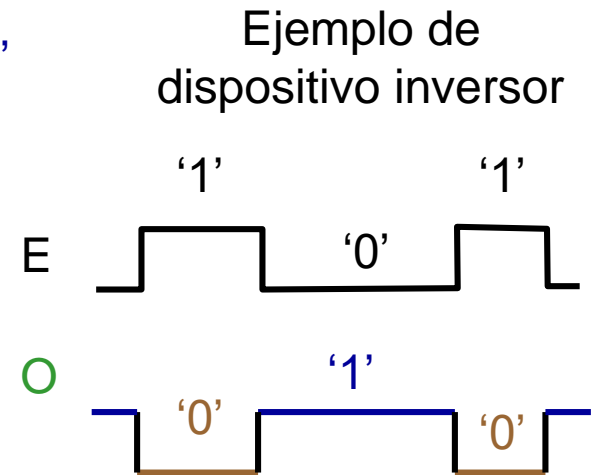
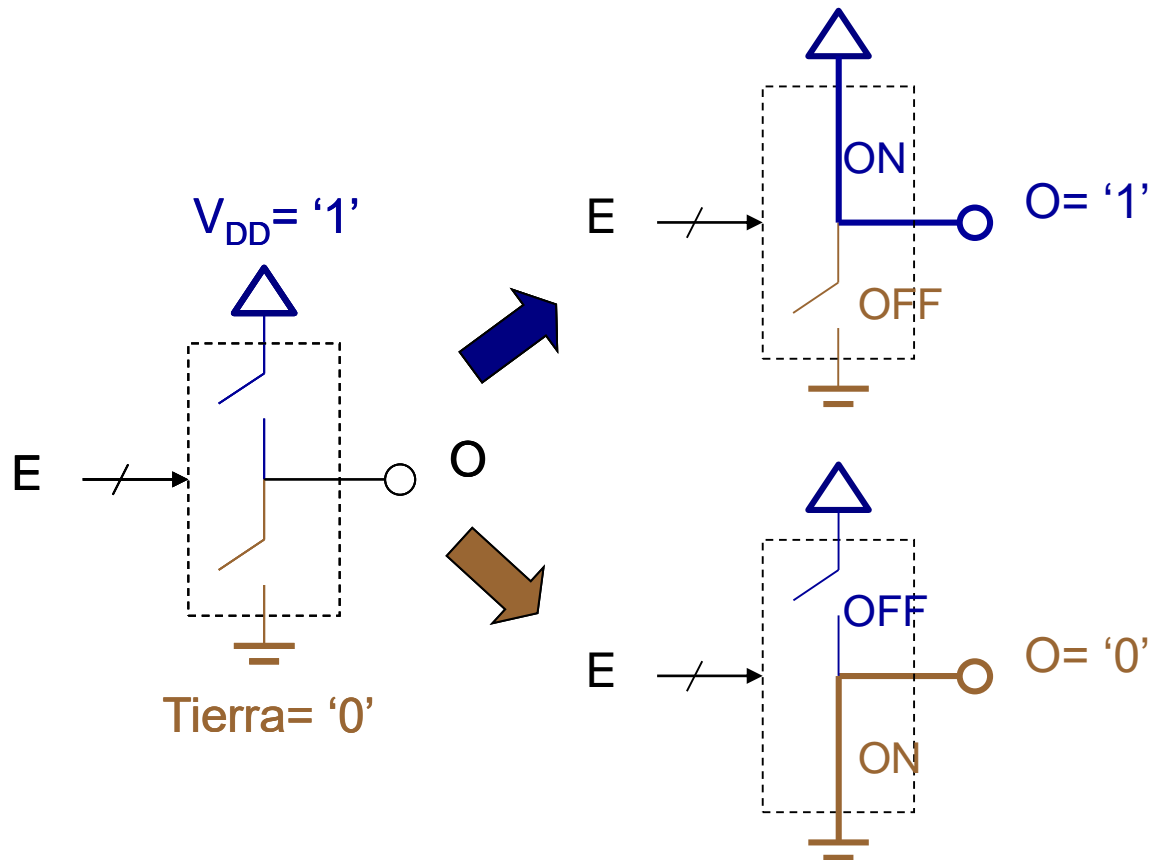
# Índice Tema 3

---

- Introducción
- Puertas lógicas e interconexiones:
  - Parámetros temporales
  - Retrasos dependientes de la carga
  - Retrasos inerciales y de transporte
- Circuitos combinacionales
- Circuitos secuenciales con reloj ideal
- Circuitos secuenciales con reloj no ideal

# Introducción

Una **puerta lógica** podemos entenderlo como un elemento **compuesto por interruptores** que **conectan la salida** al valor de **'1' lógico** (*alimentación del circuito*) o **'0' lógico** (tierra) en función de la entrada o combinación de entradas



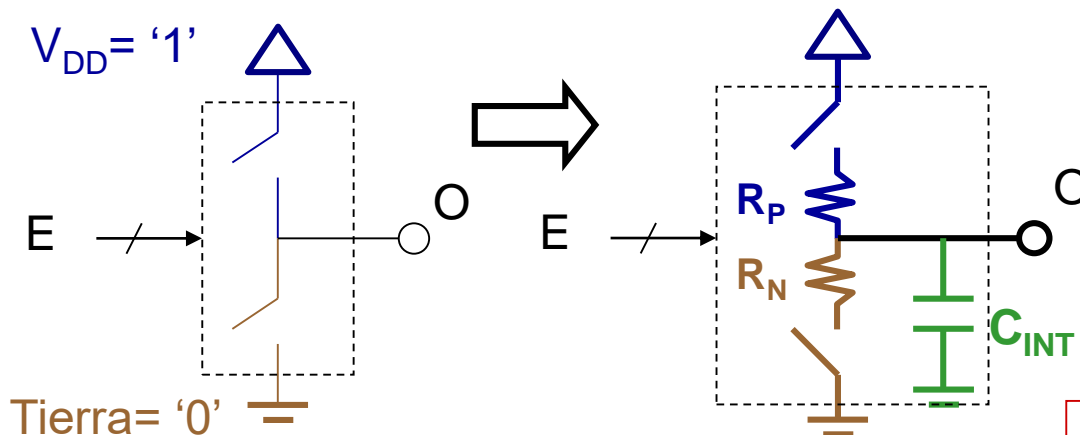
Este modelo explica la funcionalidad pero no el comportamiento temporal

# Introducción

Las salidas de una puerta real necesitan tiempo para reaccionar ante los cambios en sus entradas

- Un modelo sencillo para explicarlo: Modelo RC

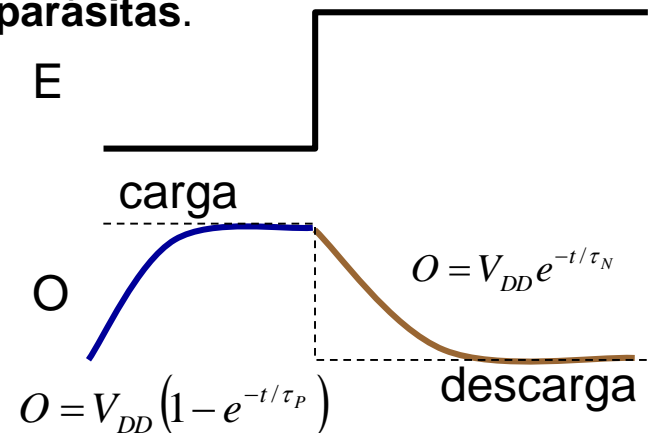
El transistor es el dispositivo que actúa como interruptor. Un transistor, como dispositivo real, presenta una **resistencia** a la conducción y tiene asociadas a sus terminales diversas **capacidades parásitas**.



$R_P/R_N$  : Resistencia asociada al interruptor 'p'/'n'

$C_{INT}$  : Capacidad intrínseca asociada al dispositivo

Dependen de la tecnología, la tensión de polarización, la temperatura y el tamaño de los transistores



$$\tau_P = R_P C_{INT}$$

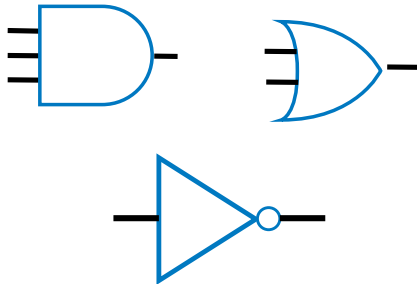
$$\tau_N = R_N C_{INT}$$

Constantes de tiempo asociadas a la **subida** y a la **bajada**.

**Modelo RC: retraso =  $\sim 0.69RC$**

# CARACTERIZACIÓN TEMPORAL. PUERTAS LÓGICAS e INTERCONEXIONES

## PARÁMETROS TEMPORALES. RETRASOS



### TIEMPOS DE TRANSICIÓN:

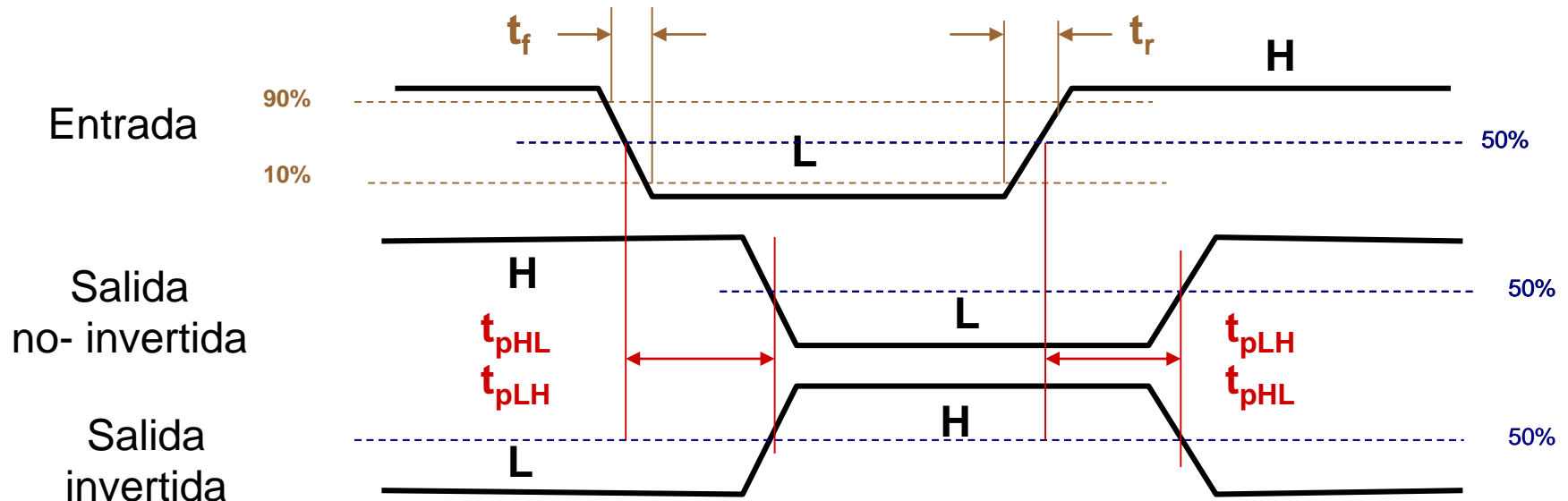
$t_f$ : Tiempo de bajada (90%-10%)

$t_r$ : Tiempo de subida (10%-90%)

### RETRASOS:

$t_{pLH}$ : Tiempo de propagación Bajo-Alto (50%-50%)

$t_{pHL}$ : Tiempo de propagación Alto-Bajo (50%-50%)



# CARACTERIZACIÓN TEMPORAL. PUERTAS LÓGICAS e INTERCONEXIONES

---

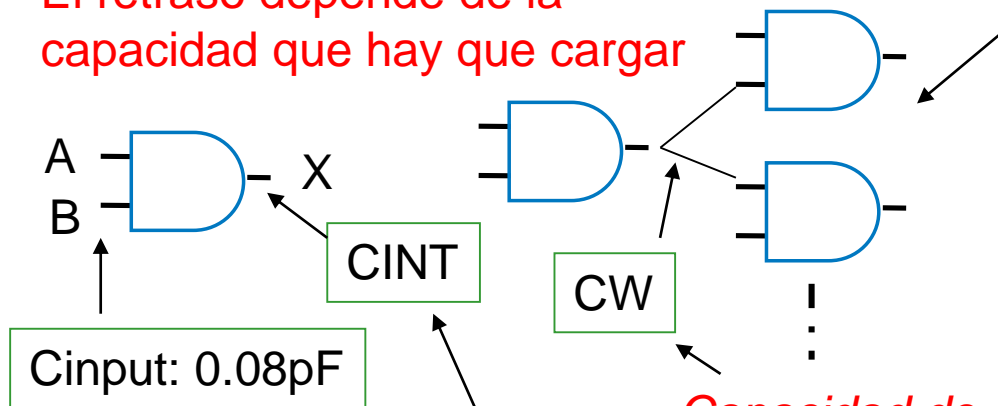
## PARÁMETROS TEMPORALES. RETRASOS

- ☐ Se pueden medir otros retrasos para una puerta: *tiempo que transcurre hasta que la salida es válida o tiempo que transcurre hasta que la salida empieza a cambiar*. Este último se denomina **tiempo de contaminación**.
- ☐ Los retrasos dependen a su vez del proceso de fabricación y de las condiciones de operación (temperatura, tensión)
- ☐ Los retrasos dependen de las condiciones de carga (qué se conecta a la salida de la puerta)
- ☐ Cada camino de entrada/salida tiene su propio retraso.
- ☐ Caracterizar el comportamiento temporal de las puertas es importante para poder analizar el comportamiento de los circuitos
- ☐ Los modelos de retrasos que se utilizan para dicho propósito tienen en cuenta dichos factores, y con frecuencia proporcionan tres valores para cada parámetro: mínimo, típico y máximo



# CARACTERIZACIÓN TEMPORAL. RETRASOS DEPENDIENTES DE LA CARGA

El retraso depende de la capacidad que hay que cargar



Capacidad de entrada

Capacidad intrínseca de salida

Capacidad de cableado

FO: Fanout (número puertas equivalentes a las que está conectada la salida)

Modelo RC:  
 $t_p = RC \ln 2 \sim 0.69RC$

$$C = C_{INT} + FO * C_{input} + CW$$

$$t_p = 0.69 * R * (C_{INT} + C_{input} * FO + CW)$$

$$t_p = t_p(0) + K * FO + t_p(CW)$$

Symbol

$t_{PLH}$  (A to X)

$t_{PHL}$  (B to X)

$t_r$  (X)

$t_f$  (X)

FO = 0

FO = 1

FO = 2

FO = 4

FO = 8

0.25

0.35

0.45

0.65

1.05

0.17

0.24

0.30

0.42

0.68

1.01

1.28

1.56

2.10

3.19

0.54

0.69

0.84

1.13

1.71

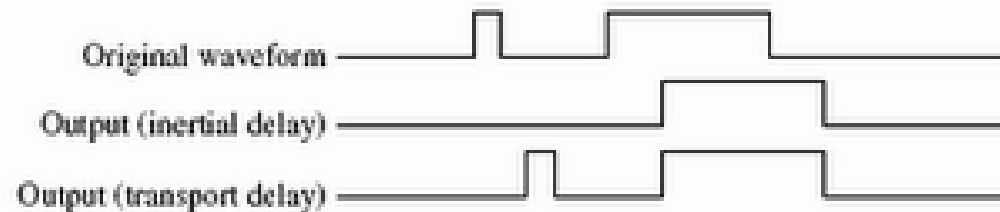
Dos puertas idénticas no tienen el mismo retraso. Depende de cómo se usen

$t_p(CW) \sim 0$

# CARACTERIZACIÓN TEMPORAL. PUERTAS LÓGICAS e INTERCONEXIONES

## RETRASOS INERCIALES Y DE TRANSPORTE

Las señales de entrada deben poseer una cierta cantidad de energía mínima para afectar a la respuesta de un dispositivo. En otras palabras, los pulsos de señal deben tener una duración mínima. En base a ello, se definen dos tipos de retrasos, los cuales son soportados en Verilog



```
buf #(2) C1 (out1, in1);
```

```
wire #(2) out2;
```

- **Retraso inercial:** medida del tiempo mínimo que un pulso de señal (anchura de pulso) debe estar presente en la entrada de un dispositivo para que sus efectos aparezcan en la salida. Un pulso de duración menor que el retraso inercial no tiene efectos de conmutación en el dispositivo.
- **Retraso de transporte.** Muy usado para modelado de “buenos conductores de señal” (poco resistivos), el retraso de transporte implica únicamente un retraso en la propagación de la señal.

# Índice Tema 3

---

- Introducción
- Puertas lógicas e interconexiones:
- Circuitos combinacionales:
  - Caminos de propagación de señales
  - Camino crítico. Retraso máximo
  - Azares y Glitches
- Circuitos secuenciales con reloj ideal
- Circuitos secuenciales con reloj no ideal

# CARACTERIZACIÓN TEMPORAL. CIRCUITOS COMBINACIONALES

- El retraso de un circuito combinacional depende de la **transición de entradas** aplicada. Dependiendo del cambio que se aplique en las entradas, éste se propaga por distintos caminos de señal.
- Retraso de camino** (path delay) – Tiempo que tarda la entrada en afectar a la salida cuando los cambios se propagan por dicho camino
- Camino crítico** (critical path)– Camino de señal con mayor retraso.
- Retraso máximo** (circuit delay)– Retraso del camino crítico.
- Este último es el que se usa como retraso de un circuito combinacional**

**Ejemplo:** Asumimos retrasos en puertas y conexiones según se indican

Retrasos de caminos:

$$k: 1+1+1+1+1= 5\text{ns}$$

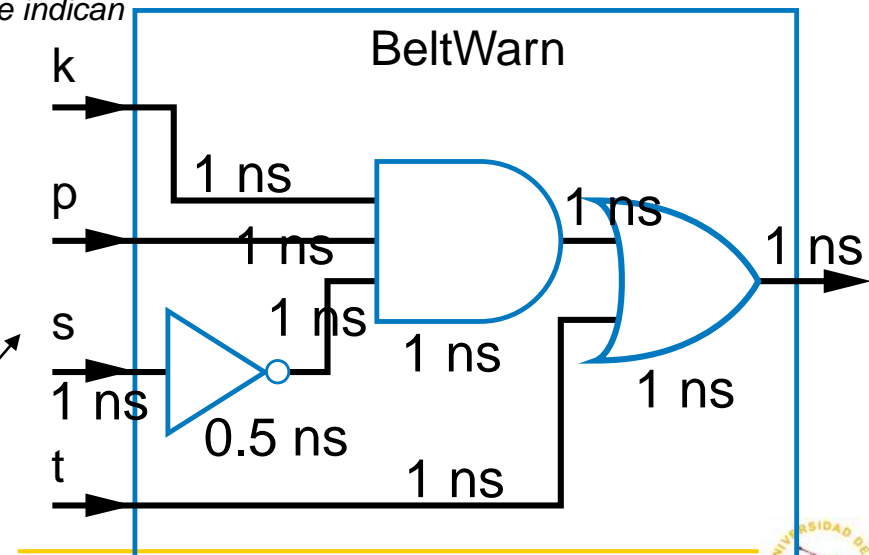
$$p=k=5\text{ns}$$

$$s: 1+0.5+1+1+1+1+1= 6.5\text{ns}$$

$$t: 1+1+1=3\text{ns}$$

**Retraso  
máximo**

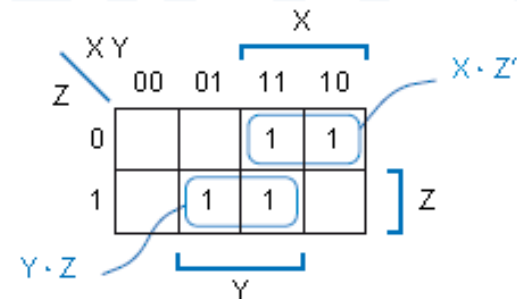
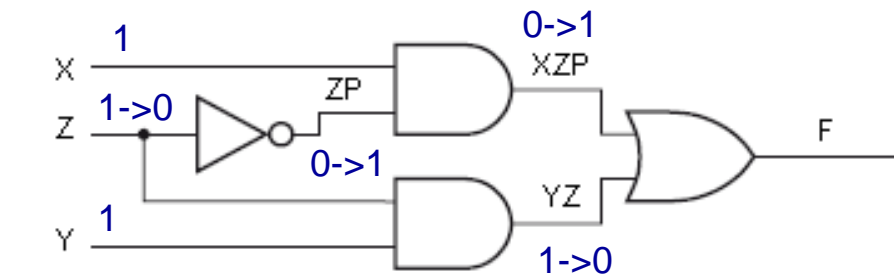
Camino crítico  
(s)



# CARACTERIZACIÓN TEMPORAL. CIRCUITOS COMBINACIONALES

## AZARES Y GLITCHES

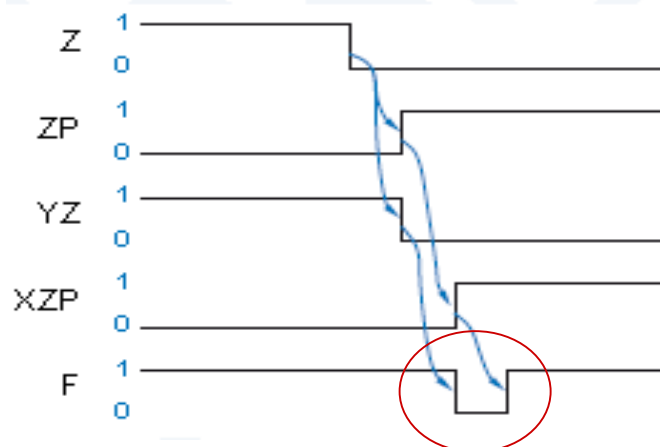
- Como consecuencia de los retrasos, el comportamiento de un circuito puede sufrir comportamientos transitorios que se desvían de lo esperado según la combinación de entradas (análisis estacionario).



$$F = X \cdot Z' + Y \cdot Z$$

El circuito produce un pulso corto , denominado “**glitch**” o “*interferencia*” aún cuando el análisis estacionario indica que la salida no debería cambiar.

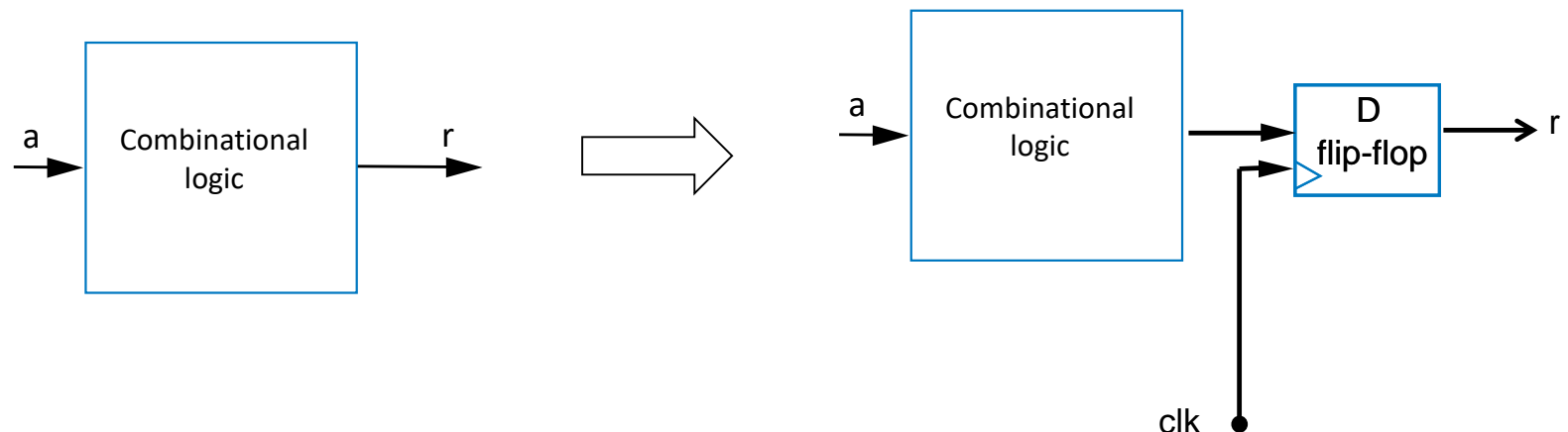
YZ cambia antes que XZP, lo que produce el “glitch”.



glitch

# CARACTERIZACIÓN TEMPORAL. CIRCUITOS COMBINACIONALES

- Se dice que el sistema presenta “*azares*” o “*riesgos*” cuando tiene la posibilidad de producir este tipo de pulsos.  
Que en realidad ocurra o no dependerá de los retrasos exactos y otras características eléctricas del circuito.
- Cuando se producen, se denominan entonces “*glitches*”.
- Hay distintas formas de evitar que ocurran
  - Aplicar métodos de diseño para que el circuito este libre de azares.
  - Igualar los tiempos retrasos de los distintos caminos de propagación de señal del circuito
  - Utilizar sincronizadores:

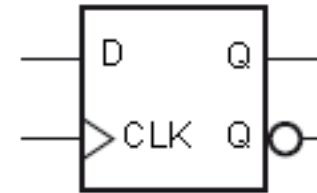


# Índice Tema 3

---

- Introducción
- Puertas lógicas e interconexiones:
- Circuitos combinacionales:
- Circuitos secuenciales con reloj ideal
  - Parámetros temporales de elementos de memoria
  - Restricciones de *set\_up* (*establecimiento*) y de *hold* (*mantenimiento*)
  - Frecuencia de operación
- Circuitos secuenciales con reloj no ideal

Los elementos de memoria son dispositivos básicos en la construcción de los sistemas digitales.



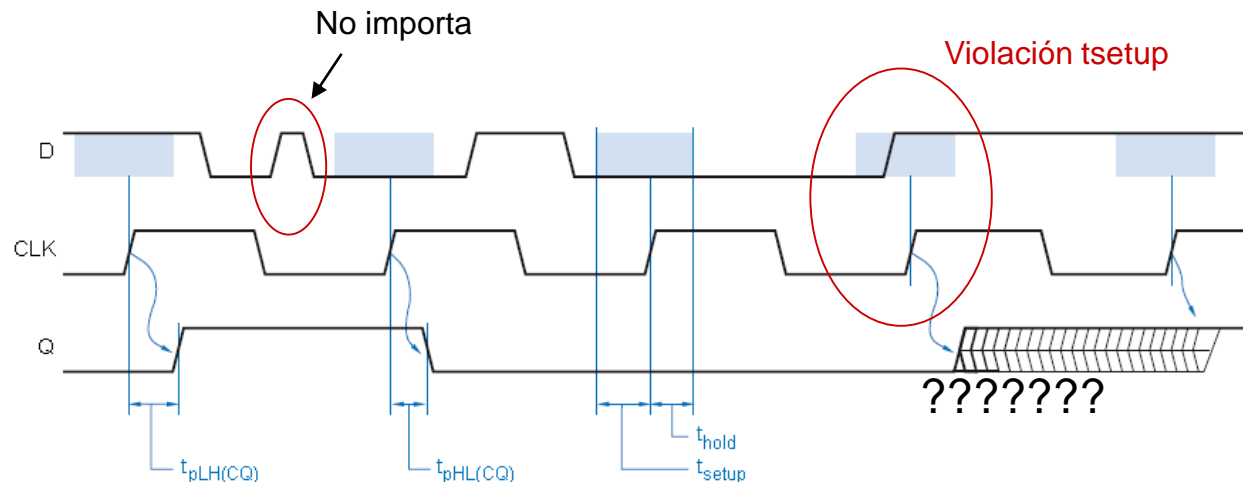


# CARACTERIZACIÓN TEMPORAL. FLIP-FLOPS

## FLIP-FLOPS (FFs, Eltos de memoria disparados por flanco)

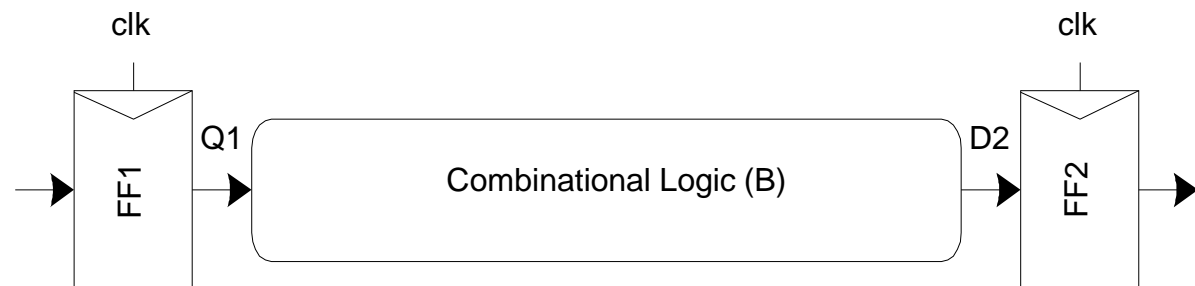
Parámetro	Acrónimo	Descripción
Tiempo de establecimiento	$t_{\text{setup}}$	tiempo mínimo que los niveles lógicos deben mantenerse constantes las entradas antes de que llegue el flanco activo de la señal de reloj.
Tiempo de mantenimiento	$t_{\text{hold}}$	tiempo mínimo que los niveles lógicos deben mantenerse constantes las entradas después del flanco de la señal de reloj.
Tiempos de propagación	$t_{\text{pLH}}(\text{CLK-Q})$ $t_{\text{pHL}}(\text{CLK-Q})$	tiempo que media desde el flanco de la señal de reloj hasta que se produce la respuesta a la salida
Frecuencia máxima de reloj	$f_{\text{max}}$	Máxima frecuencia de la señal de reloj (C) a la que se puede disparar el FF de forma fiable.

FF-D



# CARACTERIZACIÓN TEMPORAL. CIRCUITOS SECUENCIALES

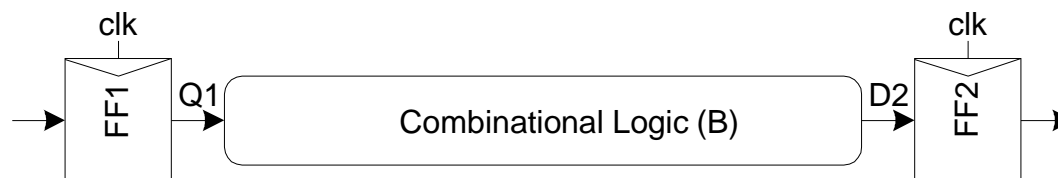
- Es posible implementar **circuito secuenciales síncronos** utilizando distintos elementos de memoria (flip-flops, latches) y distintos esquemas de reloj
- Nos centramos en circuito secuenciales síncronos con **flip-flops** y además:
  - Todos los elementos de memoria se actualizan simultáneamente utilizando una señal de sincronización periódica, distribuida de modo global para todo el sistema.
  - Hay un único flanco activo en la señal de reloj.
- ¿Funcionaría con cualquier reloj ?
  - **No**. Deben satisfacerse determinadas relaciones entre el **periodo de la señal de reloj** y los **parámetros temporales de las componentes del circuito** (retrasos de la lógica combinatorial, retrasos de los flip-flops, tiempos de *set\_up* y de *hold* de los flps\_flops, conexiones) para que opere correctamente (como su tabla de estados)



# CARACTERIZACIÓN TEMPORAL.

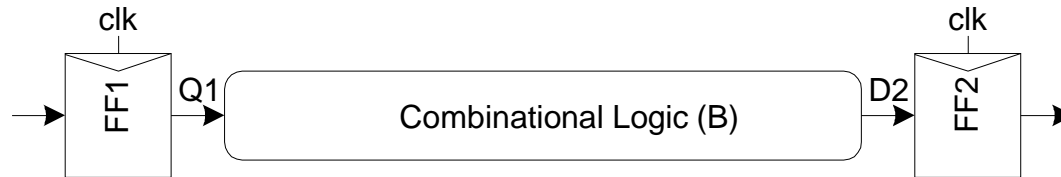
## FLIP-FLOPS y CIRCUITOS SECUENCIALES

- Cada flanco activo de reloj inicia una serie de transiciones lógicas en la red (cambios en las salidas de FF1 que se propagan por distintos caminos). Para que opere correctamente es necesario:
  - El siguiente ciclo de reloj no puede comenzar hasta que todas las transiciones lógicas se hayan resuelto y el sistema se haya estabilizado (asegurar que los valores de **D2** que corresponden al nuevo valor de **Q1** son capturados en FF2 en el **siguiente** flanco activo). **Esto limita la frecuencia de operación del circuito.** Restricciones de Set up
  - Las transiciones lógicas no deben propagarse demasiado rápido (asegurar que los valores de **D2** que corresponden al nuevo valor de **Q1** **no** son capturados en FF2 en **este** flanco). Restricciones de Hold
  - Estas restricciones son el origen de las relaciones entre parámetros de retrasos y periodo del reloj mencionadas. **Deben cumplirse incluso en el peor caso y para todos los caminos del circuito.**

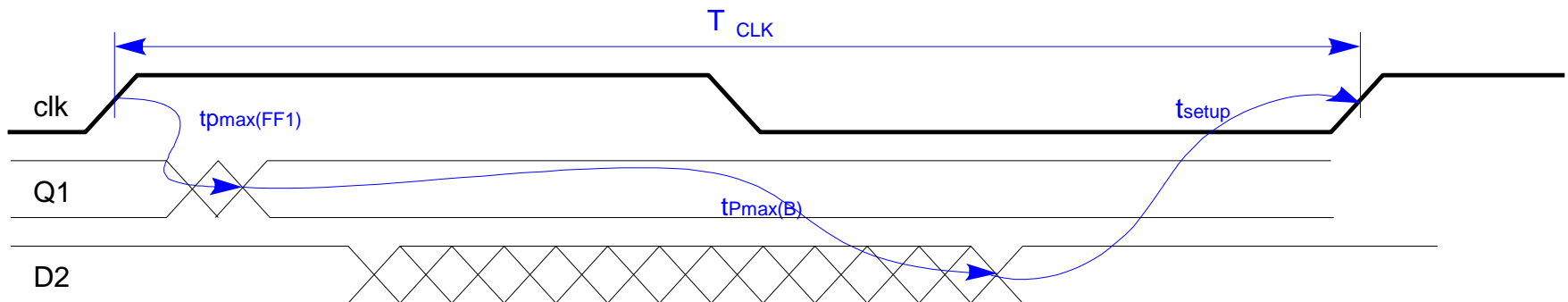


# CARACTERIZACIÓN TEMPORAL. FLIP-FLOPS y CIRCUITOS SECUENCIALES

## FRECUENCIA DE OPERACIÓN



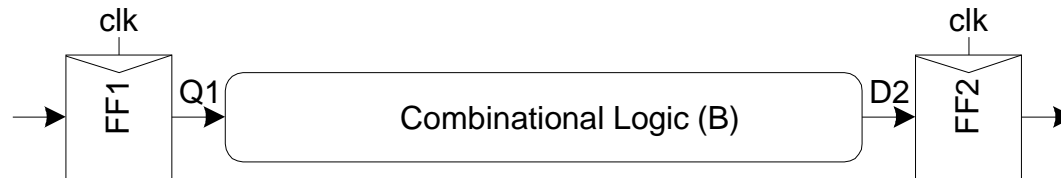
**Cumplimiento de  $t_{\text{setup}}$ :** Entre dos flancos consecutivos de reloj, se debe permitir que Q1 se establezca a su valor correcto, que se propague a través de la lógica B y que llegue al FF2 con una antelación válida (cumpla  $t_{\text{setup}}$ )



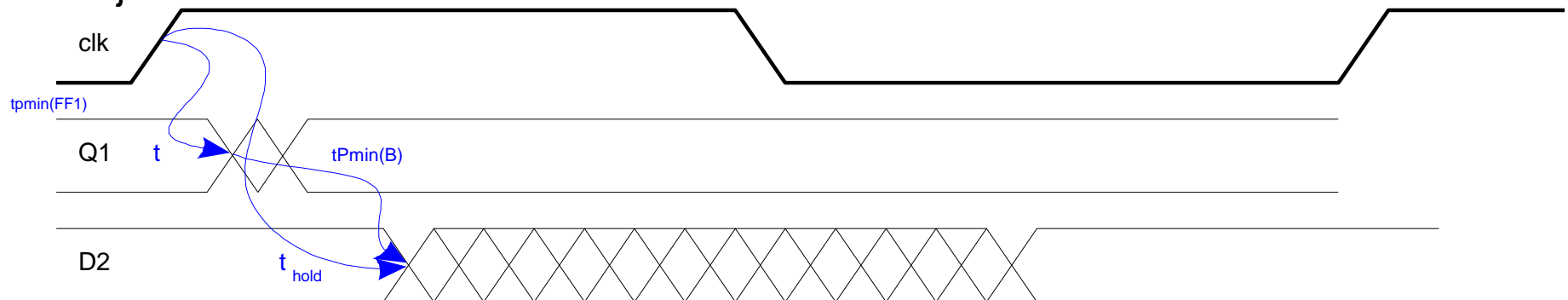
## RESTRICCIÓN PARA EVITAR VIOLACIONES DE SETUP EN FF'S:

$$T_{CLK} \geq t_{p,max}(FF1) + t_{p,max}(B) + t_{setup}(FF2)$$

# CARACTERIZACIÓN TEMPORAL. FLIP-FLOPS y CIRCUITOS SECUENCIALES



**Cumplimiento de  $t_{hold}$ :** Una vez que se produce el flanco de reloj, el retraso de propagación de FF1 y de la lógica B debe servir para que durante el tiempo de hold se mantenga en la entrada FF2 el dato anterior al flanco activo de la señal de reloj.



**RESTRICCIÓN PARA EVITAR VIOLACIONES DE HOLD EN FF'S:**

**Independiente de la frecuencia del reloj**

$$t_{p,min}(FF1) + t_{p,min}(B) \geq t_{hold}(FF2)$$

# CARACTERIZACIÓN TEMPORAL.

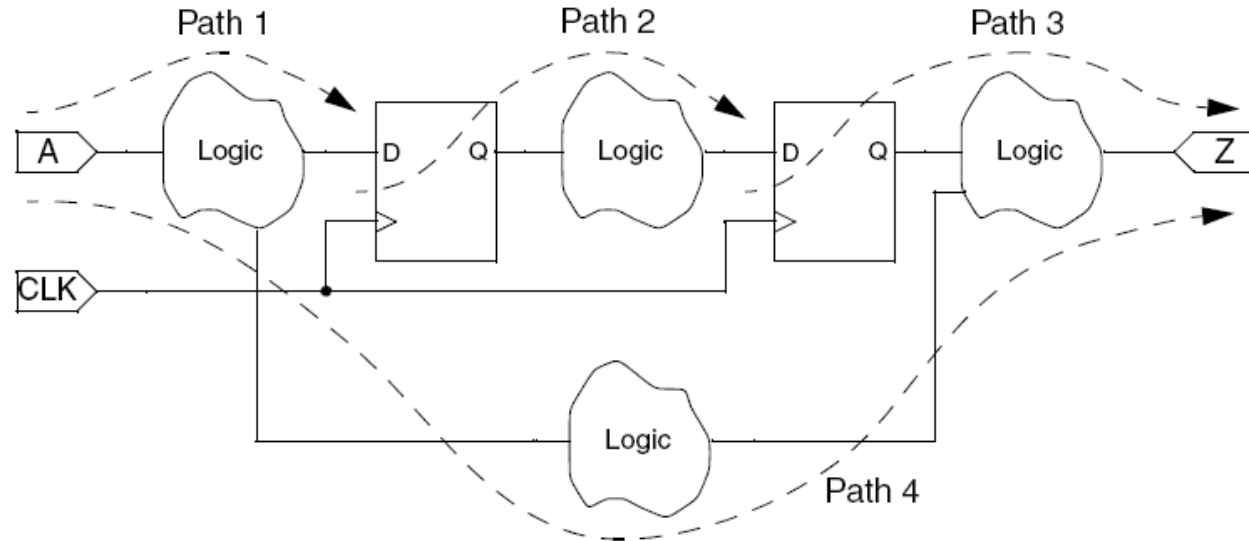
## FLIP-FLOPS y CIRCUITOS SECUENCIALES

Aclaraciones sobre el análisis anterior:

- Aparecen valores máximos y mínimos para los retrasos de componentes. En cada caso, el más desfavorable. Si la restricción se cumple para ese valor max (min) se cumple también para el min (max). Recordad que en las librerías tecnológicas es usual caracterizar los componentes con tres valores: mínimo, típico y máximo
- Para los retrasos de la lógica combinacional:
  - $T_{p, \min}(B)$  se refiere al camino con menor retraso entre el flip-flop origen y el flip-flop destino
  - $T_{p, \max}(B)$  se refiere al camino con mayor retraso entre el flip-flop origen y el flip-flop destino
- El circuito que se ha utilizado es una caso muy simple (sólo tiene un flip-flop origen y un flip-flop destino, no hay caminos que comiencen en entradas y finalicen en flip-flops, ni que empiecen en flip-flops y terminen en salidas). En general hay que evaluar 4 tipos de caminos

# CARACTERIZACIÓN TEMPORAL. FLIP-FLOPS y CIRCUITOS SECUENCIALES

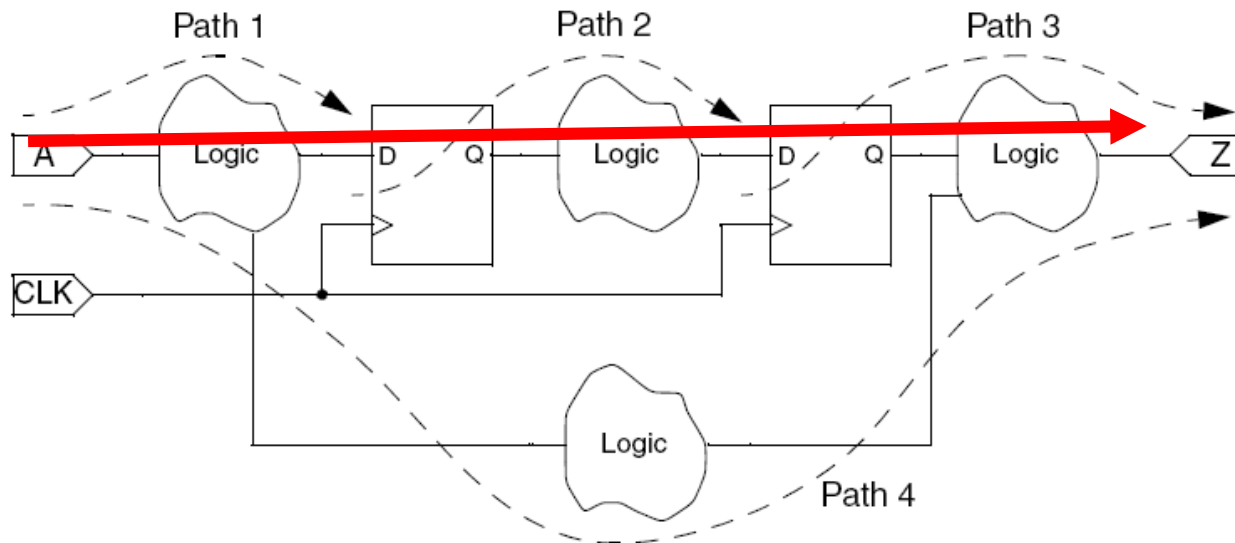
Caso general:



- Caminos combinacionales (empiezan en entradas y finalizan en salidas path 4)
- Caminos que empiezan en entradas y finalizan en flip-flops (path 1)
- Caminos que empiezan y terminan en flip-flops (path 2)
- Caminos que empiezan en flip-flops y terminan en salidas (path 3)
- Caminos que empiezan en entradas: se usa información sobre cuándo la entrada está disponible en el lugar del retraso del flip-flop
- Caminos que finalizan en salidas: se usa información sobre cuándo tiene que estar Disponible la salida en lugar del tiempo de set up del flip-flop

# CARACTERIZACIÓN TEMPORAL. FLIP-FLOPS y CIRCUITOS SECUENCIALES

Caso general: **ERROR FRECUENTE**



- Desde el punto de vista de calcular retrasos de caminos, los flip-flops “cortan” caminos
- Es un error considerarlos como una puerta más, cuyo retraso se suma al de las puertas anteriores y posteriores
- En el ejemplo: no tiene sentido considerar un camino A -> Z y decir que su retraso es la suma de los retrasos de cada uno de los 3 bloques “logic” y de cada uno de los 2 flip-flops



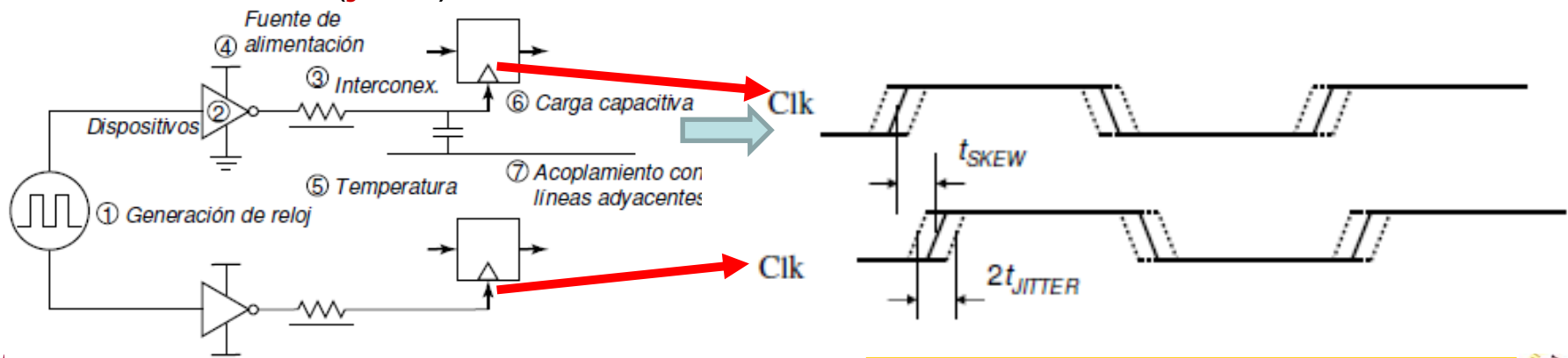
# Índice Tema 3

---

- Introducción
- Puertas lógicas e interconexiones:
- Circuitos combinacionales:
- Circuitos secuenciales con reloj ideal
- Circuitos secuenciales con reloj no ideal
  - Jitter y Clock Skew

# CARACTERIZACIÓN TEMPORAL. FLIP-FLOPS y CIRCUITOS SECUENCIALES

- El reloj no es ideal
- La distribución del reloj global por todo el sistema y su conexión con todos los registros provoca una elevada resistencia de la línea de reloj y una gran carga capacitiva sobre el generador de reloj -> La línea actúa como una red RC distribuida donde el retraso depende de la longitud de la conexión y de la carga capacitiva.
- Además hay otras no idealidades: acoplos capacitivos entre líneas, gradientes de temperatura, variaciones alimentación...
- Consecuencia: **incertidumbre en el instante en el que la señal de reloj llega a un elemento.**
  - La incertidumbre puede categorizarse como sistemática (**skew**) o aleatoria (**jitter**)



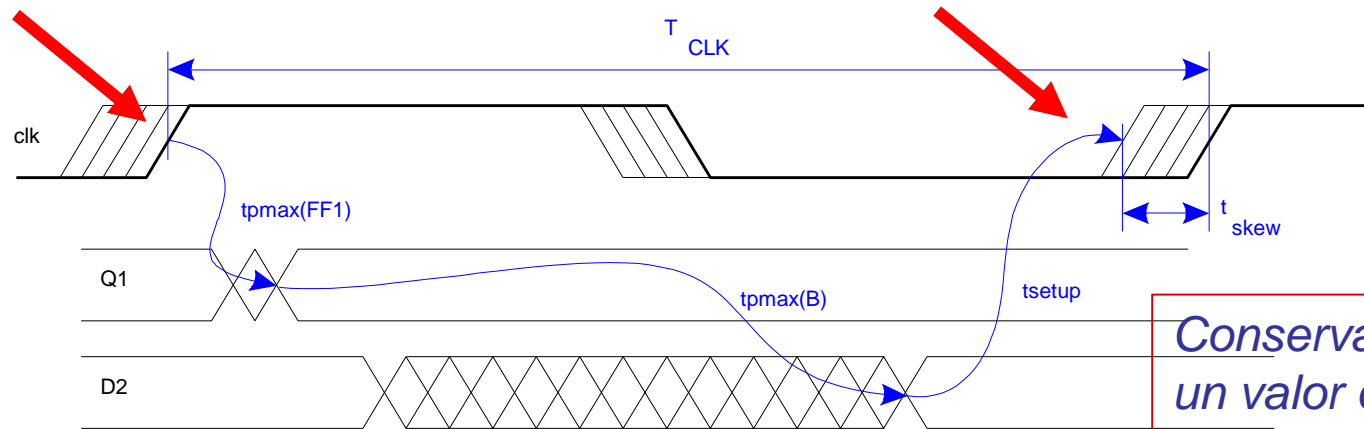
# CARACTERIZACIÓN TEMPORAL. FLIP-FLOPS y CIRCUITOS SECUENCIALES

---

- **clock skew (*sistemática*):**
  - Los flancos activos del reloj no alcanzan a todos los elementos de memoria en el mismo instante.
  - El skew está provocado por diferencias estáticas entre los distintos trayectos de propagación del reloj y por las diferencias en cuanto a carga de las distintas señales del reloj
  - Es constante entre un ciclo y otro.
  - El skew no varía el período del reloj, sino sólo la fase.

# CARACTERIZACIÓN TEMPORAL. FLIP-FLOPS y CIRCUITOS SECUENCIALES

El *skew* tiene importantes implicaciones tanto para las prestaciones como para la funcionalidad de los circuitos secuenciales



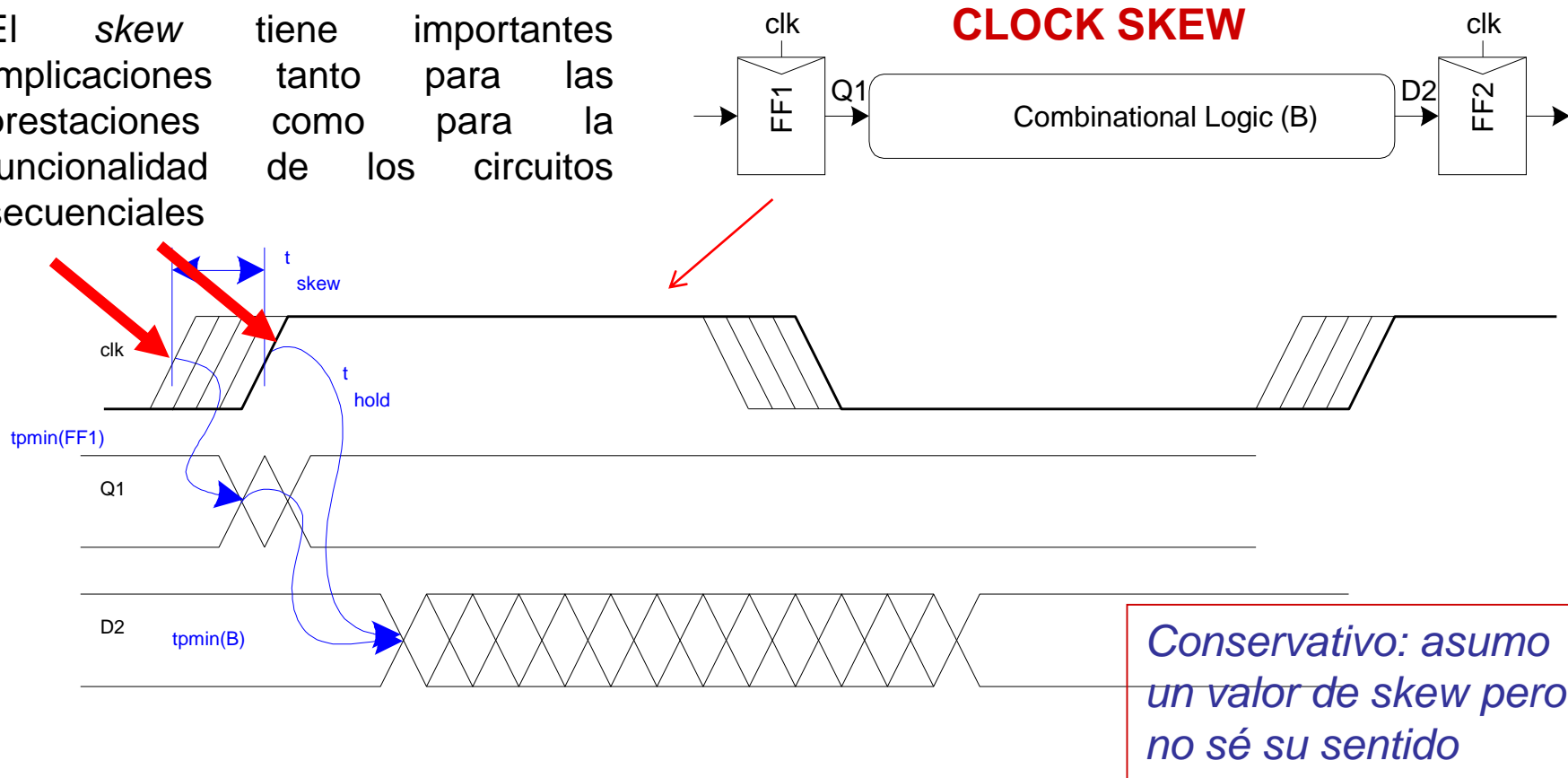
*Conservativo: asumo un valor de skew pero no sé su sentido*

**RESTRICCIÓN PARA EVITAR VIOLACIONES DE SETUP EN FF'S:**

$$T_{CLK} \geq t_{p,max}(FF1) + t_{p,max}(B) + t_{setup}(FF2) + t_{skew}$$

# CARACTERIZACIÓN TEMPORAL. FLIP-FLOPS y CIRCUITOS SECUENCIALES

El *skew* tiene importantes implicaciones tanto para las prestaciones como para la funcionalidad de los circuitos secuenciales



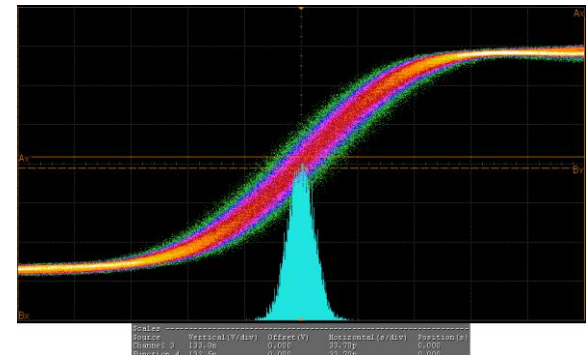
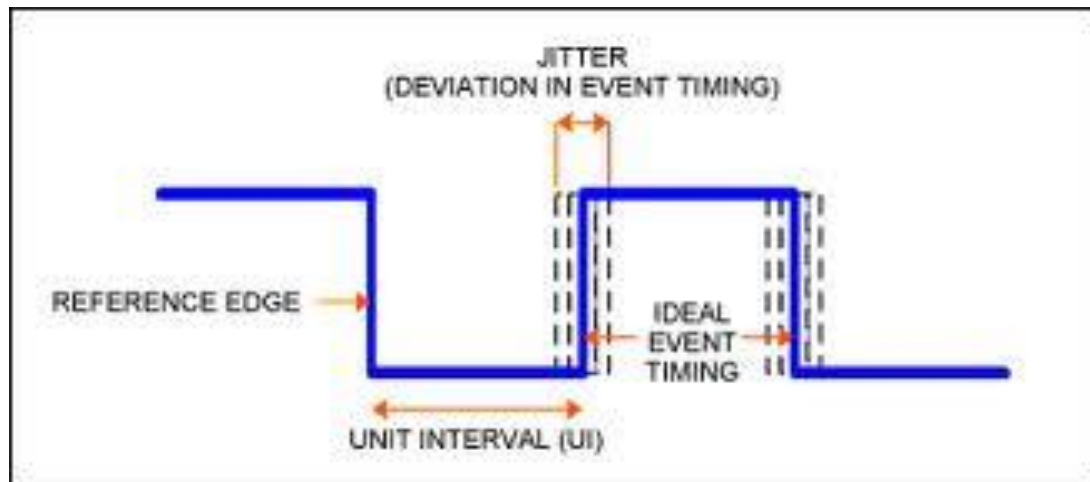
**RESTRICCIÓN PARA EVITAR VIOLACIONES DE HOLD EN FF'S:**

$$t_{p,min}(FF1) + t_{p,min}(B) \geq t_{hold}(FF2) + t_{skew}$$

# CARACTERIZACIÓN TEMPORAL. FLIP-FLOPS y CIRCUITOS SECUENCIALES

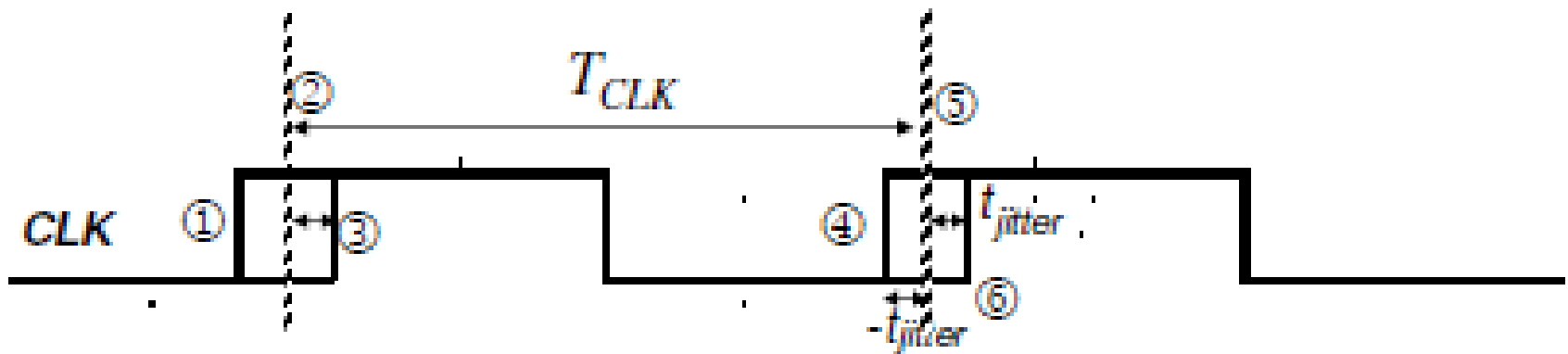
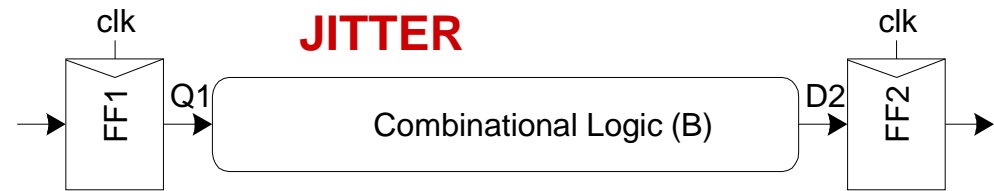
## • Jitter (aleatoria)

- Variación aleatoria del instante de tiempo en el que llega el flanco activo del reloj a un punto determinado del circuito. (condiciones de entorno, de carga, etc que hay en ese momento)
- Se trata de una medida de incertidumbre estrictamente temporal y que a menudo se especifica para un punto determinado del circuito: hace referencia al hecho de que el período de reloj puede reducirse o ampliarse de un ciclo a otro.



# CARACTERIZACIÓN TEMPORAL. FLIP-FLOPS y CIRCUITOS SECUENCIALES

El *jitter* tiene importantes implicaciones en las prestaciones de los circuitos secuenciales.



RESTRICCIÓN PARA EVITAR VIOLACIONES DE HOLD EN FF'S (lo peor: casos 1 y 3)

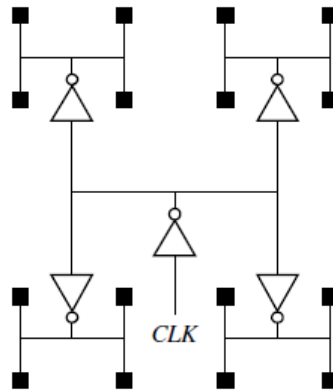
$$t_{p,min}(FF1) + t_{p,min}(B) \geq t_{hold}(FF2) + 2t_{jitter}$$

RESTRICCIÓN PARA EVITAR VIOLACIONES DE SETUP EN FF'S ((lo peor: casos 3 y 4)

$$T_{CLK} \geq t_{p,max}(FF1) + t_{p,max}(B) + t_{setup}(FF2) + 2t_{jitter}$$

# CARACTERIZACIÓN TEMPORAL. FLIP-FLOPS y CIRCUITOS SECUENCIALES

**Para minimizer el Clock Skew & Jitter es necesario** distribuir y balancear el camino de todas las ramas de reloj para que todos los caminos sean similares, presenten las mismas condiciones de carga y el mismo retraso esperado





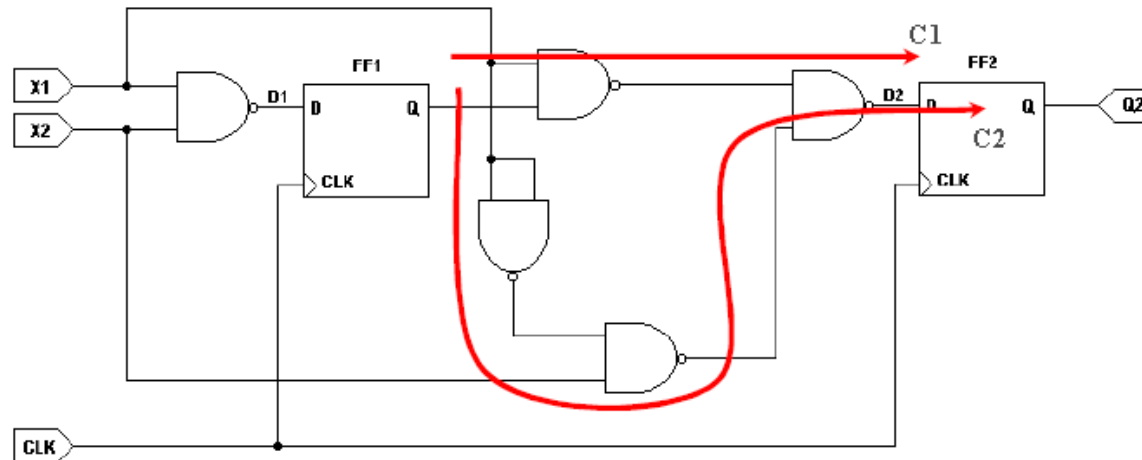


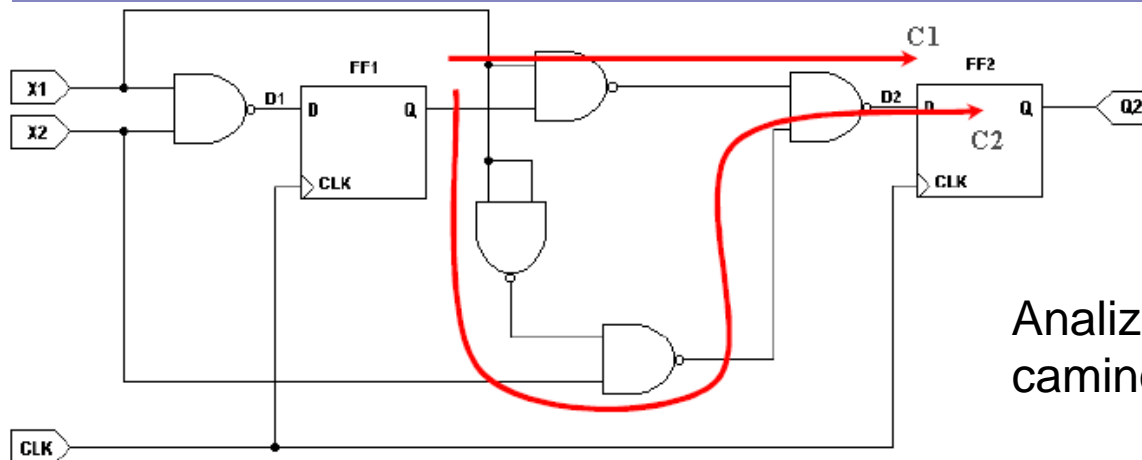
### a) Determinación de $f_{max}$ :

Al ser un diseño síncrono, se aplican las ecuaciones a los siguientes caminos temporales:

- De salida de biestable a entrada de biestable.
- De entrada primaria del circuito a entrada de biestable.
- De salida de biestable a salida primaria del circuito.

En este ejercicio, este último caso no se considera, ya que en el enunciado no se dan datos sobre el retraso de las señales de salida respecto al flanco de reloj.





Analizamos los posibles caminos críticos:

	D1	D2
X1	$tp_{\max}(X1) + tp_{\max}(\text{NAND}) + tsu(D1)$	C1: $tp_{\max}(X1) + 2 \cdot tp_{\max}(\text{NAND}) + tsu(D2)$ C2: $tp_{\max}(X1) + 3 \cdot tp_{\max}(\text{NAND}) + tsu(D2)$
X2	$tp_{\max}(X2) + tp_{\max}(\text{NAND}) + tsu(D1)$	$tp_{\max}(X2) + 2 \cdot tp_{\max}(\text{NAND}) + tsu(D2)$
Q1	No	$tp_{\max}(FF1) + 2 \cdot tp_{\max}(\text{NAND}) + tsu(D2)$
Q2	No	No

El mayor retraso es debido a C2 (camino crítico). Así:

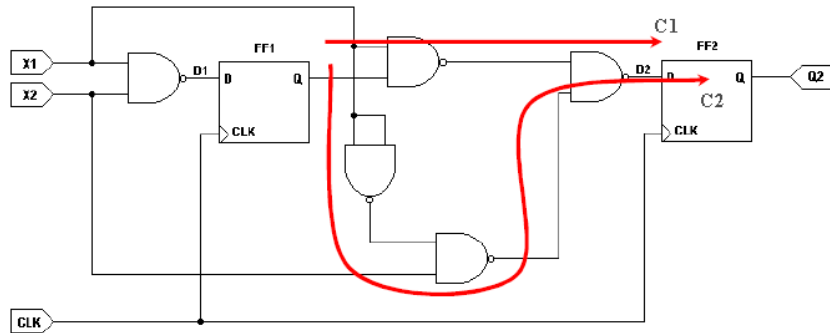
$$T_{clk} \geq tp_{\max}(X1) + 3 \cdot tp_{\max}(\text{NAND}) + tsu(D2) = 50ns$$

$$f_{\max} = 1/50ns = 20MHz.$$

Se trata de una frecuencia válida, ya que es inferior a la máxima frecuencia de trabajo de los biestables (25MHz).

Para incrementar  $f_{\max}$ , habría que sustituir por una doble de rápida la NAND común a los caminos C1 y C2, que son los que limitan la velocidad.

## b) Tiempo de hold



Si se analizan los tiempos de hold, tenemos:

	D1	D2
X1	$t_{\text{pmin}}(X1) + t_{\text{pmin}}(\text{NAND})$	$C1: t_{\text{pmin}}(X1) + 2 \cdot t_{\text{pmin}}(\text{NAND})$ $C2: t_{\text{pmin}}(X1) + 3 \cdot t_{\text{pmin}}(\text{NAND})$
X2	$t_{\text{pmin}}(X2) + t_{\text{pmin}}(\text{NAND})$	$t_{\text{pmin}}(X2) + 2 \cdot t_{\text{pmin}}(\text{NAND})$
Q1	No	$t_{\text{pmin}}(\text{FF1}) + 2 \cdot t_{\text{pmin}}(\text{NAND})$
Q2	No	No

Para que se verifique la restricción de tiempo de hold de un FF, el tiempo mínimo posterior al flanco activo de reloj que éste mantiene, la entrada anterior al flanco debe ser mayor o igual que el tiempo de hold.

Considerando el camino más corto para D1:

$$t_{\text{pmin}}(X1) + t_{\text{pmin}}(\text{NAND}) = 5\text{ns} + 5\text{ns} \geq t_{\text{h}}(D1) = 5\text{ns}$$

Considerando el camino más corto para D2:

$$t_{\text{pmin}}(\text{FF1}) + 2 \cdot t_{\text{pmin}}(\text{NAND}) = 4\text{ns} + 10\text{ns} \geq t_{\text{h}}(D2) = 5\text{ns}$$

**Por lo tanto, en ambos casos se respeta el tiempo de hold.**

## C) Clock Skew.

Para que el circuito funcione correctamente, el dato que había en la entrada de FF2 (FF2.D) antes del flanco de reloj debe mantenerse hasta que el flanco activo retrasado llegue a FF2 y permanecer estable el tiempo de hold de FF2.

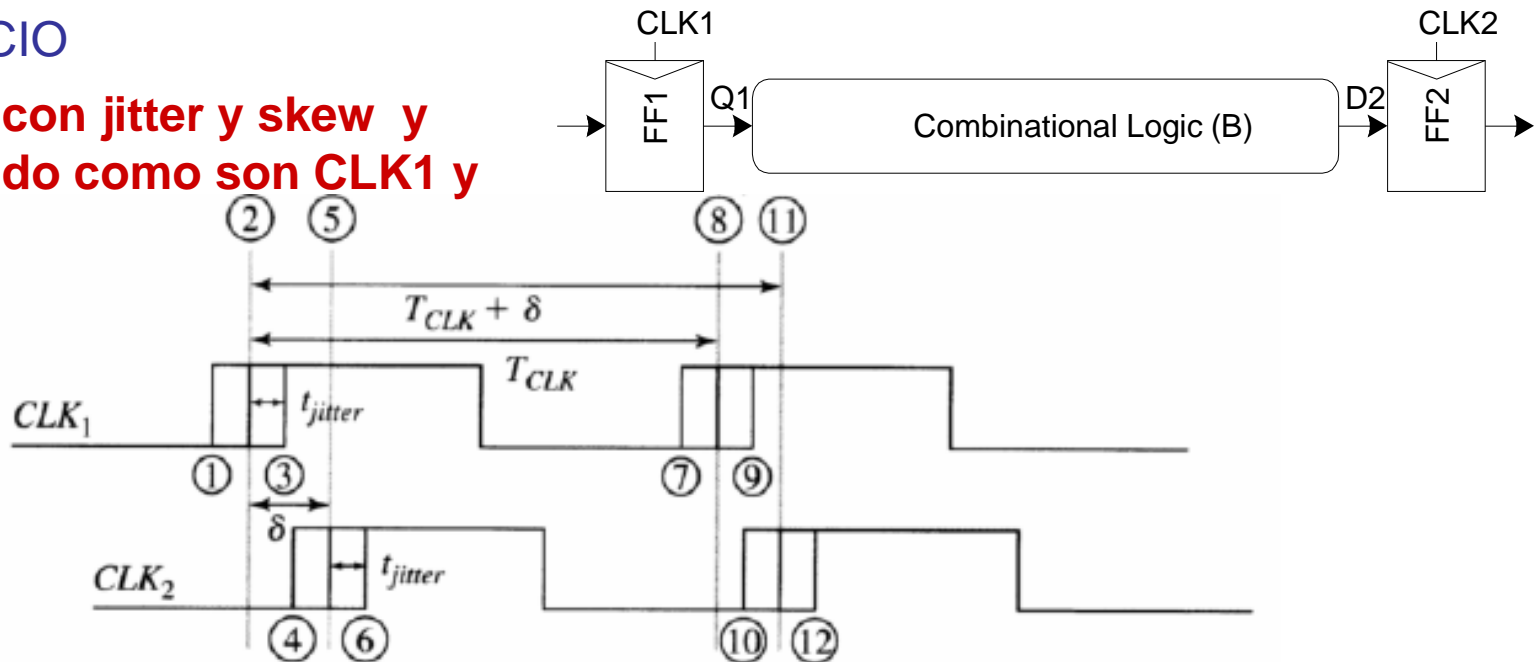
Por consiguiente,  $t_{\text{skew}}$  debe ser menor o igual que el margen de hold del biestable FF2.

$$t_{\text{skew}} \leq (t_{\text{pmin}}(\text{FF1}) + 2 \cdot t_{\text{pmin}}(\text{NAND}) - t_{\text{h}}(D2)) = 9\text{ns}.$$

# CARACTERIZACIÓN TEMPORAL. FLIP-FLOPS y CIRCUITOS SECUENCIALES

## EJERCICIO

**Análisis con jitter y skew y conociendo como son CLK1 y CLK2**



**SETUP EN FF'S:** Peor para jitter son los casos 3 y 10, el skew es favorable

$$T_{CLK} \geq t_{p,max}(FF1) + t_{p,max}(B) + t_{setup}(FF2) - \delta + 2t_{jitter}$$

**HOLD EN F'S:** para jitter los peores son los casos 1 y 6, el skew es desfavorable

$$t_{p,min}(FF1) + t_{p,min}(B) + \geq t_{hold}(FF2) + \delta + 2t_{jitter}$$