

PRÁCTICA 2

Codificación y simulación de bloques básicos

1. Objetivos

En esta segunda sesión se proponen un conjunto de bloques básicos para su codificación en Verilog y simulación en Vivado.

2. TRABAJO PREVIO

Trabaje los códigos Verilog correspondientes a los siguientes módulos y los testbenches necesarios para su simulación.

P1 Escriba descripciones de una puerta or de tres entradas:

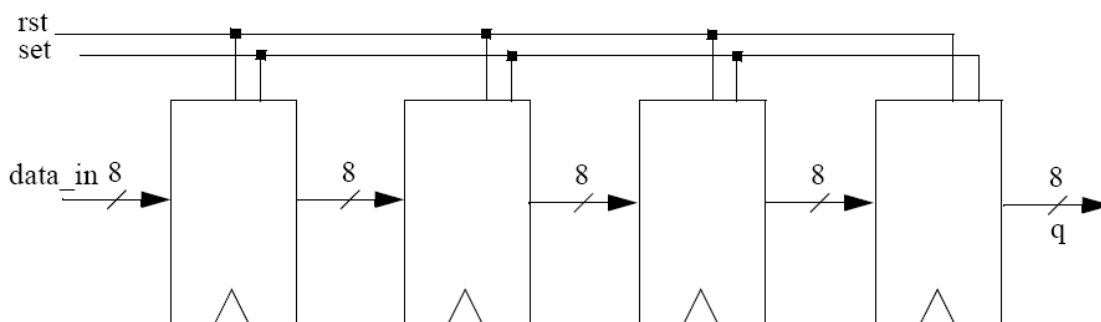
- Usando un asignamiento continuo.
- Usando un comportamiento cíclico y un bucle for.
- Usando un comportamiento cíclico y un operador de reducción.
- Usando primitivas del lenguaje.

Valide exhaustivamente las cuatro descripciones.

P2. Escriba una descripción usando Verilog de un circuito codificador de 3 bits (8 entradas en forma onehot y 3 salidas en codificación binaria). Valide su comportamiento.

P3. Escriba una descripción usando Verilog de un contador de 4 bits con las siguientes operaciones: Reset asíncrono (con Reset = 1), Carga síncrona en paralelo (con Reset = 0 y Load = 1), Cuenta ascendente (con Reset = 0, Load = 0, CE = 1 y DIR = 1), Cuenta descendente (con Reset = 0, Load = 0, CE = 1 y DIR = 0) e Inhibición (con Reset = 0, Load = 0, CE = 0). Valide su comportamiento.

P4.- Escriba una descripción Verilog sintetizable comportamiento no jerárquica del circuito de la Figura y valide su comportamiento.



P5.- Escriba una descripción Verilog sintetizable no jerárquica para un circuito decodificador de 3 bits (3 entradas en formato binario y 8 salidas en codificación onehot) con un registro a su salida que posee una señal de reset asíncrono activo en bajo. Valide su comportamiento mediante simulación y compruebe que la descripción es sintetizable. Use un reloj de 25MHz y simule las 8 combinaciones de entrada.