

PRÁCTICA 3

Modelado de FSMs. Realización de juego de luces

Objetivos y Metodología

El objetivo general de esta práctica de laboratorio es modelar componentes hardware usando HDLs y diagramas de bloques, así como simular, sintetizar e implementar estas descripciones. Los objetivos concretos son:

- Escribir descripciones Verilog de FSMs.
- Escribir descripciones sintetizables de circuitos que impliquen “medidas” de tiempos.
- Manejar con autonomía la funcionalidad básica de las herramientas de simulación y síntesis de Vivado.
- Programar un FPGA.

Especificación del circuito de control de un juego de luces

Se desea controlar un conjunto de cuatro leds (**led1**, **led2**, **led3**, **led4**) de manera que:

1.- Deben encenderse y apagarse siguiendo la siguiente secuencia (que se repite):

- 1) **led1** encendido y resto apagados durante T ns.
- 2) **led2** encendido y resto apagados durante T ns.
- 3) **led3** encendido y resto apagados durante T ns.
- 4) **led4** encendido y resto apagados durante T ns.

2.- Además, existe una señal **dir** que selecciona que T sea un determinado valor T_0 ($dir=0$) o el doble, $2T_0$, ($dir=1$).

Se dispone de la tarjeta de desarrollo Basys3 que tiene un FPGA de la familia Artix7 (XC7A35T-1CPG236), leds, interruptores y un oscilador de 100MHz (Manual de la placa disponible en enseñanza virtual).

Modelado (ANTES DE LA SESIÓN DE LABORATORIO)

Escriba una descripción Verilog para un circuito que implemente el comportamiento descrito con $T_0 = 640$ ns. Para ello tenga en cuenta lo siguiente:

- a) Disponiendo de un reloj de periodo 640 ns, es fácil implementar el sistema con una FSM de ocho estados:

Tabla de estados, salida. Se indica el led que se activa en caso. Led activo significa que la señal asociada es un 1. Los que no se activan toman valor 0.

	$dir = 0$	$dir = 1$
S1	S3, led1	S2, led1
S2	S3, led1	S3, led1
S3	S5, led2	S4, led2
S4	S5, led2	S5, led2
S5	S7, led3	S6, led3
S6	S7, led3	S7, led3
S7	S1, led4	S8, led4
S8	S1, led4	S1, led4

b) Disponiendo de un reloj de 100 MHz (periodo 10ns) podemos generar otro de menor frecuencia, con el periodo de 640 ns que necesitamos

- En hardware la división de frecuencia se realiza con contadores binarios
- Necesitamos dividir por 64 y por lo tanto un contador de 6 etapas. La salida de la etapa más significativa es la señal que necesitamos como reloj para la FSM.

Antes de asistir a la sesión de laboratorio debe escribir:

- 1.- Descripción no jerárquica del circuito completo. Utilice para los terminales los siguientes nombres: **clk**, **dir**, **led1**, **led2**, **led3**, **led4**.
- 2.- Testbench para simular el circuito completo. Debe modelar el reloj de 100MHz que usaremos en la placa y aplicar ambos valores de **dir**.

Realización (EN EL LABORATORIO)

- 1 Valide el diseño mediante una simulación de comportamiento.
- 2 Valide el diseño mediante una simulación *post-route*.
- 3 Modifique la descripción Verilog para que *T0* sea mucho mayor. Para ello utilice un contador con más etapas (25).
- 4 Realice físicamente el circuito diseñado en la placa. No olvide añadir el archivo de restricciones físicas.