

Bloque IV. ASPECTOS PRÁCTICOS DE DISEÑO

Tema 9: Interfaces Digitales

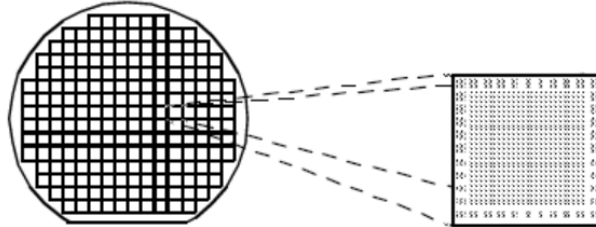


Tema 9. Interfaces digitales

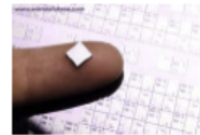
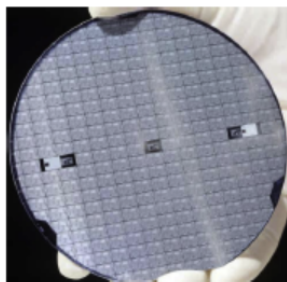
- El Encapsulado
- Niveles de tensión
- Tipos de pines I/O
 - ✓ Circuitos de protección
- Problemas / Precauciones
 - ✓ Efectos de carga capacitiva
 - ✓ Entradas flotantes
 - ✓ Rebotes de tierra/alimentación
 - ✓ Conmutación simultánea de salidas
 - ✓ Entradas de pendiente baja
 - ✓ Conflicto en buses
 - ✓ Transitorios de encendido
 - ✓ Propagación de señales
- Interfaces digitales en FPGAs



El Encapsulado

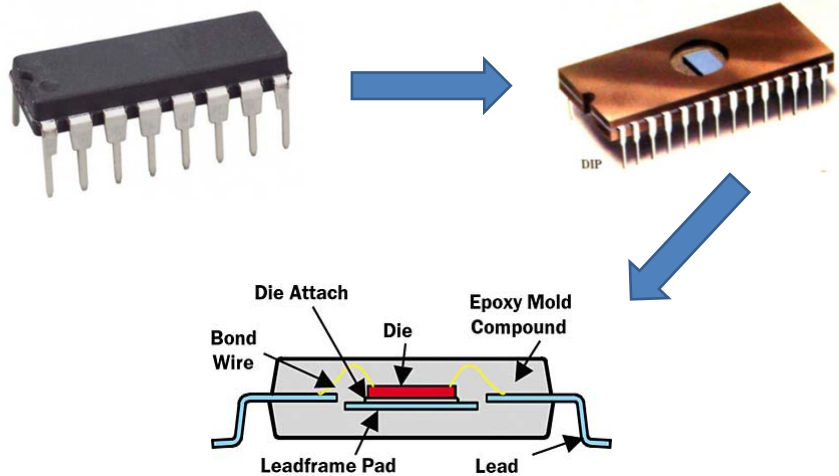


Tema09_Interfaces-completo



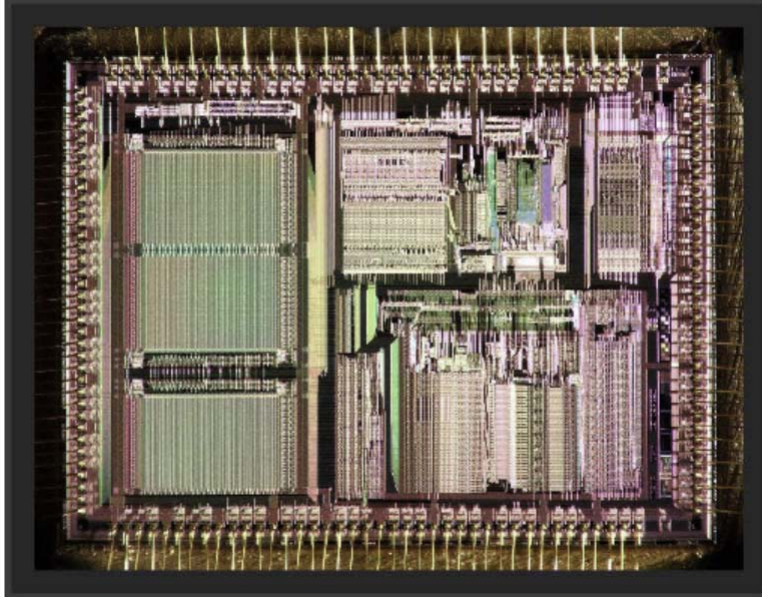
3

El Encapsulado



4

El Encapsulado



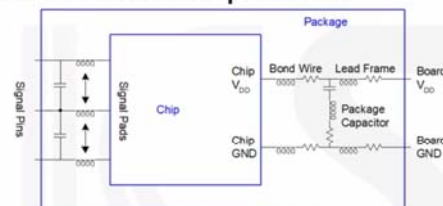
5

El Encapsulado

Main Properties of Package

- The package provides the physical, temperature and electrical protection.

- Electrical connection from chip to board
- Physical connection from chip to board
- Protection from high voltages (outside)
- Physical protection
- Thermo isolation



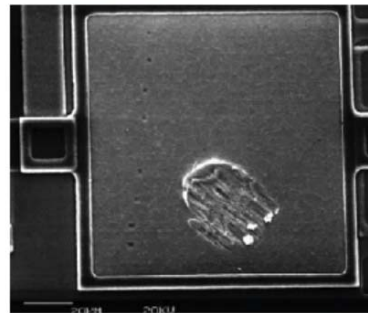
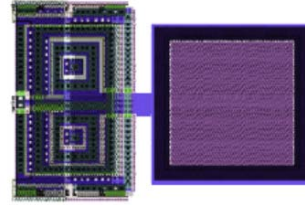
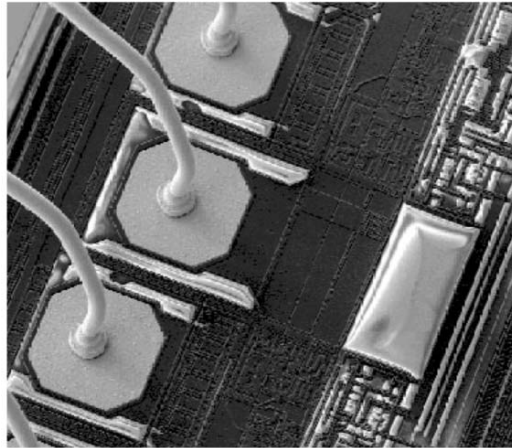
- Requirements of a package are:

- **Electrical:** Capacitance, Resistance, Inductance, Impedance Tuning
- **Interface:** A large number of I/O pins
- **Mechanical:** Die/Bond protection, Compatibility with PCB
- **Thermal:** Heat Removal
- **Cost:** As low cost as possible (without fan, heat sink, etc.)

Adam Teman: Curso "Digital VLSI Design. Lecture 10: I/O and Pad Ring". Emerging Nanoscaled Integrated Circuits and Systems Labs, Bar-Ilan University, 2019. (en youtube: <https://www.youtube.com/watch?v=O2Od11ey-Jo>)

6

El Encapsulado. Celdas I/O. Pads



El Encapsulado

IC to Package Connection

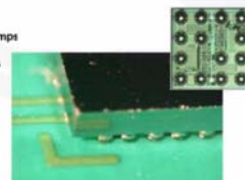
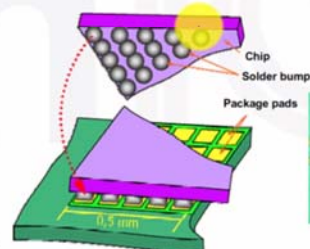
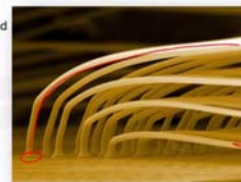
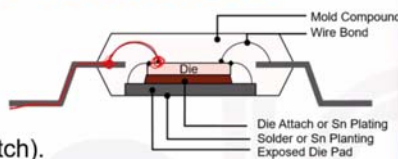
Two main approaches:

• Wire bonding

- All pads are around chip edges ($\sim 100\mu\text{m}$ pitch).
- Slow, serial bonding process.
- Long, high RLC wires ($\sim 5\text{nH}$, 1pF per wire).

• Flip Chip

- Pads on top of IC core.
- High pin count.
- Short, low RLC bonds (0.1nH)
- Fast parallel bonding process.
- But... Expensive!



Controlled Collapse Chip Connection, C4

© Adam Teman, 2019

El Encapsulado

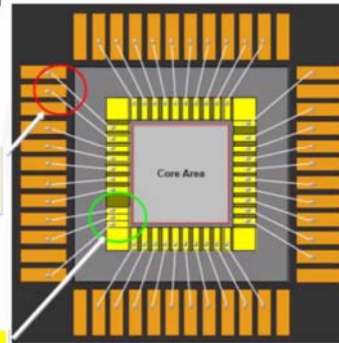
Some Bond Wire Requirements

When designing a wire bond package, you need to pay attention to:

- No crossing of bond wires
- Minimum spacing
- Maximum angle of wires
- Maximum length of wires

Wire crossing over bond finger violation.

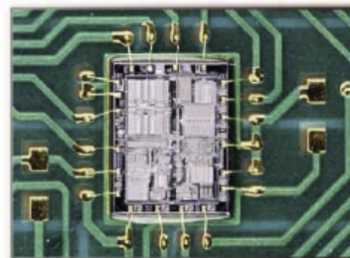
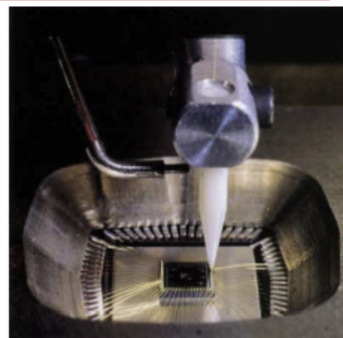
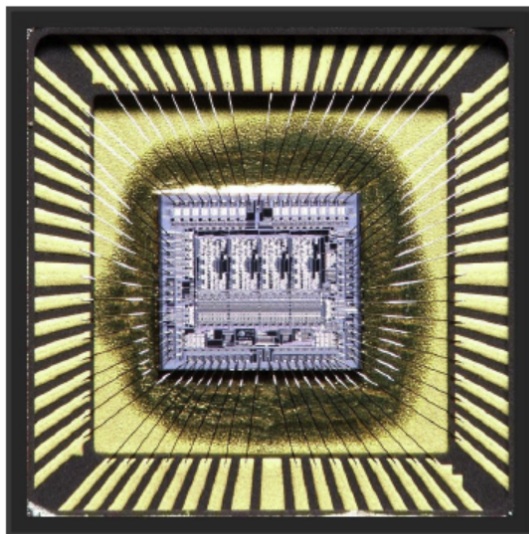
Pads can be moved to clear violation.



Adam Teman: Curso "Digital VLSI Design. Lecture 10: I/O and Pad Ring". Emerging Nanoscaled Integrated Circuits and Systems Labs, Bar-Ilan University, 2019. (en youtube: <https://www.youtube.com/watch?v=O2Qd1Tey-Jo>)

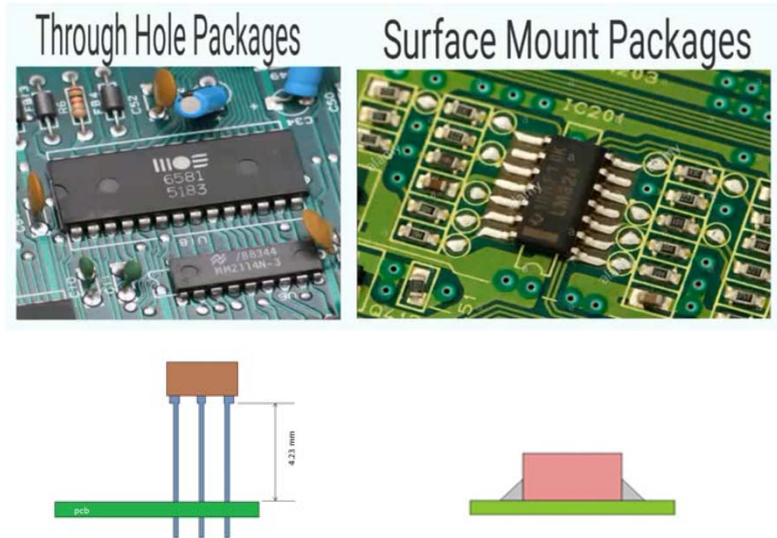
9

El Encapsulado



10




El Encapsulado



11

El Encapsulado THP (Through Hole Packages)



SIP (Single Inline Package)	
DIP (Dual Inline Package)	
PGA (Pin Grid Array)	

12

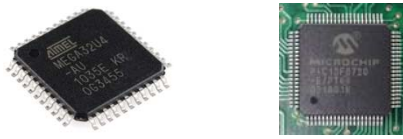
El Encapsulado SMP (Surface Mount Packages)



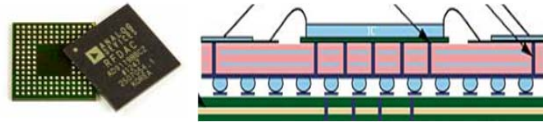
SOP (Small Outline Package),
SSOP, TSOP, etc



QFP (Quad Flat Package),
TQFP, VQFP, LQFP, etc



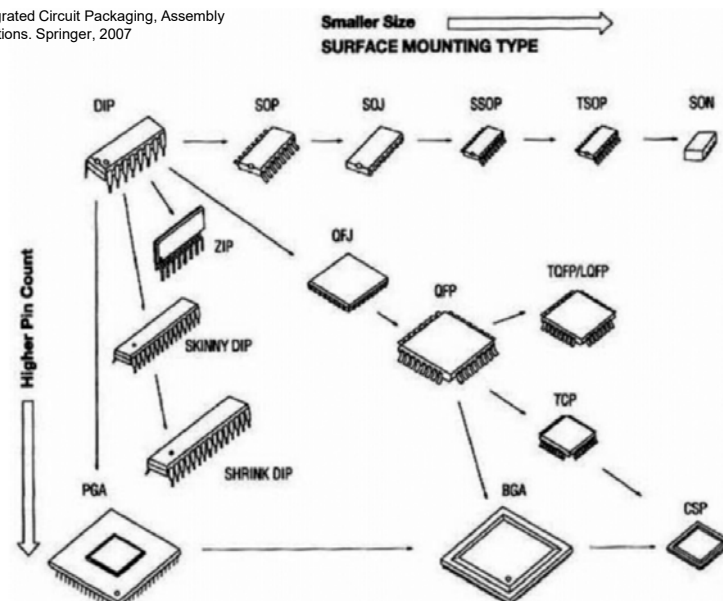
BGA (Ball Grid Array)



13

El Encapsulado

W.J. Greig: Integrated Circuit Packaging, Assembly
and Interconnections. Springer, 2007



14

PCB (Printed Circuits Board)



Ingeniería de Computadores
- Diseño de Sistemas Digitales -

15

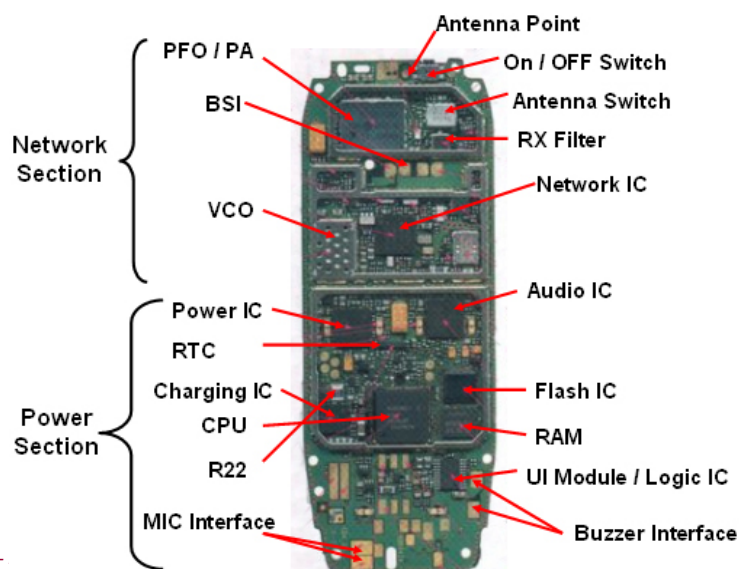
Departamento de Electrónica y Electromagnetismo



15

Mobile Phone PCB Diagram

www.mobilecellphonerepairing.com

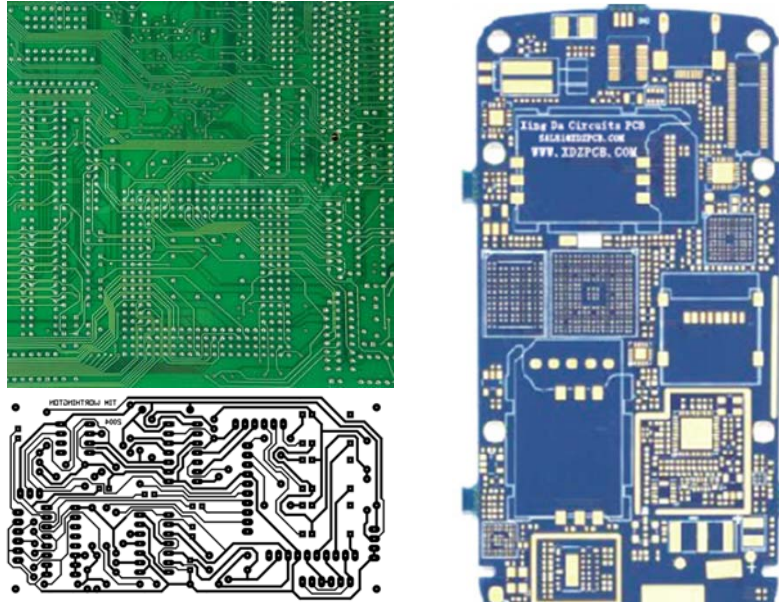


NOTES:

1. **UEM** =
Logic IC
+ Charging IC
+ Audio IC
+ Power IC
2. **PFO** =
Antenna
Switch
+ PFO
3. **Flash IC** =
RAM + Flash
IC

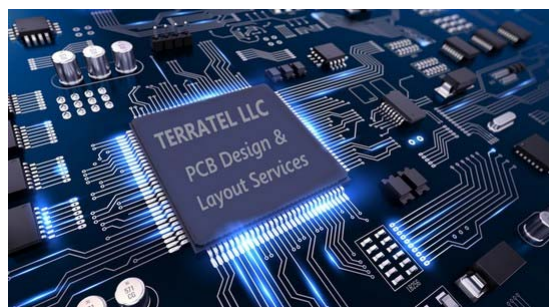
16

PCB (Printed Circuits Board)



17

Efectos de las Cápsulas



❑ Parásitos Eléctricos

- Auto-inducciones. Inducciones mutuas
- Capacidades. Acoplos capacitivos
- Resistencias. Límites de corriente.

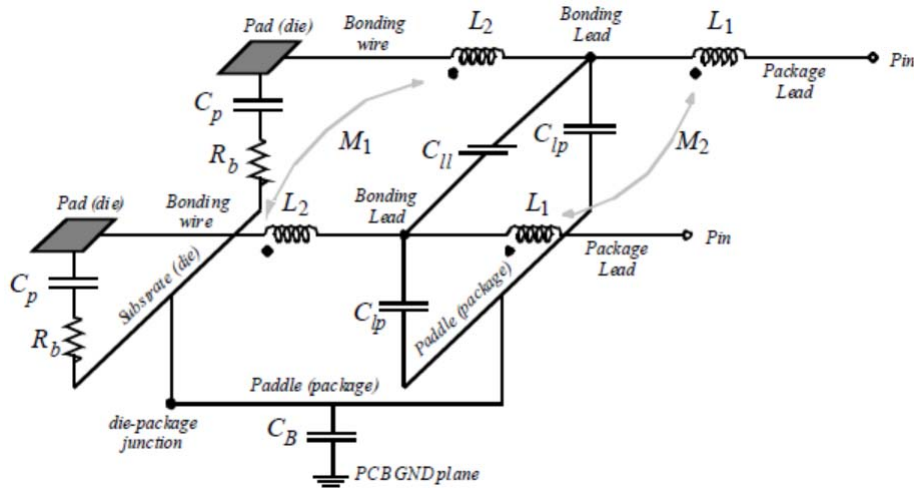
❑ Efectos térmicos

- Resistencias térmicas de las cápsulas
- Disipadores, ventilación forzada,...

❑ Alimentaciones. Dominios. Señales de I/O.

18

El Encapsulado



Tema 9. Interfaces digitales

➤ El Encapsulado

➤ Niveles de tensión

➤ Tipos de pines I/O

✓ Circuitos de protección

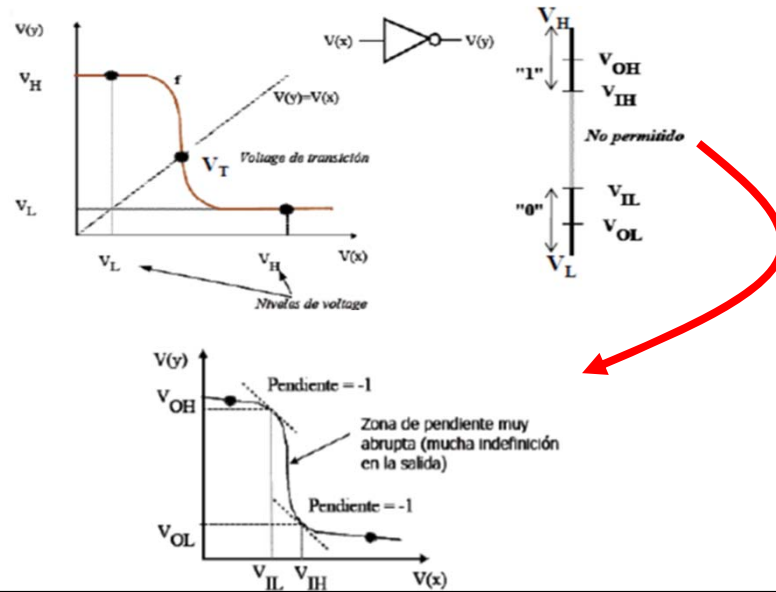
➤ Problemas / Precauciones

➤ Interfaces digitales en FPGAs

- ✓ Efectos de carga capacitiva
- ✓ Entradas flotantes
- ✓ Rebotes de tierra/alimentación
- ✓ Conmutación simultánea de salidas
- ✓ Entradas de pendiente baja
- ✓ Conflicto en buses
- ✓ Transitorios de encendido
- ✓ Propagación de señales

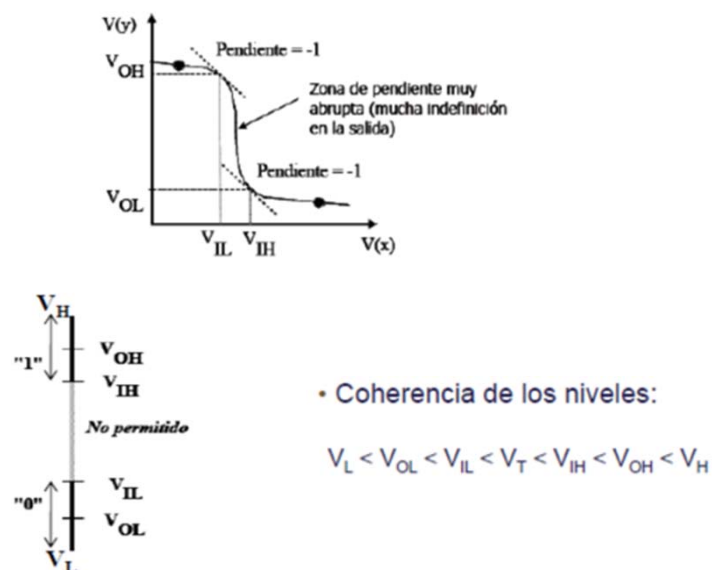


Niveles de Tensión / Niveles Lógicos



21

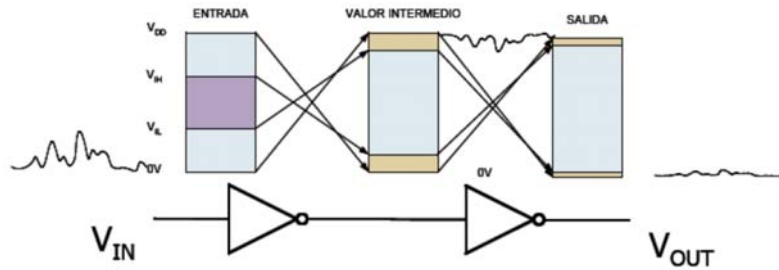
Niveles de Tensión / Niveles Lógicos



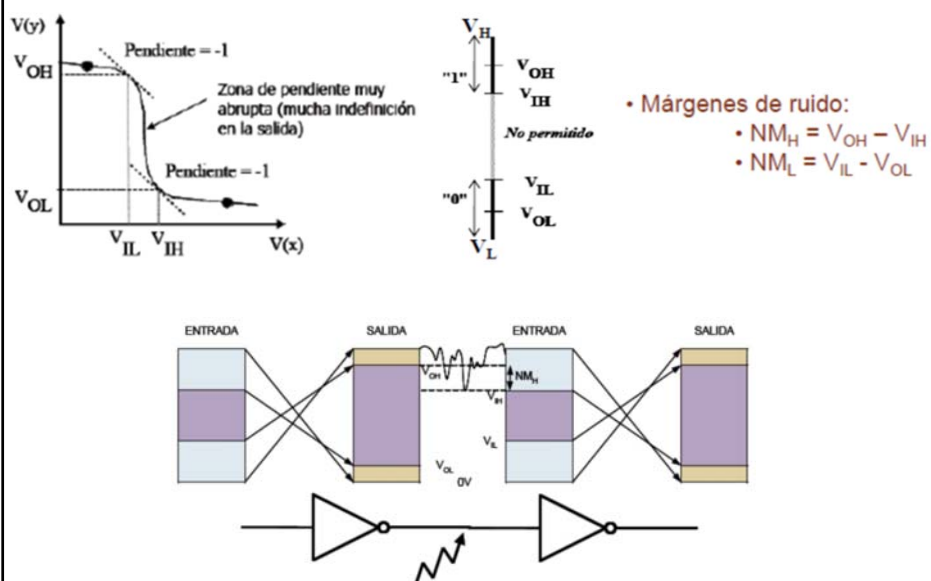
22

Regeneración de los Niveles Lógicos

- ✓ **Regeneración** de los niveles de señal (niveles lógicos) y la **atenuación** de ruido. Esto significa que las señales **no se degradan** a lo largo de la cadena de procesamiento.



Niveles de Tensión / Niveles Lógicos



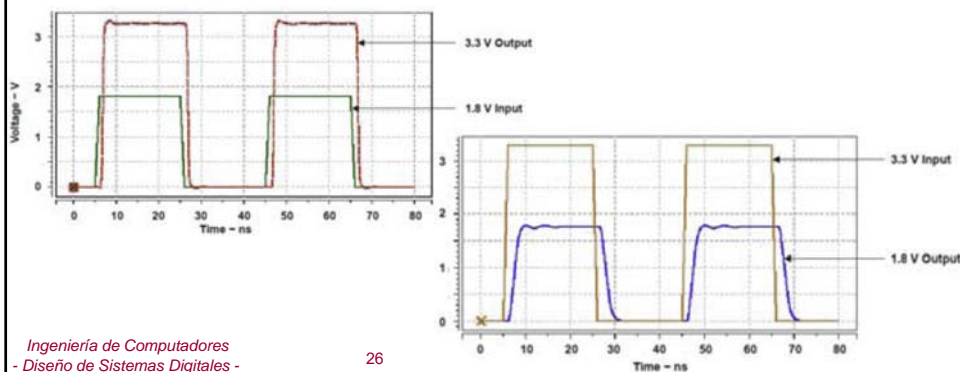
Compatibilidad de niveles lógicos

- ❑ El uso de subsistemas digitales de diferente familia, o la utilización de tecnologías diferentes con diferentes tensiones de alimentación, puede presentar problemas de **compatibilidad de niveles**.
- ❑ El escalado tecnológico ha “obligado” a reducir los niveles de tensión.
- ❑ Se usan circuitos de **desplazamiento de nivel** o de “*glue-logic*” donde son necesarios.



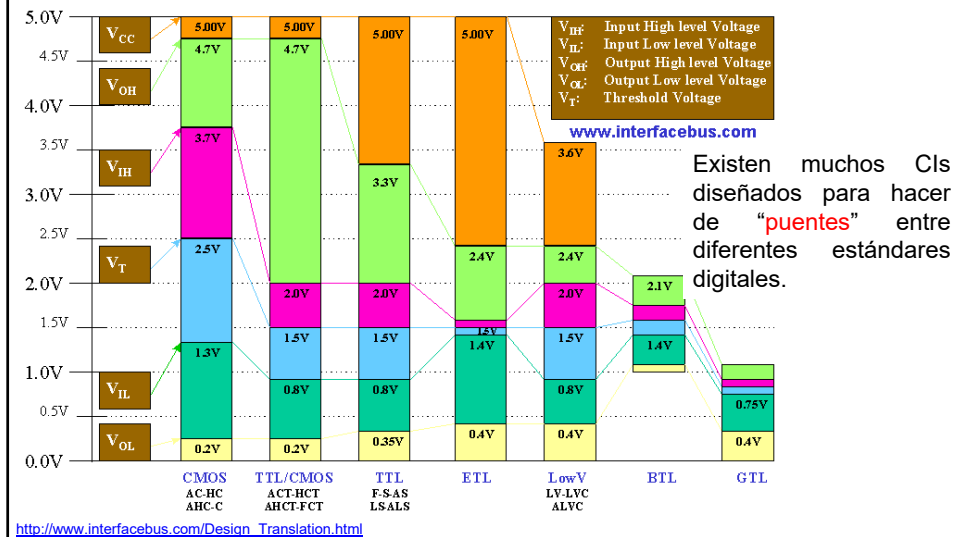
Compatibilidad de niveles lógicos

- ❑ Aun cuando en los chips digitales modernos, es habitual que dentro del chip se usen niveles de tensión reducidos (1,5 ó 1,2V), es frecuente que las señales de entrada/salida del chip usen niveles mayores (3,3 ó 5,0 V) por cuestiones de integridad de las señales en las placas de circuito impreso (PCB: *printed circuit board*).



Estándares de interfaces digitales

☒ Existe una gran variedad de estándares de interfaces digitales con sus correspondientes niveles lógicos.



Existen muchos Cls diseñados para hacer de “puentes” entre diferentes estándares digitales.

27

Tema 9. Interfaces digitales

El Encapsulado

➤ Niveles de tensión

► Tipos de pines I/O

- ✓ Circuitos de protección

Problemas / Precauciones

► Interfaces digitales en FPGAs

- ✓ Efectos de carga capacitiva
- ✓ Entradas flotantes
- ✓ Rebotes de tierra/alimentación
- ✓ Conmutación simultánea de salidas
- ✓ Entradas de pendiente baja
- ✓ Conflicto en buses
- ✓ Transitorios de encendido
- ✓ Propagación de señales

28

Tipos de celdas I/O

Para que dos sistemas digitales puedan interconectarse y comunicarse correctamente deben cumplirse ciertas condiciones

❑ Compatibilidad:

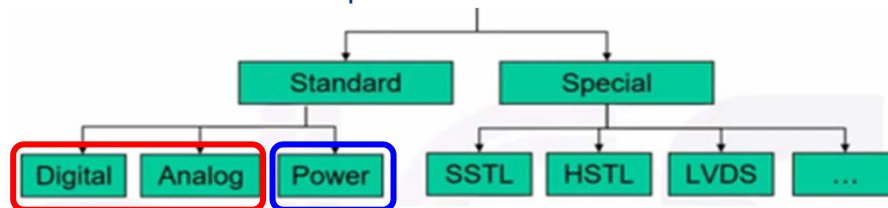
- Niveles de tensión / niveles lógicos / familia lógica
- Tipos de pines
- Integridad de las señales
- Sincronización de señales síncronas

❑ Optimización

- Algunas entrefases son más apropiadas que otras en circunstancias concretas (alta velocidad, alto nivel de ruido, distancias “grandes”,...)



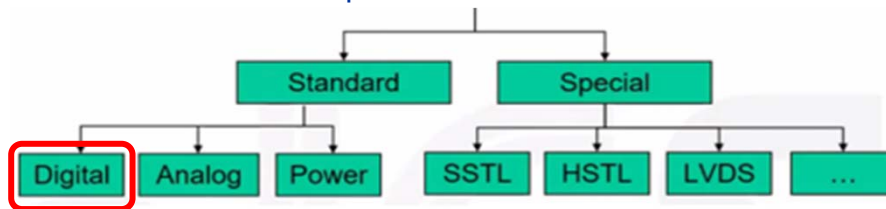
Tipos de celdas I/O



- ❑ Permiten **adaptar corrientes** entre el exterior del chip y el interior
- ❑ Disponen de circuitería de **protección** ante descargas electrostáticas

- **Alimentaciones (Vcc)**. Puede (suele) haber más de un “**dominio**”, con diferentes niveles de tensión.
- **Tierras (Gnd)**. También pueden estar separadas en “**dominios**” a pesar de tener el mismo valor de tensión nominalmente

Tipos de celdas I/O



- **Entradas (I).** Pueden ser de diversa naturaleza (datos, *test*, configuración, relojes,...)
- **Salidas (O).** También pueden ser de diversa naturaleza. Pueden personalizarse (capacidad de *driving*, niveles,...)
- **Salidas *tri-state*.** Pueden ponerse en alta impedancia (Z), además de en alto o en bajo.
- **Bidireccionales (I/O).** Aúnan las capacidades de una entrada y una salida *tri-state*.
- **Relojes (CLK).** Son entradas específicas de características especiales (e.g. para oscilador de cuarzo con cristal externo).

31

Tipos de celdas I/O digitales

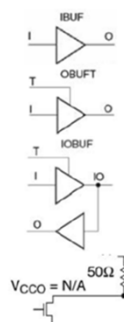
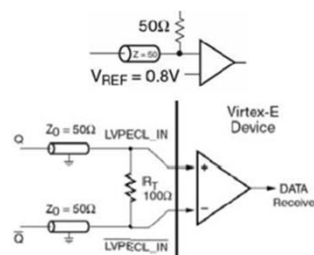
- Según el tipo de pin, y las características de las señales asociadas, se usan “buffers” o celdas de I/O (pad + circuitería)
- Pueden tener diferentes niveles de tensión (diferentes estándares digitales)
- Pueden ser “tolerantes” a niveles de tensión diferentes a los propios
- Pueden incluir circuitería de adaptación o desplazamiento de nivel

Unidireccional

Tri-state

Bidireccional

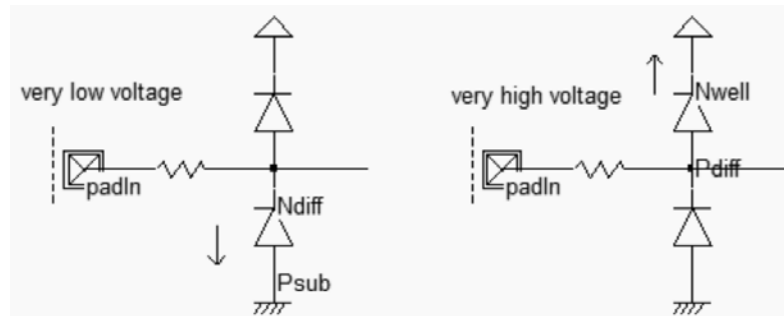
Open Drain

Entrada
“diferencial”Señal
verdaderamente
diferencial

32

Circuitos de protección ESD (*Electro Static Discharge*)

- ❑ El *pad* de entrada dispone de circuitos de protección para ESD en los casos de tensiones altas y bajas
- ❑ La resistencia disipa energía y reduce la amplitud de la tensión
- ❑ Un diodo resuelve problemas de tensiones negativas y el otro de tensiones positivas



Etienne Sicard y Sonia Delmas Bendhia: Deep-submicron CMOS circuit design. Brooks/Cole Publishing Company, 2003

Ingeniería de Computadores
- Diseño de Sistemas Digitales -

33

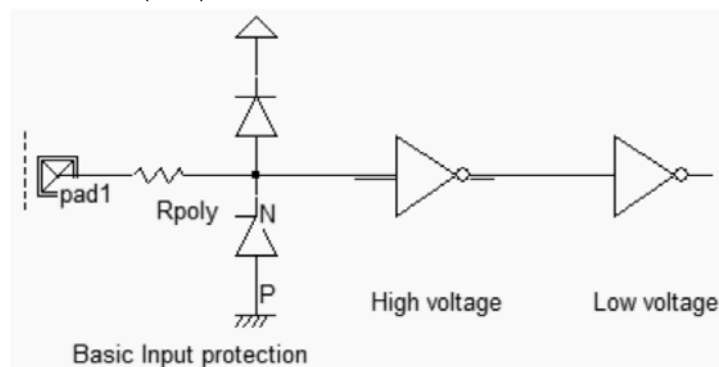
Departamento de Electrónica y Electromagnetismo



33

Estructura de un *pad* de entrada

- ❑ El **buffer de entrada** aísla el interior del chip de las tensiones altas proveniente de la placa (entre 5V y 3,3V)
- ❑ A continuación la señal se convierte en valores de tensión usados por la circuitería interna (1,2V)



Etienne Sicard y Sonia Delmas Bendhia: Deep-submicron CMOS circuit design. Brooks/Cole Publishing Company, 2003

Ingeniería de Computadores
- Diseño de Sistemas Digitales -

34

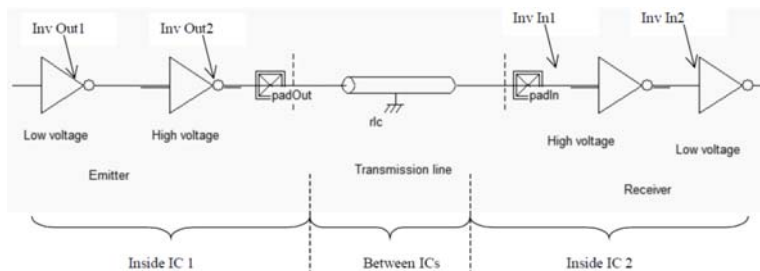
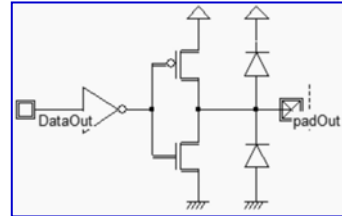
Departamento de Electrónica y Electromagnetismo



34

Estructura de un pad de salida

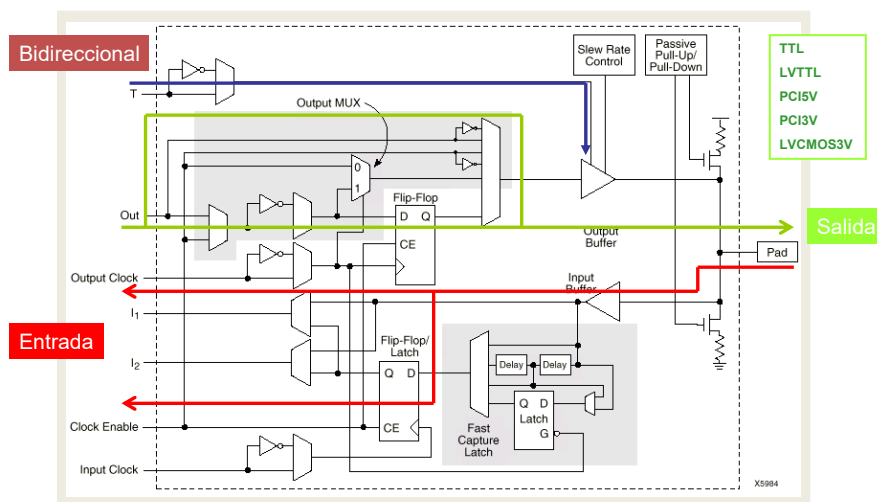
- El **buffer de salida** del IC1 debe asegurar que la señal se transmite adecuadamente a la entrada del IC2.
- El **pad** de salida también incluye protección contra ESD



Etienne Sicard y Sonia Delmas Bendhia: Deep-submicron CMOS circuit design. Brooks/Cole Publishing Company. 2003



Pad bidireccional



Tema 9. Interfaces digitales

- El Encapsulado
- Niveles de tensión
- Tipos de pines I/O
 - ✓ Circuitos de protección

➤ Problemas / Precauciones

- ✓ Efectos de carga capacitiva
- ✓ Entradas flotantes
- ✓ Rebotes de tierra/alimentación
- ✓ Conmutación simultánea de salidas

- ✓ Entradas de pendiente baja
- ✓ Conflicto en buses
- ✓ Transitorios de encendido
- ✓ Propagación de señales

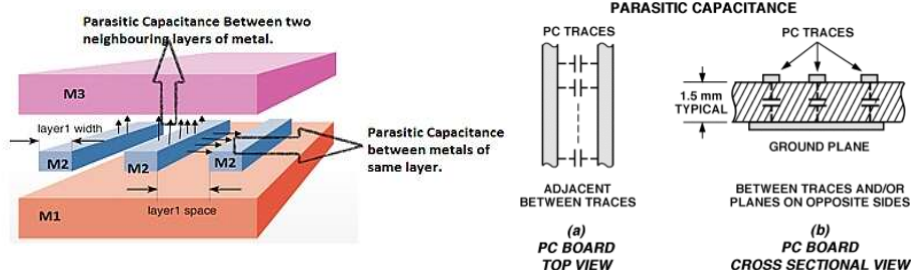
➤ Interfaces digitales en FPGAs

Efectos de la Carga Capacitiva

- ❑ El tiempo de propagación de cualquier *buffer* digital (incluyendo los de salida del IC) depende de la **carga capacitiva**:

$$t_p \cong t_{pi} + \alpha C_L$$

- ❑ Las cargas capacitivas de los nudos externos pueden ser muy diversas, y son **particularmente altas** en relación a las de los nudos internos.



Efectos de la Carga Capacitiva

$$t_p \cong t_{pi} + \alpha C_L$$

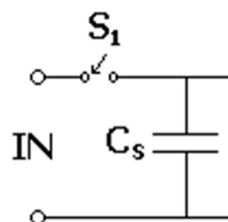
- ❑ En previsión de que existan nudos con carga capacitiva muy diferente, es habitual que existan y se usen *buffers* con diferentes valores de α . A menor valor de α , mayor “fuerza” o “capacidad de *driving*” del buffer.
- ❑ Deben evitarse los *buffers* **excesivamente débiles** porque producen **tiempos de propagación grandes**. Aunque la falta de velocidad no sea en sí un problema, las pendientes bajas en las señales (transiciones lentas) pueden ocasionar problemas en los circuitos atacados por esas señales.
- ❑ Deben evitarse también los *buffers* **excesivamente fuertes**, porque pueden producir problemas de sobre-disparo, rebotes de tierra y alimentación, y otros.

➤ **Los buffers de salida deben dimensionarse de manera correcta.**



Entradas Flotantes

- ❑ Algunas entradas de digitales pueden tener un uso esporádico o innecesario en ciertas aplicaciones (señales de configuración, selección de modos de operación, etc.).
 - Puede ser conveniente que dichas señales tengan un valor “por defecto”, sin necesidad de conectarlas en la PCB.
- ❑ Cuando un pin de entrada (o señal interna) es atacado por uno o varios *buffers tri-state*, es posible que el nudo quede en alta impedancia durante periodos de tiempo prolongados.
 - Esto es habitual, por ejemplo, en los buses de datos.



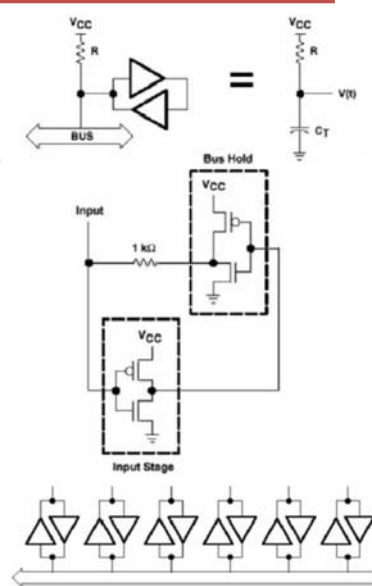
Entradas Flotantes

- ❑ En cualquier nudo de un circuito, existen **corrientes de fuga** que hacen que la carga varíe con el tiempo, resultando (cuando están en alta impedancia) en:
 - niveles de tensión variantes
 - valores frecuentemente indeterminados (desde un punto de vista digital)
 - una alta sensibilidad al ruido y a los acoplos de cualquier tipo
- ❑ Pueden producir mal funcionamiento, consumos altos de corriente, y/o daños al circuito.

41

Entradas Flotantes

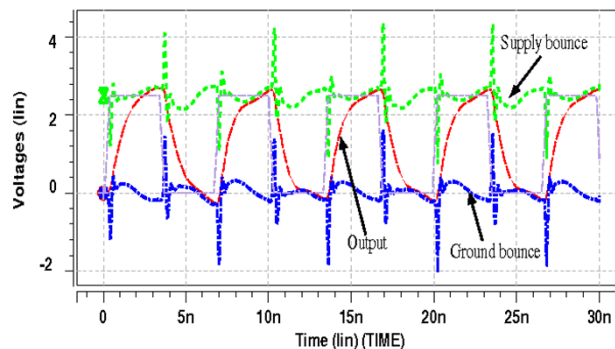
- ❑ Deben evitarse los nudos flotantes, o al menos, definir y respetar un **“tiempo máximo en alta impedancia”**.
- ❑ Las soluciones más habituales son el uso de resistencias de *pull-up* o *pull-down*, y el uso de *“bushold circuits”*.



42

Rebotes de la Tierra / Alimentación

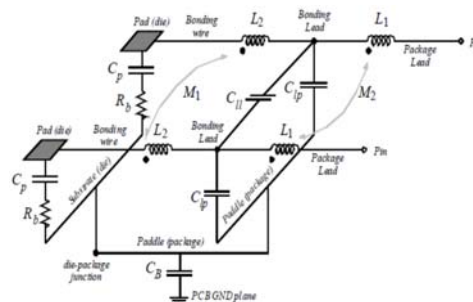
- ❑ Los circuitos digitales en general, y en particular los CMOS, se caracterizan por producir cambios bruscos (**picos**) en las **corrientes de alimentación y tierra**.
- ❑ Son especialmente intensos en los *buffers* potentes (salidas del CI), sobre todo si varios de ellos conmutan síncronamente (**buses**), o tienen **pendientes lentas** en las entradas.



43

Rebotes de la Tierra / Alimentación

- ❑ La inevitable existencia de **inducciones parásitas** en los conductores, especialmente en el encapsulado (*bonding wires* y otros), resulta en variaciones en el tiempo de la alimentación y la tierra “efectivas” de los circuitos: **“Ground / Power bounce”**.



- ❑ Es una de las causas más habituales de mal funcionamiento de los circuitos digitales.

44

Rebotes de la Tierra / Alimentación

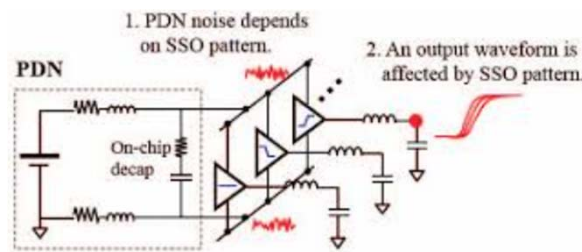
❑ Las soluciones o precauciones más habituales son:

- Usar **varios pines de alimentación/tierra**
- Usar **varios hilos de soldadura** en paralelo
- Controlar los **slew-rate** de las señales de salida
- Evitar **señales lentas** (especialmente en el reloj)
- Usar resistencias que introduzcan “pérdidas” (**amortiguamiento**).

45

Conmutación Simultánea de Salidas (SSO, *Simultaneous Switching Outputs*)

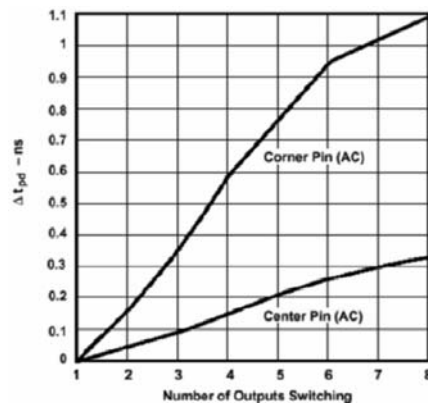
- ❑ Cuando un número moderado o alto de salidas del CI deben poder **conmutar simultáneamente** (e.g. en buses de salida o bidireccionales), deben tomarse ciertas precauciones en el diseño del circuito integrado.
- ❑ Los **picos** de corriente de alimentación producirán efectos de **ground/power bounce** pronunciados, con las posibles consecuencias habituales.



46

Conmutación Simultánea de Salidas (SSO, *Simultaneous Switching Outputs*)

- ❑ Por el mismo motivo (inducciones), la corriente disponible en la alimentación de los *buffers* de salida para la conmutación de las señales se ve limitada, lo que hace que los tiempos de propagación puedan verse aumentados sustancialmente en función del número de salidas que conmutan realmente.



Ejemplo de efecto de
SSO en el tiempo de
propagación.
Octal bus driver
N74xx240

47

Conmutación Simultánea de Salidas (SSO, *Simultaneous Switching Outputs*)

- ❑ Con frecuencia, los *data-sheets* de los componentes comerciales, especifican tiempos de propagación que no son válidos ante una conmutación simultánea de muchas salidas.
- ❑ Es frecuente que existan reglas de diseño específicas para el anillo de I/O que obliguen a tomar medidas de prevención.
 - Lo habitual es establecer un número máximo de pines de salida (de posible conmutación simultánea) por cada par de pines/pads de alimentación y tierra.

48

Tema 9. Interfaces digitales

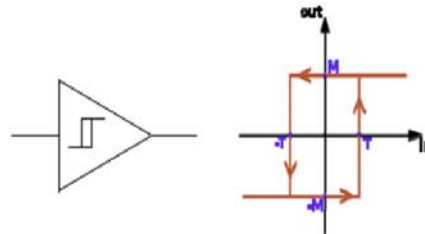
- El Encapsulado
- Niveles de tensión
- Tipos de pines I/O
 - ✓ Circuitos de protección
- Problemas / Precauciones
 - ✓ Efectos de carga capacitiva
 - ✓ Entradas flotantes
 - ✓ Rebotes de tierra/alimentación
 - ✓ Conmutación simultánea de salidas
 - ✓ Entradas de pendiente baja
 - ✓ Conflicto en buses
 - ✓ Transitorios de encendido
 - ✓ Propagación de señales
- Interfaces digitales en FPGAs

Entradas de pendiente baja

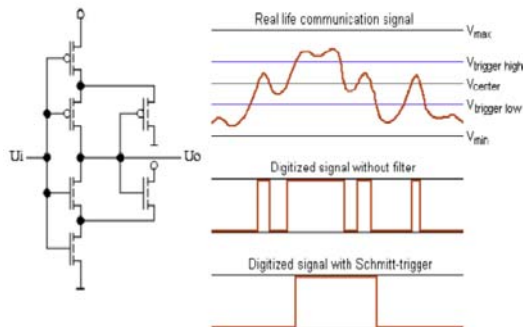
- ❑ El problema es similar al que producirían las **entradas flotantes**:
 - durante un cierto tiempo los niveles lógicos de las señales estarán **indeterminados**, produciendo un alto nivel de corriente (corriente de corto circuito) entre alimentación y tierra.
- ❑ Los efectos inductivos, unidos al ruido habitual en las alimentaciones, pueden producir **rebotes y pérdida de integridad** de las señales de entrada (oscilaciones, *glitches*)
- ❑ Lo habitual es evitar que esto ocurra usando la “**fuerza**” **suficiente** (tampoco excesiva) en los *buffers* de los circuitos atacantes.

Entradas de pendiente baja

- En caso de necesidad, pueden usarse circuitos específicos, como **comparadores** o similares.



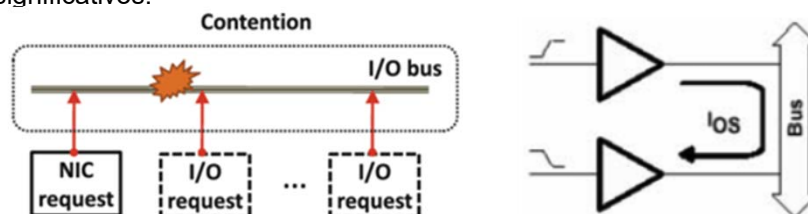
- Un circuito útil para preservar la integridad de las señales es el comparador con histéresis o "**Schmitt trigger**".



51

Conflictos en buses (*bus contention*)

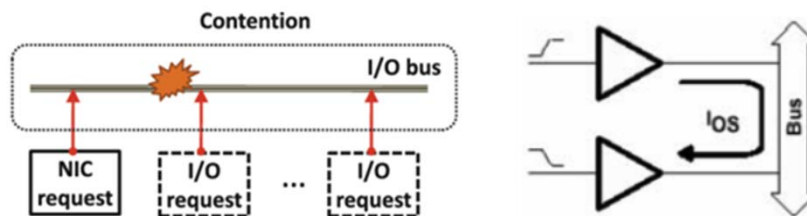
- En los buses bidireccionales, es frecuente que haya varios subsistemas que puedan "escribir" en él. Normalmente esto se evita mediante algún **protocolo** o **esquema de prioridades**.
- Sin embargo, puede ocurrir que durante los **transitorios** de las señales de habilitación de los *buffers tri-state* se produzcan pequeños conflictos: dos o más subsistemas tratan de usar el bus para escribir en él simultáneamente.
- El resultado es un "**corto-circuito**" entre *buffers*, que resultará en **altos niveles de intensidad**. Si la duración es breve (una diferencia de tiempos de propagación o similar, debida a azares o similar), no suele tener efectos significativos.



52

Conflictos en buses (*bus contention*)

- ❑ Es posible evitarlo usando alguna lógica adicional, o ciclos de reloj de salvaguarda.
- ❑ La situación puede ser mucho más preocupante durante los transitorios de encendido.



53

Transitorios de Encendido

- ❑ Idealmente, el **proceso de encendido** (*power-up* ó *start-up*) de un CI debe ocurrir con cierta lentitud, sobre todo si el circuito es complejo (varios dominios de alimentación).
- ❑ La **circuitería de alimentación** (reguladores, convertidores DC-DC, condensadores de filtrado, etc), se estudia con este propósito.
- ❑ La **duración típica** puede estar entre algunos *ms* y algunas decenas o incluso centenas de *ms*, dependiendo de diversos factores.

54

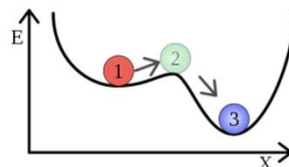
Transitorios de Encendido

- ❑ Se persigue evitar posibles *glitches* o diferencias inapropiadas entre las diferentes tensiones de alimentación. Para este propósito, la mayoría de los CIs complejos incluye diodos u otras formas de protección entre las diferentes alimentaciones.
- ❑ Un proceso de encendido mal controlado puede hacer que el dispositivo entre en un modo de *mal funcionamiento temporal*, a veces asociado a un alto consumo de intensidad, o incluso *dañarlo permanentemente*, especialmente si se producen fenómenos de *latch-up*.
- ❑ Algunos componentes analógicos auxiliares pueden tener un tiempo de arranque *elevado* (e.g. osciladores, DLLs,...)



Transitorios de encendido

- ❑ Un problema importante durante los transitorios de encendido es el de posibles *conflictos en los buses* (*bus contention*). Dada la relativamente larga duración del transitorio de encendido, pueden producirse daños permanentes.
- ❑ Algunas soluciones habituales son *deshabilitar* todos los *buffers tri-state* durante el transitorio usando resistencias de *pullup/down* en las señales de *enable*, o lógica adicional.
- ❑ Efectos como la *meta-estabilidad* hacen que el estado lógico de un circuito secuencial tras el encendido sea impredecible.
- ❑ Por ese motivo, muchos sistemas digitales integrados incluyen un circuito específico que, tras poco tiempo después del transitorio de encendido genera un *pulso de reset* (*reset on power-up*).



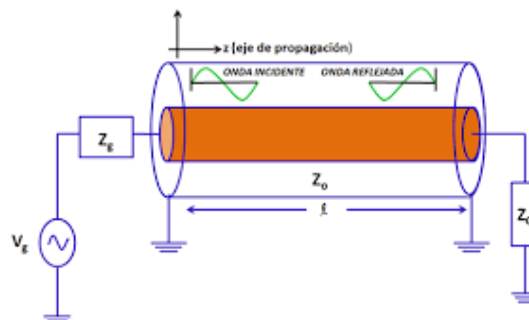
Propagación de señales

- ❑ Sabemos que el **tiempo de propagación** de una señal digital generada por la salida de un circuito depende de la **carga capacitiva** (crece con ella).
- ❑ Cuando la pista de interconexión de una señal (en la PCB) es “**corta**”, la capacidad de la pista puede considerarse concentrada en el espacio, y la sumaremos a la capacidad del circuito atacado por la señal, haciendo el cálculo habitual, que resultará razonablemente aproximado.
- ❑ Pero en realidad, las señales eléctricas se propagan a través de las pistas de interconexión como **frentes de onda**, a una velocidad limitada **muy similar** a la velocidad de la luz.

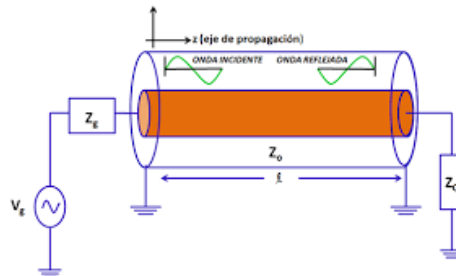
$$c = 3 \cdot 10^8 \text{ m/s} \longrightarrow 1 \text{ ns} \longleftrightarrow 30 \text{ cm}$$

Propagación de señales

- ❑ Los frentes de onda se **reflejan parcialmente** en los extremos de las líneas de transmisión si no existe un buen **acoplamiento de impedancias**, es decir, si las impedancias de fuente y de carga (según el extremo) y la impedancia característica de la línea de transmisión no tienen valores similares.



Propagación de señales



❑ Estos “rebotes” de señal en ambos extremos dan lugar a **superposiciones** de las señales y sus diferentes versiones rebotadas, que originan comportamientos a veces imprevistos, como:

- valores de tensión que oscilan por encima de la alimentación o por debajo de tierra (**over-shoots** y **under-shoots**)
- que se **amortiguan** con constantes de tiempo relacionadas con los **tiempos de viaje de la onda** por la línea y los **coeficientes de reflexión**.

59

Propagación de señales

❑ Una pista de interconexión se considera “corta” o “larga” en función de si el **tiempo** invertido por la señal (frente de onda) en recorrerla es **comparable** o no al **tiempo de retardo** o de establecimiento de la señal que sea admisible.

❑ Alternativamente, una pista debe ser tratada como **línea de transmisión** si su **longitud** es comparable a la **longitud de onda** de la señal de mayor frecuencia que sea de nuestro interés.

$$\boxed{c = f \cdot \lambda} \quad \text{Si } L \approx \lambda_{\min} = c / f_{\max} \text{ ó mayor } \longrightarrow \text{LINEA DE TRANSMISIÓN}$$

60

Propagación de señales

- ❑ Cuando la pista de interconexión es “corta”, el frente de onda (y sus reflejados) se propagan en ambas direcciones en **tiempos cortos** en relación a la **transición de la señal** esperable del modelo concentrado, por lo que el **amortiguamiento es rápido** y en general pasa desapercibido, aunque no exista buen acoplamiento de impedancias.
- ❑ Si la pista de interconexión es “larga”, los **tiempos de viaje** del frente de onda a lo largo de la línea de transmisión son **comparables** a los **tiempos de establecimiento** deseados para la señal digital.



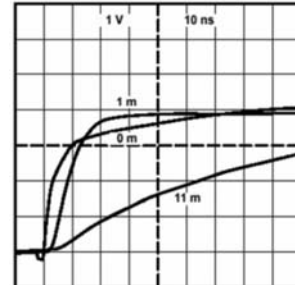
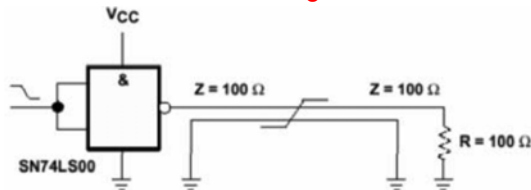
Propagación de señales

- ❑ Si la pista es **larga** y **no existe** un correcto **acoplamiento de impedancias**, las superposiciones del frente de onda original y sus reflejados serán apreciables, y el tiempo efectivo de establecimiento del nivel lógico dependerá fuertemente de la longitud de la línea y de los coeficientes de reflexión:
 - durante el transitorio aparecerán **over-shoots** y **under-shoots** que se irán amortiguando a un ritmo dependiente de los parámetros mencionados.
- ❑ Si la pista es **larga** pero está “**bien terminada**”, no habrá rebotes significativos, y sólo habrá que tener en cuenta el tiempo de viaje de la onda, además del efecto capacitivo de la línea.

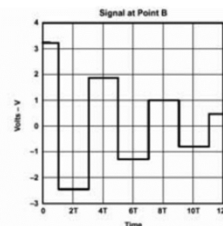
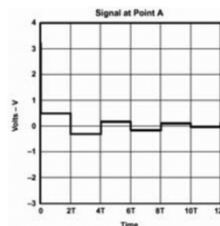
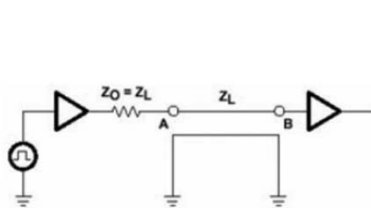


Propagación de señales

Línea larga bien terminada: aumento de retraso con la longitud

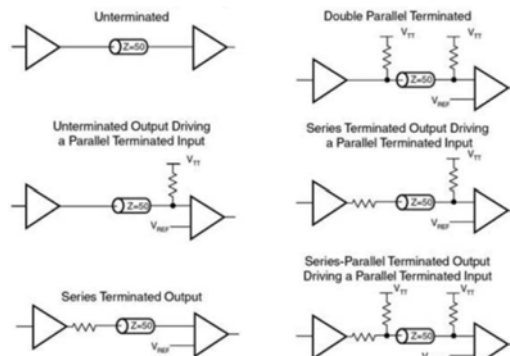


Efectos de un mal acoplamiento de impedancias:



Propagación de señales

- El aumento de la frecuencia de los sistemas digitales ha hecho que estos efectos sean cada vez más notorios, por lo que se han desarrollado técnicas y estándares de interfases digitales específicos para reducir estos efectos.
- Una forma habitual de reducir los rebotes es insertar resistencias en serie y/o en paralelo para amortiguar los rebotes, junto con el uso de entradas diferenciales o señales totalmente diferenciales.



Tema 9. Interfaces digitales

- El Encapsulado
- Niveles de tensión
- Tipos de pines I/O
 - ✓ Circuitos de protección
- Problemas / Precauciones
 - ✓ Efectos de carga capacitiva
 - ✓ Entradas flotantes
 - ✓ Rebotes de tierra/alimentación
 - ✓ Conmutación simultánea de salidas
 - ✓ Entradas de pendiente baja
 - ✓ Conflicto en buses
 - ✓ Transitorios de encendido
 - ✓ Propagación de señales

➤ Interfaces digitales en FPGAs



Interfaces Digitales en FPGAs

- ❑ Las FPGAs modernas tienen innumerables capacidades de **configuración** y programación de sus **pines de entrada/salida**
- ❑ En general pueden configurarse para soportar un número muy elevado de **estándares** diferentes, incluyendo los totalmente diferenciales


```
set_property IOSTANDARD LVCMOS33 [get_ports puerto]
```
- ❑ Cada pin puede configurarse como **entrada**, **salida/tri-state**, o **bidireccional**
- ❑ Puede configurarse y programarse el tipo de **terminación resistiva**
- ❑ Pueden configurarse las salidas como tipo **open-drain**



Interfaces Digitales en FPGAs

- ❑ Las entradas pueden configurarse para tener circuitos de **bus-hold**
- ❑ Las entradas pueden configurarse para tener resistencias de **pull-up/down**
- ❑ Las entradas pueden tolerar señales de estándares de tensión más alta
- ❑ Las señales de I/O pueden ser asíncronas o síncronas



Interfaces Digitales en FPGAs

- ❑ Además, puede programarse en general de manera individual:
 - La **fuerza** de los buffers de salida
 - La **tensión de referencia** de las entradas (V_{ref})
 - La **tensión de alimentación** de las salidas (V_{cco})
 - La **tensión de terminal** de placa (V_{tt}) en los estándares que la requieran
 - El **Slew Rate** (la pendiente) de las salidas
 - El valor de las resistencias de **pull-up/down**
 - El **retraso** de las salidas/entradas respecto al reloj



Interfaces Digitales en FPGAs

I/O Standard	V _{IL}		V _{IH}		V _{OL}	V _{OH}	I _{OL}	I _{OH}
	V, Min	V, Max	V, Min	V, Max	V, Max	V, Min	mA, Max	mA, Min
HSTL_I	-0.300	V _{REF} - 0.100	V _{REF} + 0.100	V _{CCO} + 0.300	0.400	V _{CCO} - 0.400	8.00	-8.00
HSTL_I_18	-0.300	V _{REF} - 0.100	V _{REF} + 0.100	V _{CCO} + 0.300	0.400	V _{CCO} - 0.400	8.00	-8.00
HSTL_II	-0.300	V _{REF} - 0.100	V _{REF} + 0.100	V _{CCO} + 0.300	0.400	V _{CCO} - 0.400	16.00	-16.00
HSTL_II_18	-0.300	V _{REF} - 0.100	V _{REF} + 0.100	V _{CCO} + 0.300	0.400	V _{CCO} - 0.400	16.00	-16.00
HSUL_12	-0.300	V _{REF} - 0.130	V _{REF} + 0.130	V _{CCO} + 0.300	20% V _{CCO}	80% V _{CCO}	0.10	-0.10
LVC MOS12	-0.300	35% V _{CCO}	65% V _{CCO}	V _{CCO} + 0.300	0.400	V _{CCO} - 0.400	Note 3	Note 3
LVC MOS15	-0.300	35% V _{CCO}	65% V _{CCO}	V _{CCO} + 0.300	25% V _{CCO}	75% V _{CCO}	Note 4	Note 4
LVC MOS18	-0.300	35% V _{CCO}	65% V _{CCO}	V _{CCO} + 0.300	0.450	V _{CCO} - 0.450	Note 5	Note 5
LVC MOS25	-0.300	0.7	1.700	V _{CCO} + 0.300	0.400	V _{CCO} - 0.400	Note 4	Note 4
LVC MOS33	-0.300	0.8	2.000	3.450	0.400	V _{CCO} - 0.400	Note 4	Note 4
LV TTL	-0.300	0.8	2.000	3.450	0.400	2.400	Note 5	Note 5
MOBILE_DDR	-0.300	20% V _{CCO}	80% V _{CCO}	V _{CCO} + 0.300	10% V _{CCO}	90% V _{CCO}	0.10	-0.10
PCI33_3	-0.400	30% V _{CCO}	50% V _{CCO}	V _{CCO} + 0.500	10% V _{CCO}	90% V _{CCO}	1.50	-0.50
SSTL135	-0.300	V _{REF} - 0.090	V _{REF} + 0.090	V _{CCO} + 0.300	V _{CCO} /2 - 0.150	V _{CCO} /2 + 0.150	13.00	-13.00
SSTL135_R	-0.300	V _{REF} - 0.090	V _{REF} + 0.090	V _{CCO} + 0.300	V _{CCO} /2 - 0.150	V _{CCO} /2 + 0.150	8.90	-8.90
SSTL15	-0.300	V _{REF} - 0.100	V _{REF} + 0.100	V _{CCO} + 0.300	V _{CCO} /2 - 0.175	V _{CCO} /2 + 0.175	13.00	-13.00
SSTL15_R	-0.300	V _{REF} - 0.100	V _{REF} + 0.100	V _{CCO} + 0.300	V _{CCO} /2 - 0.175	V _{CCO} /2 + 0.175	8.90	-8.90
SSTL18_I	-0.300	V _{REF} - 0.125	V _{REF} + 0.125	V _{CCO} + 0.300	V _{CCO} /2 - 0.470	V _{CCO} /2 + 0.470	8.00	-8.00

"Artix-7 FPGAs Data Sheet: DC and AC Switching Characteristics", Xilinx, 2016



Interfaces Digitales en FPGAs

Table 19: Input Delay Measurement Methodology

Description	I/O Standard Attribute	V _L ⁽¹⁾	V _H ⁽¹⁾	V _{MEAS} (3)(5)	V _{REF} (2)(4)
LVC MOS, 1.2V	LVC MOS12	0.1	1.1	0.6	—
LVC MOS, 1.5V	LVC MOS15	0.1	1.4	0.75	—
LVC MOS, 1.8V	LVC MOS18	0.1	1.7	0.9	—
LVC MOS, 2.5V	LVC MOS25	0.1	2.4	1.25	—
LVC MOS, 3.3V	LVC MOS33	0.1	3.2	1.65	—
LV TTL, 3.3V	LV TTL	0.1	3.2	1.65	—
MOBILE_DDR, 1.8V	MOBILE_DDR	0.1	1.7	0.9	—
PCI33, 3.3V	PCI33_3	0.1	3.2	1.65	—
HSTL (High-Speed Transceiver Logic), Class I, 1.2V	HSTL_I_12	V _{REF} - 0.5	V _{REF} + 0.5	V _{REF}	0.60



Interfaces Digitales en FPGAs






Table 19: Input Delay Measurement Methodology (Cont'd)

Description	I/O Standard Attribute	$V_L^{(1)}$	$V_H^{(1)}$	$V_{MEAS}^{(3)(5)}$	$V_{REF}^{(2)(4)}$
HSTL, Class I & II, 1.5V	HSTL_I, HSTL_II	$V_{REF} - 0.65$	$V_{REF} + 0.65$	V_{REF}	0.75
HSTL, Class I & II, 1.8V	HSTL_I_18, HSTL_II_18	$V_{REF} - 0.8$	$V_{REF} + 0.8$	V_{REF}	0.90
HSUL (High-Speed Unterminated Logic), 1.2V	HSUL_12	$V_{REF} - 0.5$	$V_{REF} + 0.5$	V_{REF}	0.60
SSTL (Stub Terminated Transceiver Logic), 1.2V	SSTL12	$V_{REF} - 0.5$	$V_{REF} + 0.5$	V_{REF}	0.60
SSTL, 1.35V	SSTL135, SSTL135_R	$V_{REF} - 0.575$	$V_{REF} + 0.575$	V_{REF}	0.675
SSTL, 1.5V	SSTL15, SSTL15_R	$V_{REF} - 0.65$	$V_{REF} + 0.65$	V_{REF}	0.75
SSTL, Class I & II, 1.8V	SSTL18_I, SSTL18_II	$V_{REF} - 0.8$	$V_{REF} + 0.8$	V_{REF}	0.90
DIFF_MOBILE_DDR, 1.8V	DIFF_MOBILE_DDR	$0.9 - 0.125$	$0.9 + 0.125$	0 ⁽⁵⁾	—
DIFF_HSTL, Class I, 1.2V	DIFF_HSTL_I_12	$0.6 - 0.125$	$0.6 + 0.125$	0 ⁽⁵⁾	—
DIFF_HSTL, Class I & II, 1.5V	DIFF_HSTL_I, DIFF_HSTL_II	$0.75 - 0.125$	$0.75 + 0.125$	0 ⁽⁵⁾	—
DIFF_HSTL, Class I & II, 1.8V	DIFF_HSTL_I_18, DIFF_HSTL_II_18	$0.9 - 0.125$	$0.9 + 0.125$	0 ⁽⁵⁾	—
DIFF_HSUL, 1.2V	DIFF_HSUL_12	$0.6 - 0.125$	$0.6 + 0.125$	0 ⁽⁵⁾	—
DIFF_SSTL135/DIFF_SSTL135_R, 1.35V	DIFF_SSTL135, DIFF_SSTL135_R	$0.675 - 0.125$	$0.675 + 0.125$	0 ⁽⁵⁾	—
DIFF_SSTL15/DIFF_SSTL15_R, 1.5V	DIFF_SSTL15, DIFF_SSTL15_R	$0.75 - 0.125$	$0.75 + 0.125$	0 ⁽⁵⁾	—
DIFF_SSTL18_I/DIFF_SSTL18_II, 1.8V	DIFF_SSTL18_I, DIFF_SSTL18_II	$0.9 - 0.125$	$0.9 + 0.125$	0 ⁽⁵⁾	—
LVDS_25, 2.5V	LVDS_25	$1.2 - 0.125$	$1.2 + 0.125$	0 ⁽⁵⁾	—
BLVDS_25, 2.5V	BLVDS_25	$1.25 - 0.125$	$1.25 + 0.125$	0 ⁽⁵⁾	—
MINI_LVDS_25, 2.5V	MINI_LVDS_25	$1.25 - 0.125$	$1.25 + 0.125$	0 ⁽⁵⁾	—
PPDS_25	PPDS_25	$1.25 - 0.125$	$1.25 + 0.125$	0 ⁽⁵⁾	—
RSDS_25	RSDS_25	$1.25 - 0.125$	$1.25 + 0.125$	0 ⁽⁵⁾	—
TMDS_33	TMDS_33	$3 - 0.125$	$3 + 0.125$	0 ⁽⁵⁾	—

71



Bibliografía

-  W.J. Greig: Integrated Circuit Packaging, Assembly and Interconnections. Springer, 2007
-  J.M. Rabaey: Digital Integrated Circuits. A Design Perspective. Prentice Hall PTR, 2002.
-  Artix-7 FPGAs Data Sheet: DC and AC Switching Characteristics. Xilinx, 2016
-  http://www.interfacebus.com/Design_Translation.html
-  Adam Teman: Curso "Digital VLSI Design. Lecture 10: I/O and Pad Ring". Emerging Nanoscaled Integrated Circuits and Systems Labs, Bar-Ilan University, 2019.
(en youtube: <https://www.youtube.com/watch?v=O2Od1Tey-Jo>)



72