

113 學年度
國立中山大學
課程名稱:硬體描述語言

題目 HW3 Pipelined THUMB CPU

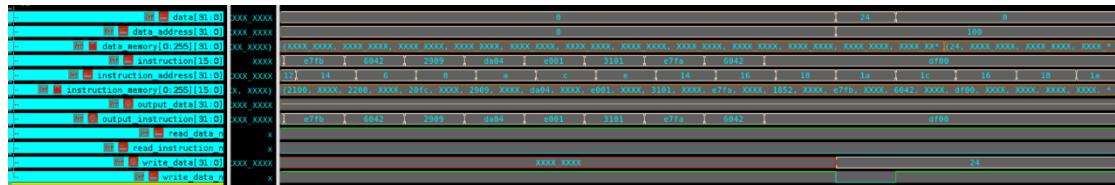
作業/成果報告/專題

授課教師: 蕭勝夫教授

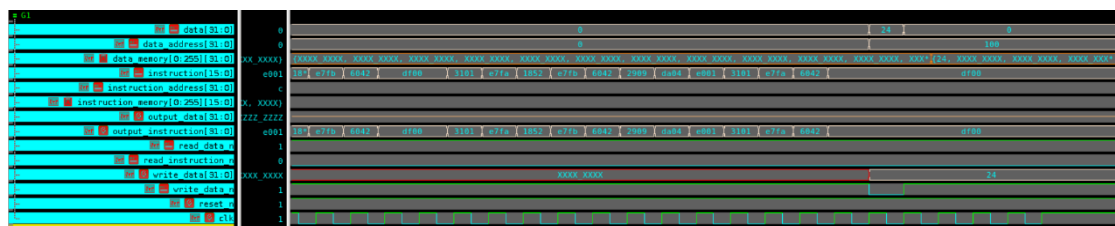
學生學號/班級/姓名: B103040009 資工系大四 尹信淳

模擬波型圖

- RTL level



- Gate level (delay optimize)



- ## ● 波型解釋

Testbench 中的程式是一個迴圈，R[1], R[2] 一開始被初始化為 0，R[0] 為 0xfc，若 R[1] 大於等於 9 則跳出迴圈準備將 R[2] 存入 memory。

迴圈的內容大致上是 R[2]會變成 R[2]與 R[1]相加，然後 R[1]加一。所以跳出迴圈時，R[2]會是 $0+1+2+\dots+8 = 36$ (其 16 進制就是波型中的 24)

存入的 address 是 $R[0]+1*4$ ，0xfc 十進位等於 252，加 4 等於 256，換算成 16 進制及微波行途中的 100。

可以看到在 `write_data_n` 訊號為 0 時，`data` 變 24，`data address` 變 100，在不久後被寫入 `data memory`。

數據表格

	area	delay					Power(mW)	
		1 st	2 nd	3 rd	4 th	Critical	DC	PT
area	4257.567	0.48	0.60	1.47	0.39	1.47	1.8098	1.74
delay	5190.480	0.44	0.46	0.44	0.39	0.46	6.2082	6.02
mid	4497.171	0.48	0.56	1.00	0.39	1.00	2.9704	2.87

心得

我在第一步切 pipeline 的地方卡了最久時間，一開始大概因為太急了，很多地方都沒有寫好，還好後來成功切好。APR 的部分很有趣，我即使重做了兩三次都還是覺得蠻有趣的，但我覺得有趣的點不是在做 APR 時助教傳授的那些設計晶片的經驗跟處理方式，而是在使用這些 EDA tool，看著彩色 layout 和 terminal 上的 report、error 時，心裡想著如果我也能寫出這麼厲害的 EDA tool 該有多好。

APR 結果圖

