

113 學年度
國立中山大學
課程名稱:硬體描述語言

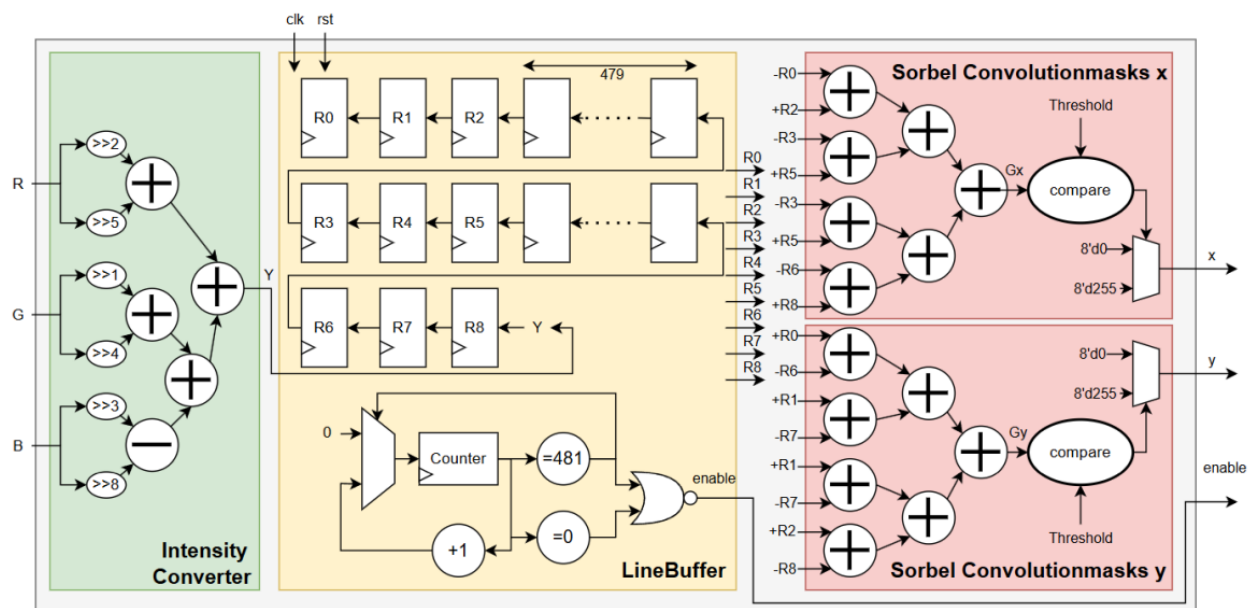
題目 HW4 Sobel Edge Detector

作業/成果報告/專題

授課教師: 蕭勝夫教授

學生學號/班級/姓名: B103040009 資工系大四 尹信淳

架構圖



- 架構說明

基本上是照著上方的架構圖實作的，但有幾個稍微不同之處：

(1) Intensity Converter 的部分，改成：

```
assign Y = (306 * R + 601 * G + 117 * B) >> 10;
```

306 約等於 0.299×2^{10}

601 約等於 0.587×2^{10}

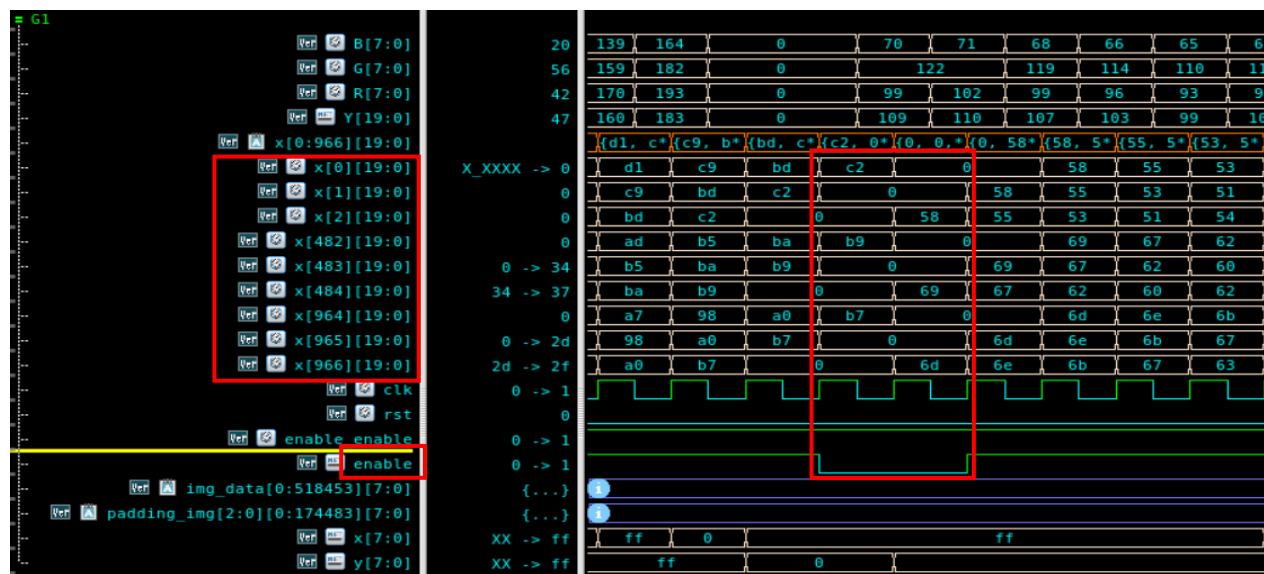
117 約等於 0.114×2^{10}

相加後結果再右移 10 位回來即可

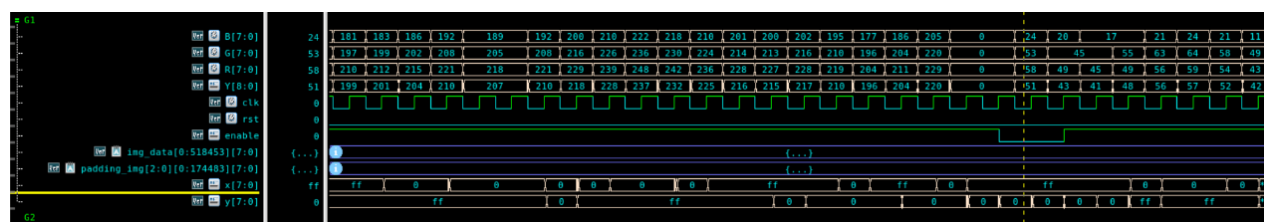
(2) Line Buffer 下方處理 sliding window 切割的部分，我加了一個訊號來開關 enable，遇到 sliding window 被切割時，enable 會被忽略。同時也藉這個機制在前 966 個 shift register 的平移，讓 enable 被忽略。

模擬波型圖

- RTL level



- Gate level (area optimized)



- 波型解釋

事先做了 zero padding，因此 sliding window 被換行切割時，window 的內容會是這兩種情況：

1. column1 有 data，column2 & 3 會全是 padded zero
2. column1 & 2 全是 padded zero，column3 有 data

(sliding window: x[0] x[1] x[2]

 x[482] x[483] x[484]

 x[964] x[965] x[966])

上方 RTL-level 波型可以看出，這兩種情況時，enable 訊號是 0，代表這時的 x, y 不會被寫入輸出的 bmp 檔。

下方 Gate-level 找不到 sliding window，大概是被 design compiler 置換成其他東西了，但 enable 還是有變 0 的地方，所以應該沒錯。

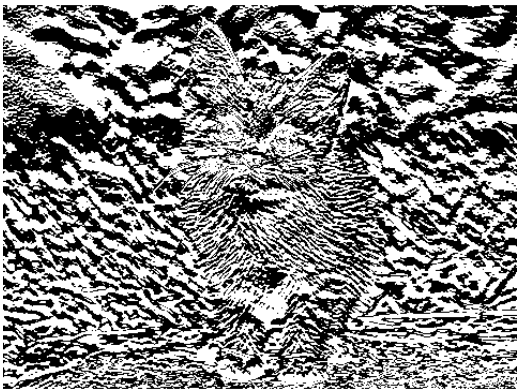
數據表格

	area	delay	Power
Area optimized	23049.723697 μ m ²	1.16ns	37.6490 mW

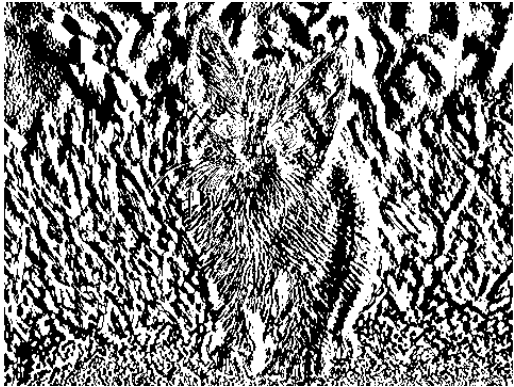
原圖



水平邊緣

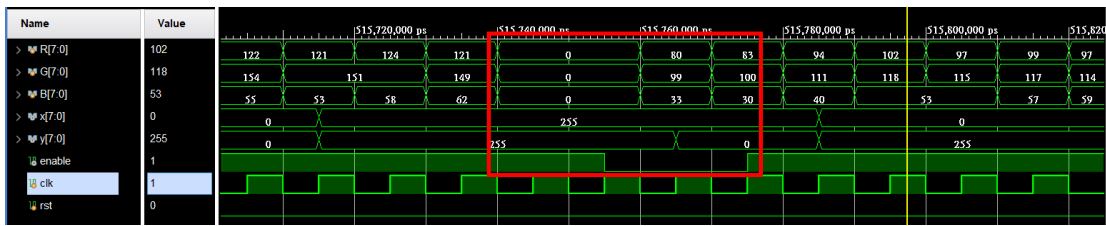


垂直邊緣

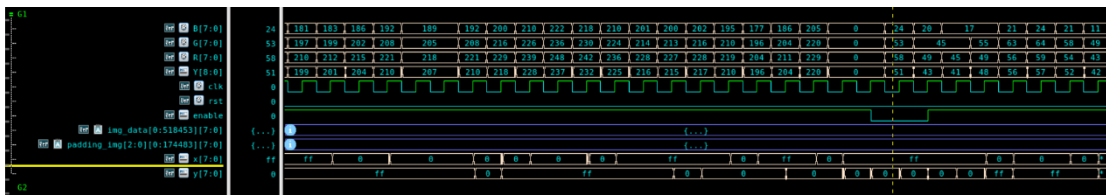


FPGA 波型圖

- Behavioral



- Post-implementation

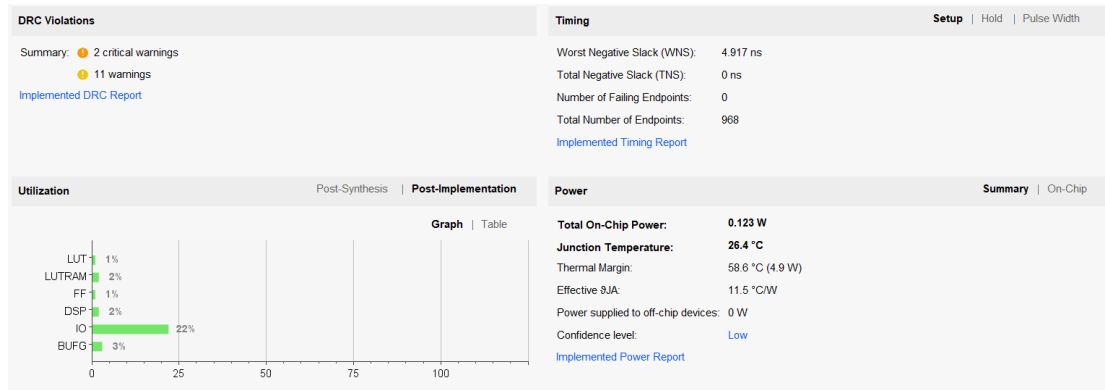


- 波型解釋

途中可以看到 RGB 連續出現兩個 0(當時的 Y 也會是 0)，這是我們的 zero padding，第一個 0 時，enable 是 1，因為這時 sliding window 是正常的，但是到第二個 0 時，enable 變 0，因為這時 sliding window 被切割，並且 enable 等於 0 有再持續了一個 posedge clk，因此兩個被切割的情況都被處理。

FPGA project summary overview snapshot

Synthesis		Implementation		Summary Route Status	
Status:	✔ Complete	Status:	✔ Complete		
Messages:	⚠ 3 warnings	Messages:	⚠ 1 warning		
Part:	xc7z020clg484-1	Part:	xc7z020clg484-1		
Strategy:	Vivado Synthesis Defaults	Strategy:	Vivado Implementation Defaults		
Report Strategy:	Vivado Synthesis Default Reports	Report Strategy:	Vivado Implementation Default Reports		
		Incremental implementation:	None		
DRC Violations		Timing		Setup Hold Pulse Width	
Summary:	⚠ 2 critical warnings ⚠ 11 warnings	Worst Negative Slack (WNS):	4.917 ns		
		Total Negative Slack (TNS):	0 ns		
		Number of Failing Endpoints:	0		
		Total Number of Endpoints:	968		
	Implemented DRC Report		Implemented Timing Report		



心得

這次作業很有趣，算是第一次從頭開始寫一個比較大的 verilog design。一開始 line buffer 那邊邏輯有錯，輸出到 bmp 檔的 byte 少了幾個，bmp 檔就直接開不起來。最後看到輸出的兩張結果圖還是挺開心的，只是邊緣好像沒有被辨識的很犀利？有很多曲線什麼的。我個人感覺作業檔案裡面的這張比較好看哈哈。

