

113 學年度
國立中山大學
課程名稱:硬體描述語言

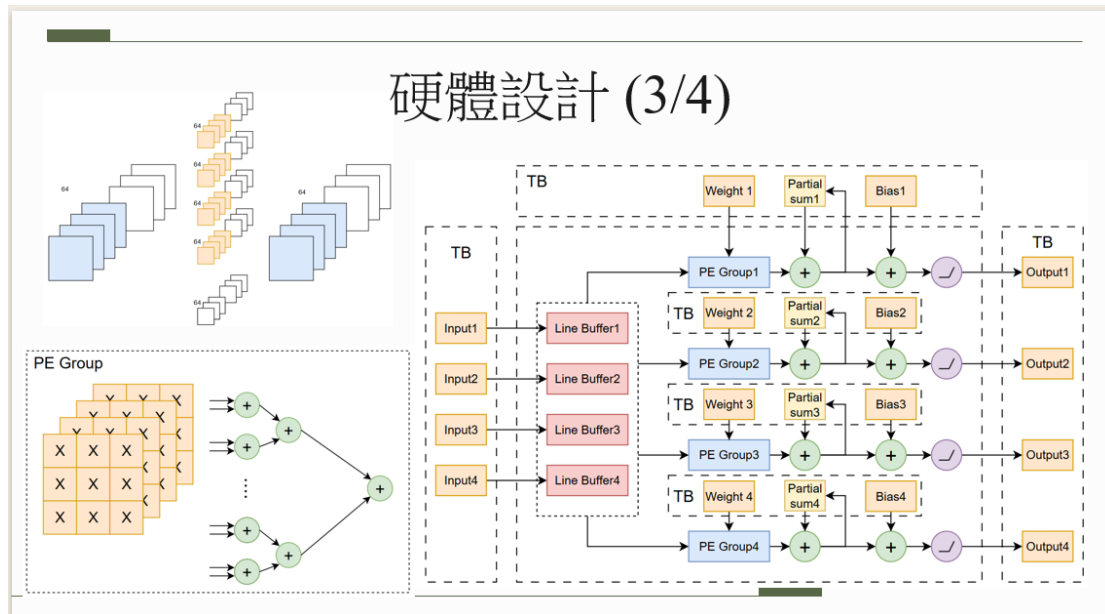
題目 HW5 CNN Accelerator for VGG-16

作業/成果報告/專題

授課教師: 蕭勝夫教授

學生學號/班級/姓名: B103040009 資工系大四 尹信淳

硬體架構圖



● 架構說明

此作業幾乎是照著上方助教提供的架構撰寫 verilog code。

將 input(layer1: 3 張, layer2: 64 張) 做 zero padding 之後送入 line buffer，PE groups 會拿 line buffer 中的東西及準備好的 kernel weights 做 convolution。並將加總寫入 output bmp file. (input 會分批送入 line buffer，所以需要記錄 partial sum、且多組 kernel 會同時進行 convolution.)

幾處不同為：

1. Layer2 中在形成一個 partial sum 的時候，我只簡略地用 continuous assignment 把四個 convolution 的值加起來。但各 convolution 當中把 9 個乘積相加的部分有使用 adder tree.
2. Layer1 只需要三個 line buffer，所以只用了三個。且不需要 partial sum 累加，三個 convolution 的值相加就可以寫進 output bmp file.

數據表格

	area	Critical path delay	Power
Area(not optimized)	82714.921500 μm^2	1.75ns	4.0578mW

心得

因為有前一個作業(HW4)的 **line buffer** 與 **testbench** 程式碼，所以這個作業有做一些。最開始有個 **define** 參數沒寫對，出來的圖片都只有下三分之一，後來就沒遇到什麼問題。成功輸出貓咪圖的時候很開心。程式碼的部分我還是把很多地方寫死了，比如說 **output channel parallelism** 跟 **kernel window parallelism** 的數量。未來如果要改善可以從這部分著手，讓設計更有彈性。也可以考慮將 **line buffer** 換成 **FIFO**，作為練習。