**113學年度**

**國立中山大學**

**課程名稱:硬體描述語言**

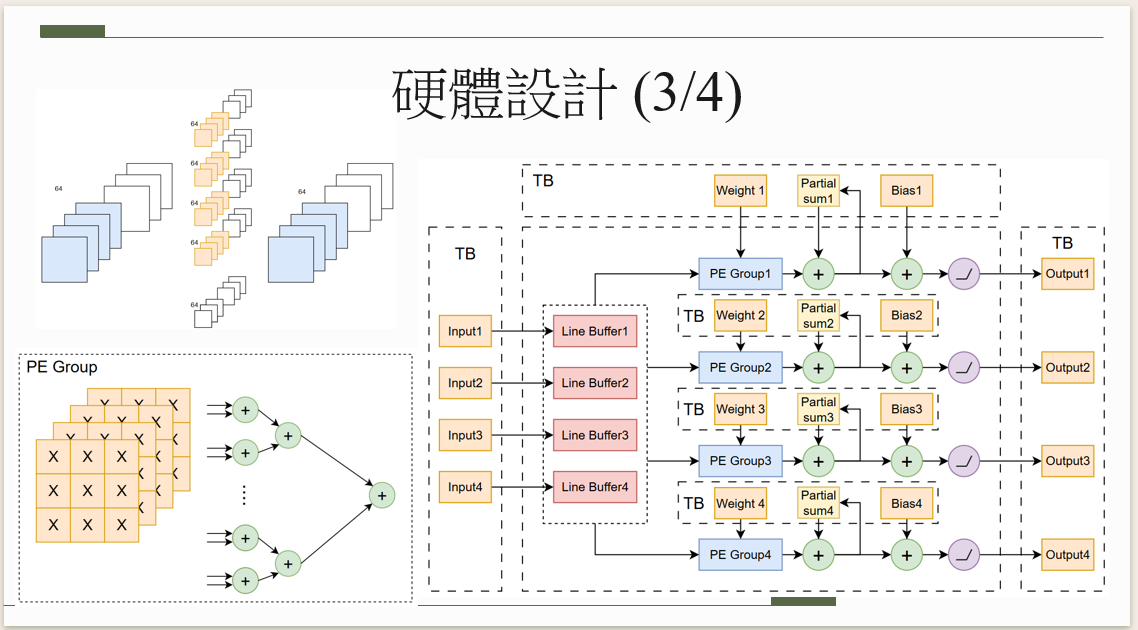
**作業/成果報告/專題**

**授課教師: 蕭勝夫教授**

**學生學號/班級/姓名: B103040009 資工系大四 尹信淳**

**題目 HW5 CNN Accelerator for VGG-16**

**硬體架構圖**

****

* 架構說明

此作業幾乎是照著上方助教提供的架構撰寫verilog code。

將input(layer1: 3張, layer2: 64張) 做zero padding之後送入line buffer， PE groups會拿line buffer中的東西及準備好的kernel weights做convolution。並將加總寫入output bmp file. (input會分批送入line buffer，所以需要記錄partial sum、且多組kernel會同時進行convolution.)

幾處不同為:

1. Layer2中在形成一個partial sum的時候，我只簡略地用continuous assignment把四個convolution的值加起來。但各convolution當中把9個乘積相加的部分有使用adder tree.
2. Layer1只需要三個line buffer，所以只用了三個。且不需要partial sum累加，三個convolution的值相加就可以寫進output bmp file.

**數據表格**

|  |  |  |  |
| --- | --- | --- | --- |
|  | area | Critical path delay | Power |
| Area(not optimized) | 82714.921500μm2 | 1.75ns | 4.0578mW |

**心得**

因為有前一個作業(HW4)的line buffer與testbench程式碼，所以這個作業有好做一些。最開始有個`define參數沒寫對，出來的圖片都只有下三分之一，後來就沒遇到什麼問題。成功輸出貓咪圖的時候很開心。程式碼的部分我還是把很多地方寫死了，比如說output channel parallelism跟kernel window parallelism的數量。未來如果要改善可以從這部分著手，讓設計更有彈性。也可以考慮將line buffer換成FIFO，作為練習。