實驗主題:Boolean Algebra

實驗日期:2022/09/19

學號:B103040009

姓名:尹信淳

實驗內容:

Exercise1: verify x’y’z + x’yz + xy’ = xy’ + x’z (using schematic)

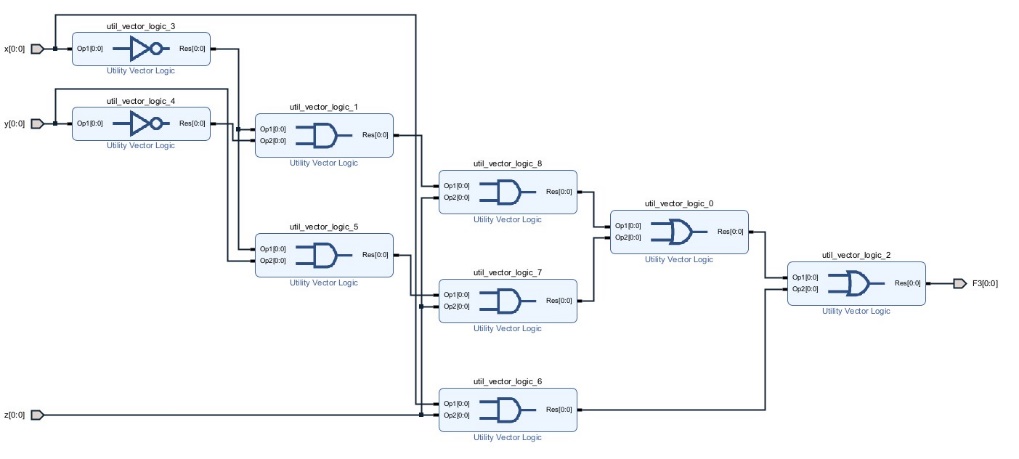
Exercise2: verify x + yz = (x+y)(x+z) (using dataflow modeling)

Exercise3: verify xy + xy’z + x’yz = xy +xz +yz (using structural level modeling)

實驗畫面:

Exercise1:

F3電路圖:



F3 程式碼:

一張含有 桌 的圖片

自動產生的描述

F3 wrapper:

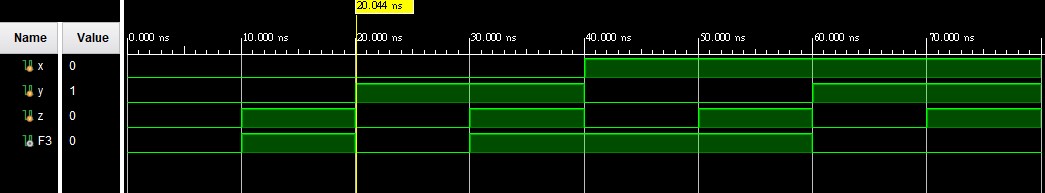
一張含有 桌 的圖片

自動產生的描述

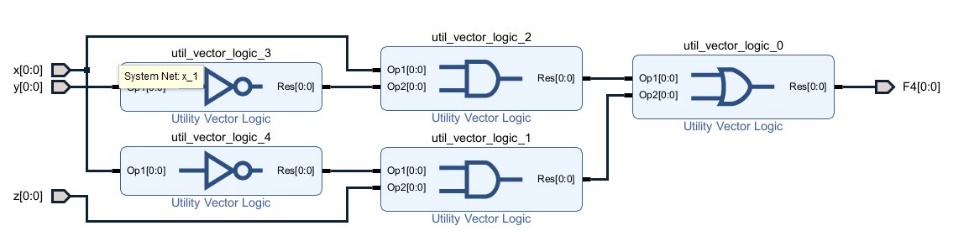
F3 testbench:

一張含有 文字 的圖片

自動產生的描述

F3波形圖: 

F4電路圖:



F4程式碼: 一張含有 文字 的圖片

自動產生的描述

F4 wrapper:

一張含有 桌 的圖片

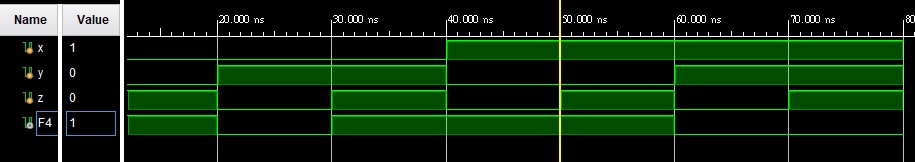
自動產生的描述

F4 testbench:

一張含有 文字 的圖片

自動產生的描述

F4 波形圖:



-----------------------------------------------------------------------------------------------------------------

Exercise 2:

程式碼:

一張含有 文字 的圖片

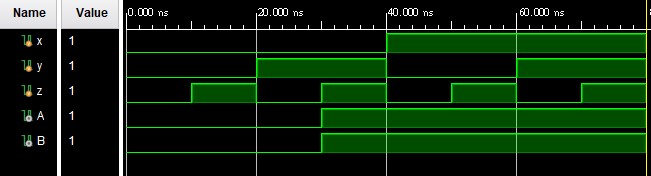
自動產生的描述

Testbench:

一張含有 文字 的圖片

自動產生的描述

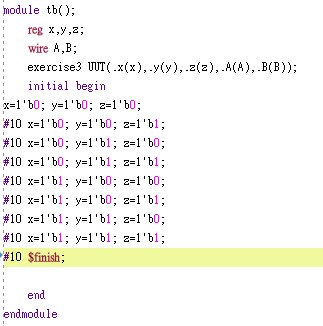
波形圖:



-----------------------------------------------------------------------------------------------------------------

Exercise3:

程式碼:

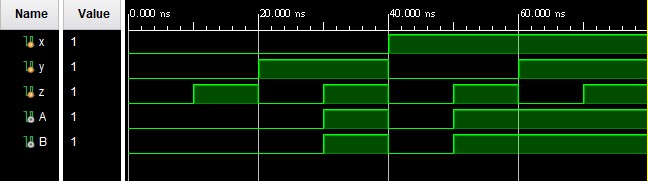


Testbench:

一張含有 桌 的圖片

自動產生的描述

波形圖:



/////////////////////////////////////////////////////////////////////////////////////////

實驗結果與分析:

Exercise1 : F3跟F4得波形圖相同，所以F3=F4；

Exercise2 : 等號左右兩邊的波形圖相同。

Exercise3 : 等號左右兩邊的波形圖相同。

三個練習都有做到verify的動作。

心得:

因為第二周沒上到課，對vivado還不是很熟悉，所以在上課一開始的時候做得很慢，到後來慢慢熟悉之後就覺得比較得心應手了，但做完還是已經十二點了。這次上課的練習感覺比較偏向讓我熟悉verilog語法跟vivado的操作流程及各種modeling。上課時做的exercise1因為把電路接錯(F3)，所以做出來的結果跟F4對不上，因此我回家之後把F3重做了一遍，有得出應有的結果。