

Faculdade de Ciências Exatas e da Engenharia
Licenciatura em Engenharia Informática



Sistemas Digitais

Relatório do 1º Projeto:
Sistema de voto

Realizado por:

Alunos: Micael Ribeiro 2033117

Gonçalo Camacho 2082120

Docentes: Pedro Camacho, Tiago Meireles e Morgado Dias

30 de Novembro de 2021 Funchal

Introdução

O presente projeto foi elaborado no âmbito de Sistemas Digitais, pertencente à Faculdade de Ciências Exatas e da Engenharia da Uma (Universidade da Madeira). Este projeto foi uma oportunidade de entrar em contacto com um novo tipo de software sendo este o **ISE**, de forma a complementar e aperfeiçoar as competências socioprofissionais para tal foi nos dado o tema “**Sistema de voto**”.

Com a realização deste trabalho pretende-se, em primeiro, compreender quais os conceitos e práticas do software **ISE da Xilinx** com base nos princípios dados na aula, e em segundo, verificar se o tema do projeto “**Sistema de Voto**” se enquadram nesses parâmetros. Com o presente projeto pretende-se também uma maior aquisição de conhecimentos sobre as funcionalidades do software e desenvolver capacidades autodidatas e demonstrar o que foi aprendido nas aulas.

Os objetivos deste trabalho são:

1. A implementação de um sistema de voto de modo que 2 pessoas de 4 concorrentes sejam escolhidas.
2. Elaboração de uma estratégia para realizar o ponto acima de acordo com o enunciado do projeto.
3. Entender melhor como realizar certas operações no Verilog, a criação de circuitos e também como realizar uma interligação entre estes 2 blocos. (ou seja, entender melhor o software em geral).
4. Procurar entender melhor acerca dos erros cometidos ao longo do projeto.
5. Obter os resultados esperados de acordo com o programa realizado.

Desenvolvimento

Inicialmente optamos por focar mais na aprendizagem do software (ISE da Xilinx) a fim de melhorar os nossos conhecimentos quanto às suas funcionalidades bem como saber realizar algumas operações e como interligar os tipos de ficheiro.

Em seguida começamos o desenvolvimento do projeto em si.

Neste projeto foi-nos pedido, tal como foi dito na introdução, para criar um Sistema de voto.

Para tal foram nos dados parametros a seguir sendo eles:

- Há 4 concorrentes(A,B,C,D);
- O júri é constituído por 4 pessoas;
- Vão ser escolhidos 2;
- O candidato 1 é escolhido pelo o publico e o candidato 2 é escolhido entre os 3 restantes pelo o júri.

Por isso decidimos separar o desenvolvimento em 3 partes: 1ª parte: candidato 1, 2ª parte: candidato 2, 3ª parte: a junção das duas partes anteriores.

Verilog 1º candidato

Em seguida foi feito o código em Verilog para a escolha do Candidato 1 onde o candidato é escolhido pelo o publico (ou seja a partir da simulação onde são ditas as votações para cada um).

Para tal foi usado um grupo de ifs afim de determinar qual é o mais votado. Basicamente, existem quatro ifs(um para cada votação dos concorrentes) onde apenas um deles será escolhido.

Tabela da verdade das contagens

Após concluirmos o Verilog do candidato 1 começamos por fazer a tabela de verdade das contagens do candidato 2 para cada combinação que seja possível para o nº de votos onde as suas saídas serão o nº do candidato escolhido, por exemplo, ter a saída xy a 10 indica que o 3º concorrente foi escolhido. Depois foram realizadas as funcoes de x e y de acordo com os 1s.

Assumindo Votação Obrigatoria																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																									
-------------------------------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

Construção do circuito para o 2º candidato

Após ser feita a tabela de verdade o circuito foi realizado utilizando portas AND e portas OR e foram também usadas 9 entradas e houve ainda 2 saídas x e y que correspondem ao concorrente escolhido para ser o 2º candidato.

Sendo estes os parametros:

Concorrente A=00(yx);

Concorrente B=01(yx);

Concorrente C=10(yx);

Juncão dos códigos Verilog e circuito

Em seguida trabalhamos na parte onde juntamos o que fizemos para o candidato 2 e no candidato 1.

Para tal construimos um circuito com todas as entradas e saídas que sejam precisas para a implementação do bloco do Verilog e do Circuito do Candidato 2. Isto porque foi necessário indicar as entradas do circuito do candidato 2 através das respetivas saídas no bloco Verilog.

Pontos finais

Por fim foram realizadas várias simulações para verificar se os resultados eram os esperados de acordo com o código If realizado no Verilog para o Candidato 1 e de acordo com o circuito realizado para o Candidato 2.

Foram encontrados certos problemas/erros mas foram corrigidos imediatamente com sucesso.

Conclusão

Este projeto, realizado no âmbito da disciplina de Sistemas Digitais e teve como objetivo principal o desenvolvimento de um Sistema de voto.

Este projeto permitiu a criação de experiência num ambiente de software a qual não estavam habituados, onde foram adquiridos alguns conhecimentos relacionados à programação em Verilog e construção de Schematic's. Foi desenvolvida a coordenação entre colegas e desenvolvimento de novas capacidades.

O objetivo deste projeto era o da criação de um **Sistema de voto** na qual o havia uma votação num concurso televisivo onde 2 dos 4 (A, B, C, D) eram escolhidos para a segunda fase onde um destes é escolhido pelo o público e outro era escolhido entre os 3 menos votados pelo um júri de 4 pessoas

Foram cumpridos todos os objetivos pretendidos podendo ultrapassar os problemas que se encontraram ao longo do caminho através de vários métodos implementados.

Anexos

```
// Verilog test fixture created from schematic C:\Xilinx\CIRCUITO-TESTE com o verilog\codigojunt0.sch - Tue Nov 23 20:07:23 2021
`timescale 1ns / 1ps

module codigojunt0_codigojunt0_sch_tb();

// Inputs
reg [1:0] A;
reg [1:0] B;
reg [1:0] C;
reg [1:0] D;
reg [5:0] VA;
reg [5:0] VB;
reg [5:0] VC;
reg [5:0] VD;
reg [1:0] J1;
reg [1:0] J2;
reg [1:0] J3;
reg [1:0] J4;
reg paraoif;

// Output
wire [1:0] Candidato1;
wire [2:0] contagem_A;
wire [2:0] contagem_B;
wire [2:0] contagem_C;
wire [1:0] Candidato2;

// Bidirs
```

Figura 1 Código Simulação Verilog de Conjunto (parte1)

```
// Bidirs

// Instantiate the UUT
codigojunt0 UUT (
    .Candidato1(Candidato1),
    .A(A),
    .B(B),
    .C(C),
    .D(D),
    .VA(VA),
    .VB(VB),
    .VC(VC),
    .VD(VD),
    .J1(J1),
    .J2(J2),
    .J3(J3),
    .J4(J4),
    .contagem_A(contagem_A),
    .contagem_B(contagem_B),
    .contagem_C(contagem_C),
    .paraoif(paraoif),
    .Candidato2(Candidato2)
);
```

Figura 2 Código Simulação do Verilog de Conjunto (parte2)

```
initial begin
    A = 2'b00;
    B = 2'b01;
    C = 2'b10;
    D = 2'b11;
    #10
    VA = 6'b010001;
    #10
    VB = 6'b001111;
    #10
    VC = 6'b001111;
    #10
    VD = 6'b110101;
    #10
    J1 = 2'b10;
    #10
    J2 = 2'b10;
    #10
    J3 = 2'b10;
    #10
    J4 = 2'b00;
    #10
    paraoif = 1;
    #10 $finish;

end
endmodule
```

Figura 3 Código Simulação Verilog de Conjunto (parte3)

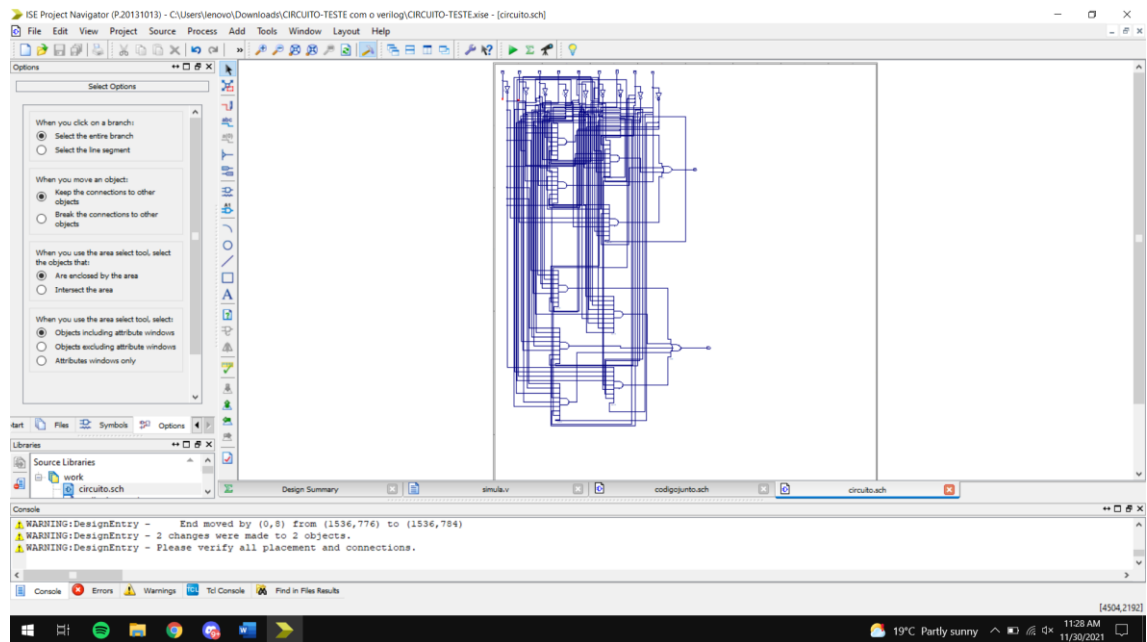


Figura 5 Circuito do candidato 2

```

////////////////////////////////////
module verilog_projecto(
    input [1:0] A,
    input [1:0] B,
    input [1:0] C,
    input [1:0] D,
    input [1:0] J1, // de 0 a 2
    input [1:0] J2,
    input [1:0] J3,
    input [1:0] J4,
    input [5:0] VA, // valores entre 0 e 63 sendo este o maior n° de percentagem possível com o n° 9999999
    input [5:0] VB,
    input [5:0] VC,
    input [5:0] VD,
    input paraoif,
    output [1:0] Candidato1,
    output [2:0] contagem_A,
    output [2:0] contagem_B,
    output [2:0] contagem_C,
    output valor_A,
    output valor_B,
    output valor_C,
    output valor_D,
    output valor_E,
    output valor_F,
    output valor_G,
    output valor_H,
    output valor_I
);

```

Figura 6- Verilog em geral(parte 1)

```

reg [1:0] Candidato1;
reg [2:0] contagem_A = 3'b000;
reg [2:0] contagem_B = 3'b000;
reg [2:0] contagem_C = 3'b000;
reg valor_A;
reg valor_B;
reg valor_C;
reg valor_D;
reg valor_E;
reg valor_F;
reg valor_G;
reg valor_H;
reg valor_I;

```

Figura 7- Verilog em geral (parte2)

```

//
if(VA > VB && VA > VC && VA > VD)
begin
    Candidato1 = A;
end
else if(VB > VA && VB > VC && VB > VD)
begin
    Candidato1 = B;
end
else if(VC > VA && VC > VB && VC > VD)
begin
    Candidato1 = C;
end
else
begin
    Candidato1 = D;
end
end
always @ (J1)
begin
    case(J1)
        2'b00:
            c_a = c_a + 1;
            $display(" A contagem de a é %d", c_a);
            contagem_A = contagem_A + 3'b001;
        2'b01:
            contagem_B = contagem_B + 3'b001;
        2'b10:
            contagem_C = contagem_C + 3'b001;
    endcase
end
always @ (J2)
begin
    case(J2)
        2'b00:
            c_a = c_a + 1;
            $display(" A contagem de a é %d", c_a);
            contagem_A = contagem_A + 3'b001;
        2'b01:
            contagem_B = contagem_B + 3'b001;
        2'b10:
            contagem_C = contagem_C + 3'b001;
    endcase
end
always @ (J3)

```

Figura 7- If's realizados para a escolha do Candidato 1 e Contagem das escolhas para a realização do circuito do candidato 2(parte3)

```

always @ (J3)
begin
    case(J3)
        2'b00:
            c_a = c_a + 1;
            $display(" A contagem de a é %d", c_a);
            contagem_A = contagem_A + 3'b001;
        2'b01:
            contagem_B = contagem_B + 3'b001;
        2'b10:
            contagem_C = contagem_C + 3'b001;
    endcase
end

```

Figura 8- Contagem das escolhas dos Júris(parte 4)

```

always @ (J4)
begin
    case(J4)
        2'b00:
            c_a = c_a + 1;
            $display(" A contagem de a é %d", c_a);
            contagem_A = contagem_A + 3'b001;
        2'b01:
            contagem_B = contagem_B + 3'b001;
        2'b10:
            contagem_C = contagem_C + 3'b001;
    endcase
end

```

Figura 9- Contagem das escolhas dos júris (parte 5)

```

always @ (paraoif)
begin
    case(contagem_A)
        2'b000:
            begin
                valor_A = 0;
                valor_B = 0;
                valor_C = 0;
            end
        2'b001:
            begin
                valor_A = 0;
                valor_B = 0;
                valor_C = 1;
            end
        2'b010:
            begin
                valor_A = 0;
                valor_B = 1;
                valor_C = 0;
            end
        2'b011:
            begin
                valor_A = 0;
                valor_B = 1;
                valor_C = 1;
            end
        2'b100:
            begin
                valor_A = 1;
                valor_B = 0;
                valor_C = 0;
            end
    endcase
end

```

Figura 10- Atribuição de valores às 9 saídas através de contagem para posterior implementação no circuito (parte 1)

```

case(contagem_B)
  3'b000:
    begin
      valor_D = 0;
      valor_E = 0;
      valor_F = 0;
    end
  3'b001:
    begin
      valor_D = 0;
      valor_E = 0;
      valor_F = 1;
    end
  3'b010:
    begin
      valor_D = 0;
      valor_E = 1;
      valor_F = 0;
    end
  3'b011:
    begin
      valor_D = 0;
      valor_E = 1;
      valor_F = 1;
    end
  3'b100:
    begin
      valor_D = 1;
      valor_E = 0;
      valor_F = 0;
    end
endcase

```

Figura 11- Atribuição de valores às 9 saídas através de contagem para posterior implementação no circuito (parte 2)

```

case(contagem_C)
3'b000:
begin
    valor_G = 0;
    valor_H = 0;
    valor_I = 0;
end
3'b001:
begin
    valor_G = 0;
    valor_H = 0;
    valor_I = 1;
end
3'b010:
begin
    valor_G = 0;
    valor_H = 1;
    valor_I = 0;
end
3'b011:
begin
    valor_G = 0;
    valor_H = 1;
    valor_I = 1;
end
3'b100:
begin
    valor_G = 1;
    valor_H = 0;
    valor_I = 0;
end
endcase

end

```

Figura 12- Atribuição de valores às 9 saídas através de contagem para posterior implementação no circuito (parte 3)

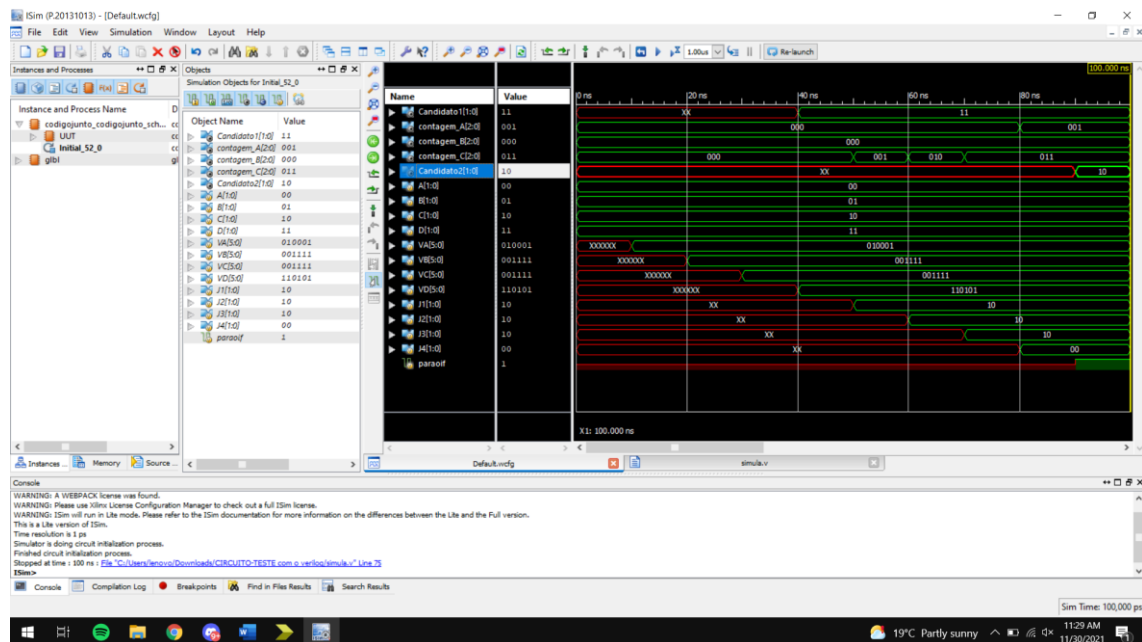


Figura 13 - Simulação do Circuito