



DEPARTAMENTO
DE COMPUTACION

Facultad de Ciencias Exactas y Naturales - UBA

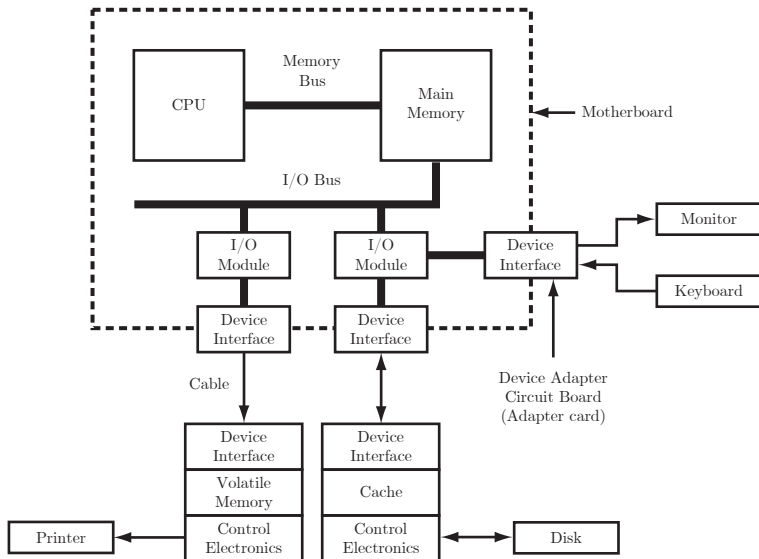
Organización del Computador 1

Entradas y Salidas

Dr. Marcelo Risk

18 de octubre de 2022

Modelo de E/S



Mapeo de E/S

En el espacio de memoria

Se reserva una porción de memoria para recibir y mandar datos a los dispositivos. Para usarlo, se usan instrucciones de lectura y escritura en memoria.

Mapeo de E/S

En el espacio de memoria

Se reserva una porción de memoria para recibir y mandar datos a los dispositivos. Para usarlo, se usan instrucciones de lectura y escritura en memoria.

En un espacio de E/S

Se proveen instrucciones especiales para interactuar con los dispositivos. Ejemplo: IN y OUT.

Polling vs. Interrupciones

Hay dos maneras de enterarse si hay o llegó algún dato desde un dispositivo:

Polling

El dispositivo de E/S es consultado periódicamente por la CPU.

Polling vs. Interrupciones

Hay dos maneras de enterarse si hay o llegó algún dato desde un dispositivo:

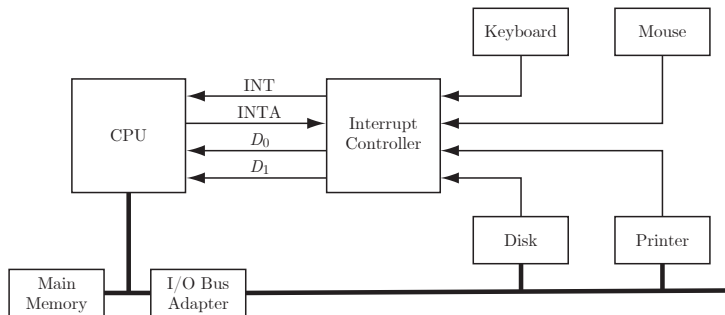
Polling

El dispositivo de E/S es consultado periódicamente por la CPU.

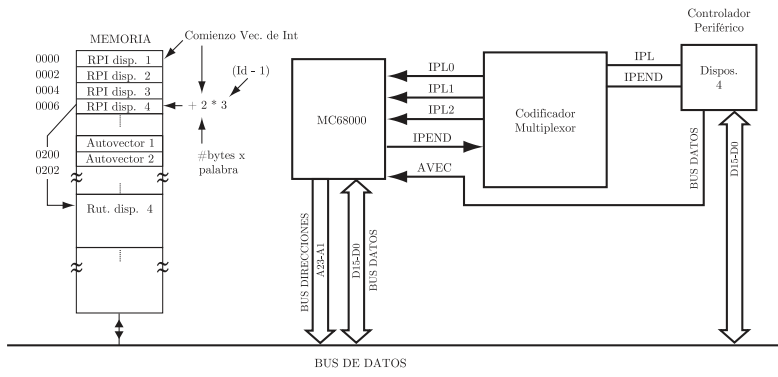
Interrupciones

El dispositivo E/S interrumpe la CPU cuando quiere comunicarse.

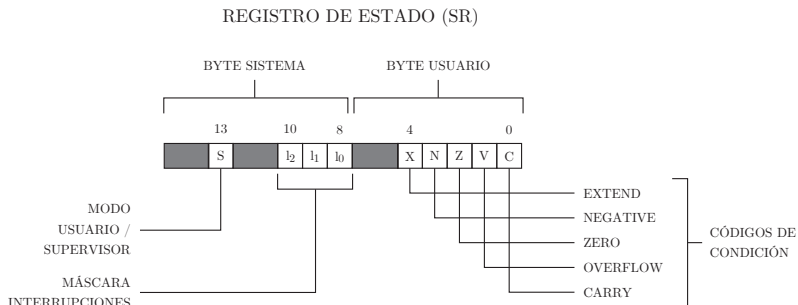
Subsistema de E/S con interrupciones



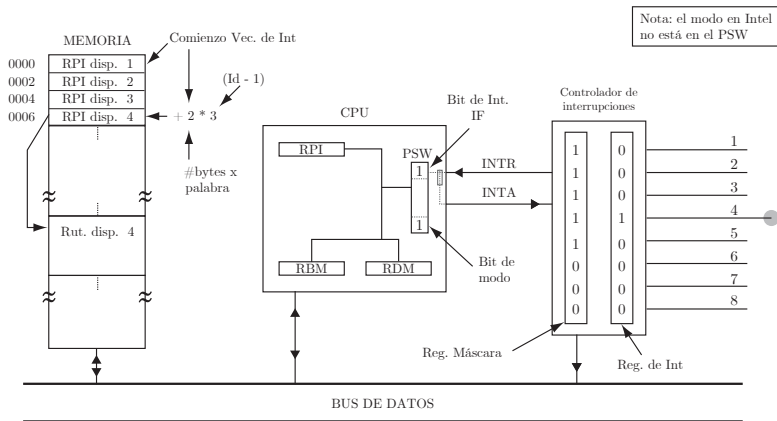
Ejemplo de interrupciones Motorola 68000



Ejemplo de interrupciones Motorola 68000



Ejemplo de interrupciones Intel 8086



Interrupciones: hardware

- ▶ El controlador del dispositivo de E/S **activa la señal** de interrupción solicitada.
- ▶ La CPU **termina** de ejecutar la instrucción en curso y **verifica** si hay interrupciones pendientes. Activa la línea de reconocimiento de interrupción (si la posee).

Interrupciones: hardware

- ▶ El controlador del dispositivo de E/S **activa la señal** de interrupción solicitada.
- ▶ La CPU **termina** de ejecutar la instrucción en curso y **verifica** si hay interrupciones pendientes. Activa la línea de reconocimiento de interrupción (si la posee).
- ▶ Detecta quién la interrumpió
 - ▶ Autovectorización (soft).
 - ▶ Vectores de interrupción (hard).

Interrupciones: hardware

- ▶ El controlador del dispositivo de E/S **activa la señal** de interrupción solicitada.
- ▶ La CPU **termina** de ejecutar la instrucción en curso y **verifica** si hay interrupciones pendientes. Activa la línea de reconocimiento de interrupción (si la posee).
- ▶ Detecta quién la interrumpió
 - ▶ Autovectorización (soft).
 - ▶ Vectores de interrupción (hard).
- ▶ Guarda el **contexto** del programa en curso en la pila (PSW y PC).
- ▶ **Deshabilita** las interrupciones.
 - ▶ Global (único nivel) Interno (Intel)
 - ▶ Selectivo (multi nivel) Interno (Motorola)

Interrupciones: hardware

- ▶ El controlador del dispositivo de E/S **activa la señal** de interrupción solicitada.
- ▶ La CPU **termina** de ejecutar la instrucción en curso y **verifica** si hay interrupciones pendientes. Activa la línea de reconocimiento de interrupción (si la posee).
- ▶ Detecta quién la interrumpió
 - ▶ Autovectorización (soft).
 - ▶ Vectores de interrupción (hard).
- ▶ Guarda el **contexto** del programa en curso en la pila (PSW y PC).
- ▶ **Deshabilita** las interrupciones.
 - ▶ Global (único nivel) Interno (Intel)
 - ▶ Selectivo (multi nivel) Interno (Motorola)
- ▶ Coloca en PC la **dirección de la Rutina de Atención de interrupciones** a utilizar que obtuvo de la tabla de vectores de interrupción (Autovector o Vect. Int. ext).

Interrupciones: software

- ▶ Si utilizó **autovectorización**, se detecta al dispositivo que originó la interrupción y se reconoce la interrupción seteando algún registro interno del controlador dispositivo de E/S.

Interrupciones: software

- ▶ Si utilizó **autovectorización**, se detecta al dispositivo que originó la interrupción y se reconoce la interrupción seteando algún registro interno del controlador dispositivo de E/S.
- ▶ **Habilita** las interrupciones:
 - ▶ Primero Selectivo externo, guardando la máscara previa (si posee).
 - ▶ Segundo Global interno.

Interrupciones: software

- ▶ Si utilizó **autovectorización**, se detecta al dispositivo que originó la interrupción y se reconoce la interrupción seteando algún registro interno del controlador dispositivo de E/S.
- ▶ **Habilita** las interrupciones:
 - ▶ Primero Selectivo externo, guardando la máscara previa (si posee).
 - ▶ Segundo Global interno.
- ▶ Rutina **específica** del dispositivo.
- ▶ **Deshabilita** las interrupciones:
 - ▶ Primero Global interno.
 - ▶ Segundo Selectivo Global restaurando la máscara previa.

Interrupciones: software

- ▶ Si utilizó **autovectorización**, se detecta al dispositivo que originó la interrupción y se reconoce la interrupción seteando algún registro interno del controlador dispositivo de E/S.
- ▶ **Habilita** las interrupciones:
 - ▶ Primero Selectivo externo, guardando la máscara previa (si posee).
 - ▶ Segundo Global interno.
- ▶ Rutina **específica** del dispositivo.
- ▶ **Deshabilita** las interrupciones:
 - ▶ Primero Global interno.
 - ▶ Segundo Selectivo Global restaurando la máscara previa.
- ▶ **Retorna** de la interrupción con una instrucción que hace todo por hardware (RTI o IRET).
 - ▶ Restaura el PC de la pila.
 - ▶ Restaura el PSW de la pila (datos de interrupción).

Controlador de interrupciones Intel



8259A PROGRAMMABLE INTERRUPT CONTROLLER (8259A/8259A-2)

- 8086, 8088 Compatible
- MCS-80, MCS-85 Compatible
- Eight-Level Priority Controller
- Expandable to 64 Levels
- Programmable Interrupt Modes
- Individual Request Mask Capability
- Single +5V Supply (No Clocks)
- Available in 28-Pin DIP and 28-Lead PLCC Package
(See Packaging Spec., Order #231369)
- Available in EXPRESS
 - Standard Temperature Range
 - Extended Temperature Range

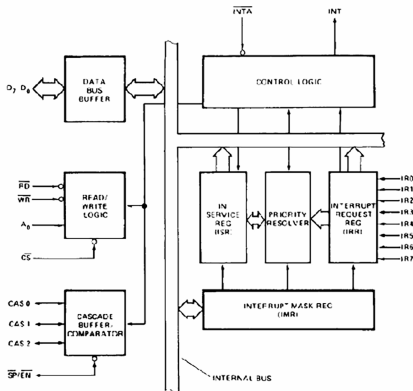


Figure 1. Block Diagram

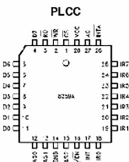
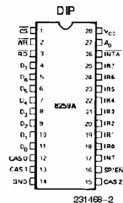
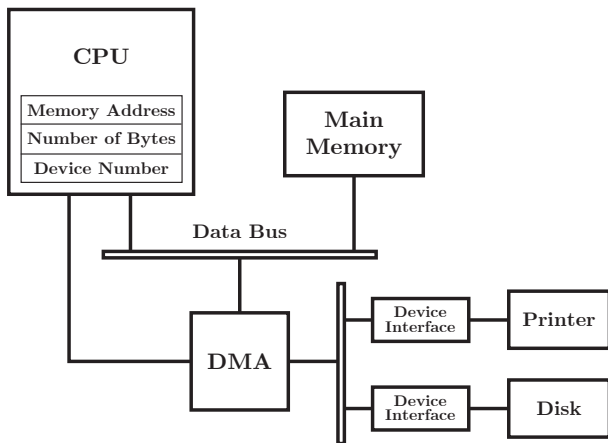
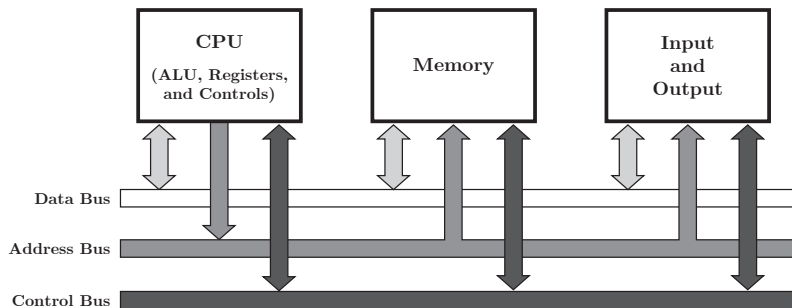


Figure 2. Pin Configurations

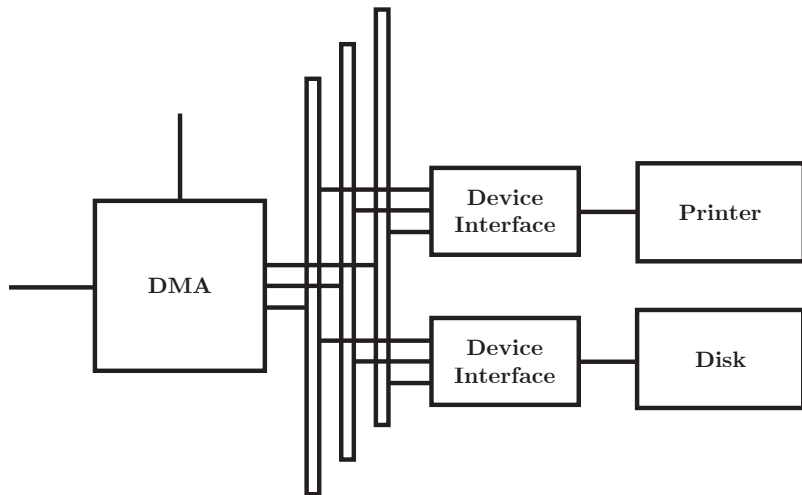
Acceso directo a memoria (DMA)



Buses en un sistema



DMA con buses separados de dirs, datos y control



Ejemplo de controlador de disco conectado al bus I/O

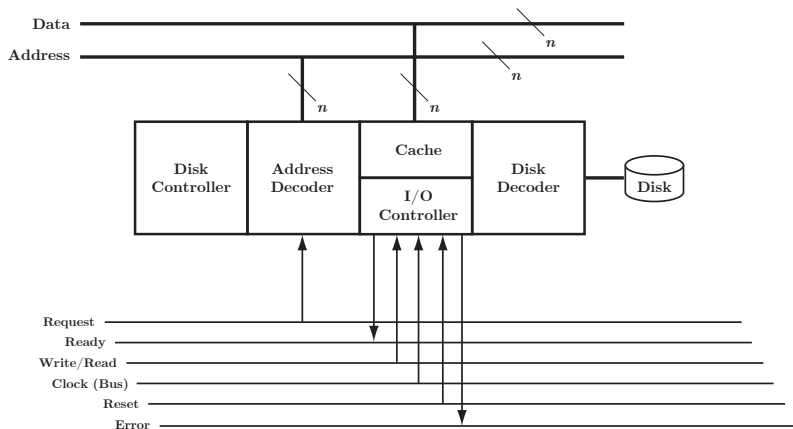
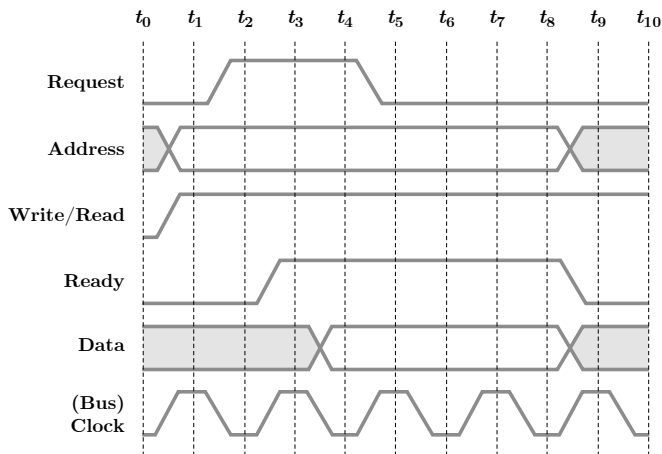
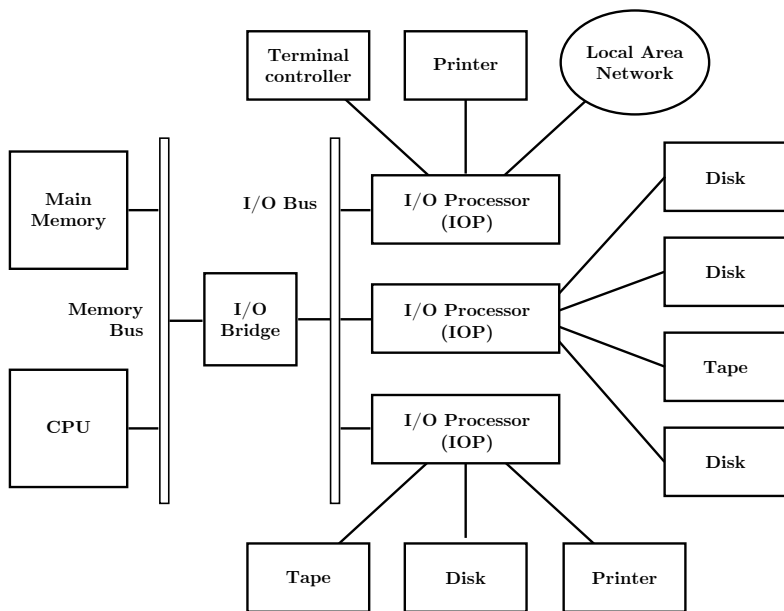


Diagrama de tiempos de un bus



Configuración Channel I/O

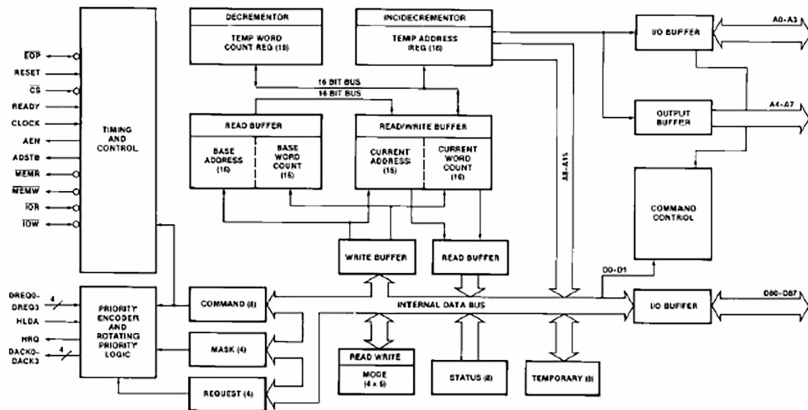




8237A HIGH PERFORMANCE PROGRAMMABLE DMA CONTROLLER (8237A-5)

- Enable/Disable Control of Individual DMA Requests
- Four Independent DMA Channels
- Independent Autoinitialization of All Channels
- Memory-to-Memory Transfers
- Memory Block Initialization
- Address Increment or Decrement
- High Performance: Transfers up to 1.6M Bytes/Second with 5 MHz 8237A-5
- Directly Expandable to Any Number of Channels
- End of Process Input for Terminating Transfers
- Software DMA Requests
- Independent Polarity Control for DREQ and DACK Signals
- Available in EXPRESS
— Standard Temperature Range
- Available in 40-Lead Cerdip and Plastic Packages

Controlador DMA de Intel



231466-1

Resumen

La **Velocidad** para cada método de E/S depende del *Hardware* dedicado.

Lo que no hace el hardware, lo tendrá que hacer el *Software* ejecutando instrucciones:

Método de E/S	<i>Hardware</i>	<i>Software</i>	<i>Velocidad</i>
Polling	*	***	*
Interrupciones	**	**	**
DMA	***	*	***