

# ΠΟΛΥΤΕΧΝΕΙΟ ΚΡΗΤΗΣ ΕΡΓΑΣΤΗΡΙΟ ΜΙΚΡΟΕΠΕΞΕΡΓΑΣΤΩΝ & ΥΛΙΚΟΥ ΕΡΓΑΣΤΗΡΙΑΚΕΣ ΑΣΚΗΣΕΙΣ ΓΙΑ ΤΟ ΜΑΘΗΜΑ:

## Οργάνωση Υπολογιστών HPY 302

http://www.mhl.tuc.gr EAPINO EEAMHNO 2024

### Αναφορά Εργαστηριακής Άσκσησης 0

Αριθμός Ομάδας:66

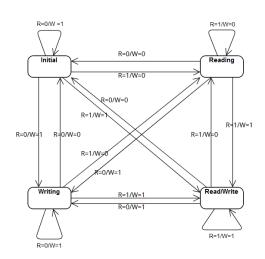
Λαμπράχης Μιχάλης 2020030077 Δήμας Χρήστος 2021030183

## 1. Σκοπός της Άσκησης

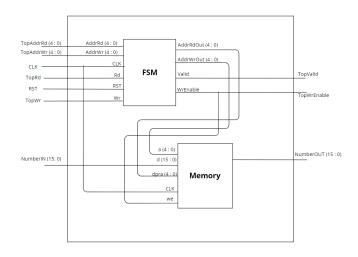
Ο σχοπός της Άσχησης είναι η εξοιχείωση με το εργαλείο Xillinx Core Generator καθώς και η μοντελοποίηση και η υλοποίηση μιας μονάδας μνήμης με δυνατότητα εγγραφής και ανάγνωσης 16-bit αριθμών.

# 2.Περιγραφή της Σχεδίασης

Αρχικά το πρώτο βήμα της σχεδίασης ήταν να σχεδιαστεί State Diagram για την FSM (η οποία έχει τον ρόλο του Memory Controller). Πέρα από τις δοσμένες εισόδους προσθέσαμε και το Write Enable, μεταβλητή η οποία παίρνει την τιμή ΄1΄ στις καταστάσεις Writing και Read/Write (όταν δηλαδή επιτρέπται το γράψιμο).



Σχήμα 1: State Diagram της FSM

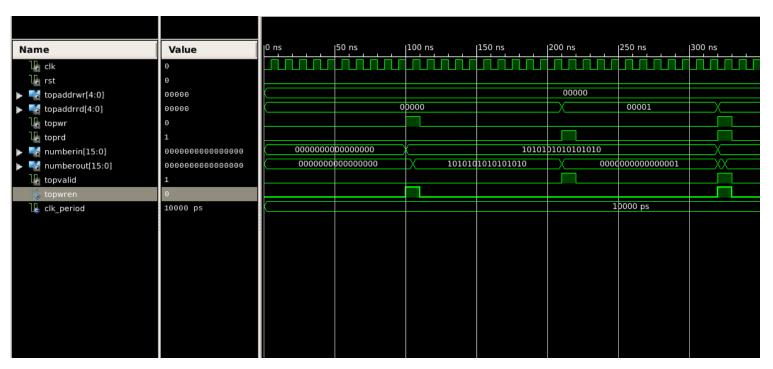


Σχήμα 2: Block Diagram

Επιπλέον, για την επίτευξη συγχρονισμού των σημάτων Write με Write Enable και Read με Valid κάναμε την FSM να λειτουργεί σε falling edge. Παρατηρήθηκε οτι διαφορετικά υπήρχε μια μια μικρή καθυστέρηση μεταξύ των σημάτων. Για την δημιουργία της μνήμης επιλέγχθηκε Distributed Dual-Port RAM. Τέλος η σύνδεση των δύο επιμέρους υποσυστημάτων( μνήμης και FSM ) γίνεται στο αρχείο TopLevel.vhd με βάση το Block Diagram (Σχήμα 2).

#### 3. Αναφορά Αποτελεσμάτων-Επιβεβαίωση Λειτουργίας

Η επιβεβαίωση λειτουργίας του συστήματος έγινε με Test Bench, 16 στο σύνολο, για όλες τις πιθανές καταστάσεις (4 καταστάσεις και 4 περιπτώσεις για την κάθε κατάσταση άρα 16 πιθανές περιπτώσεις).



Σχήμα 3: Αποτελέσματα Προσομοίωσης

Αρχικά στο Σχήμα 3 το σύστημα βρίσκεται στην αρχική κατάσταση. Το Write γίνεται '1' και δίνεται μια είσοδος για εγγραφή στην μνήμη. Παρατηρούμε ότι το WriteEnable γίνεται '1'. Έπειτα το Write γίνεται '0' και το σύστημα επιστρέφει στην αρχική κατάσταση. Στη συνέχεια το Έπειτα το Read γίνεται '1' και δίνεται διεύθυνση μνήμης για ανάγνωση όπου και εμφανίζεται η εγγεγραμένη στην μνήμη τιμή και το σήμα άλιδ γίνεται '1'. Αντίστοιχα επιστρέφουμε στην αρχική κατάσταση. Τέλος με είσοδο Read = 1 και Write = 1 το σύστημα περνάει στην τρίτη κατάσταση όπου πρώτα γίνεται η ανάγνωση και μετά η εγγραφή στη θέση της μνήμης. Με τον ίδιο τρόπο έχουν γίνεται Τest για όλες τις πιθανές καταστάσεις.

#### 4. Συμπεράσματα

Η άσχηση αυτή μας φαίρνει πρώτη φόρα σε επαφή με το εργαλείο Xillinx Core Generator και τον έλεγο μνήμης στη VHDL. Το σύστημα λειτουργεί σωστά σε όλες τις πιθανές περιπτώσεις πράγμα που επιβεβαιώνεται από τα Test Bench.