

Zpracování protokolu „Packet over SONET“ na FPGA

Michal Trs, Ing. Tomáš Marek (vedoucí)

ČVUT FEL, Katedra počítačů

13. 2. 2008 / obhajoba diplomové práce



Obsah prezentace

1 Zadání

2 Úvod do problematiky

- SONET/SDH a Packet over SONET
- FrameLink

3 Návrh řešení

4 Realizace

- SONET Framer
- HDLC kontrolér
- PPP kontrolér

5 Testování



Zadání / Motivace

Zadání

- Převést protokol Packet over SONET na FrameLink
- Implementovat v FPGA Xilinx Virtex 2 Pro
- Využít RocketIO pro přenos SONET OC-48 (2,488Gbs)
- Projekt CESNET/Liberouter (Combo karta, komponenty)

Projekt

- SONET/SDH dominantní telekomunikační technologie
- Dosavadní projekty Liberoutu určeny pro Ethernet
- Umožnit portování současných projektů na síť SONET



Zadání / Motivace

Zadání

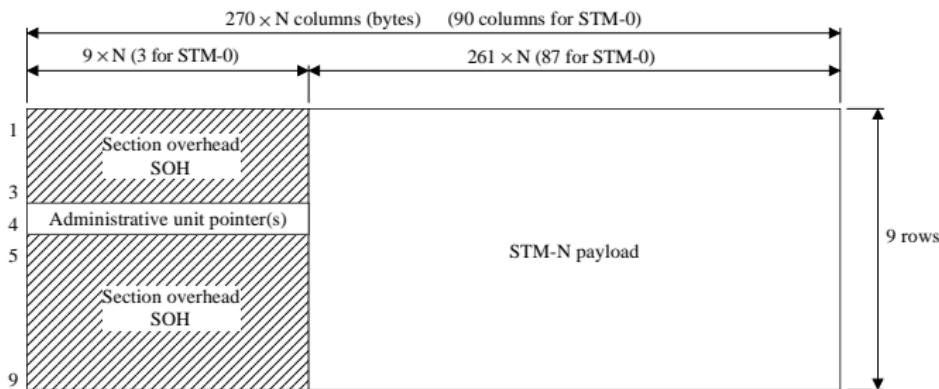
- Převést protokol Packet over SONET na FrameLink
- Implementovat v FPGA Xilinx Virtex 2 Pro
- Využít RocketIO pro přenos SONET OC-48 (2,488Gbs)
- Projekt CESNET/Liberouter (Combo karta, komponenty)

Motivace

- SONET/SDH dominantní telekomunikační technologie
- Dosavadní projekty Liberoutru určeny pro Ethernet
- Umožnit portování současných projektů na síť SONET



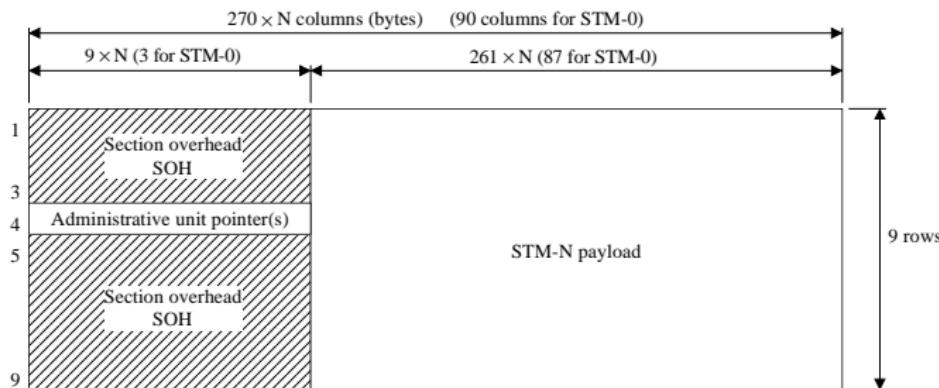
SONET/SDH



- $125\mu\text{s}$ / rámec (pro OC-48 ~ 38 kB)



SONET/SDH



- $125\mu\text{s}$ / rámec (pro OC-48 ~ 38 kB)

Packet over SONET \sim RFC 2615 (PPP over SONET/SDH)

- IP paket \rightarrow PPP rámec \rightarrow „HDLC-like“ rámec
- Zakódování (scrambling) polynomem $1 + x^{43}$
- Vložení do SONET/SDH Payload (SPE)



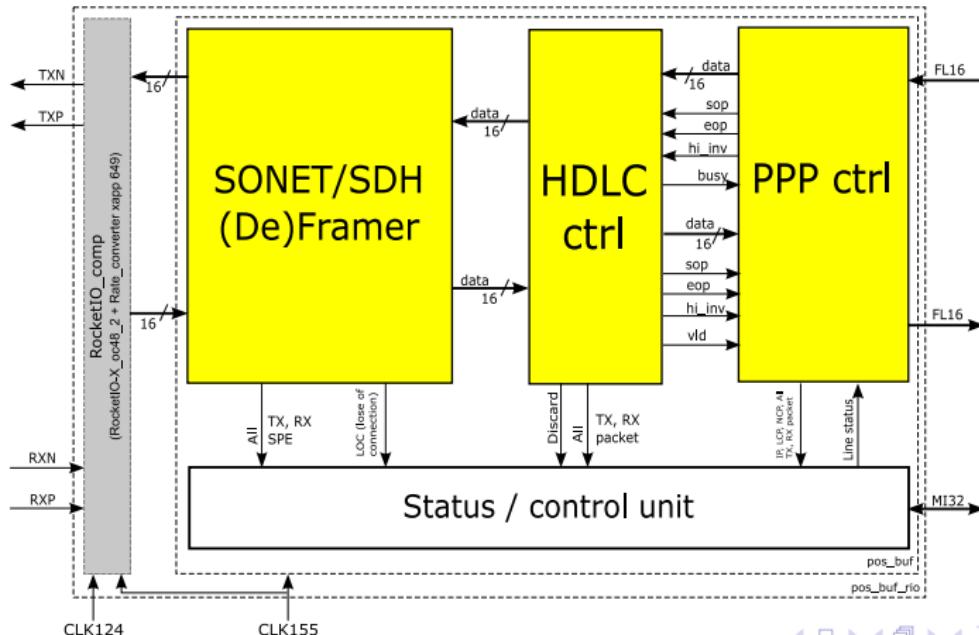
FrameLink

- FrameLink - univerzální 2 bodový spoj uvnitř FPGA
- Vyvinut na projektu Liberouter (zjednodušený LocalLink)
- Přenos dat ve formě paketů
- Generická datová šířka 8, 16, 32, 64, 128 b
- Umožnuje **Flow control**

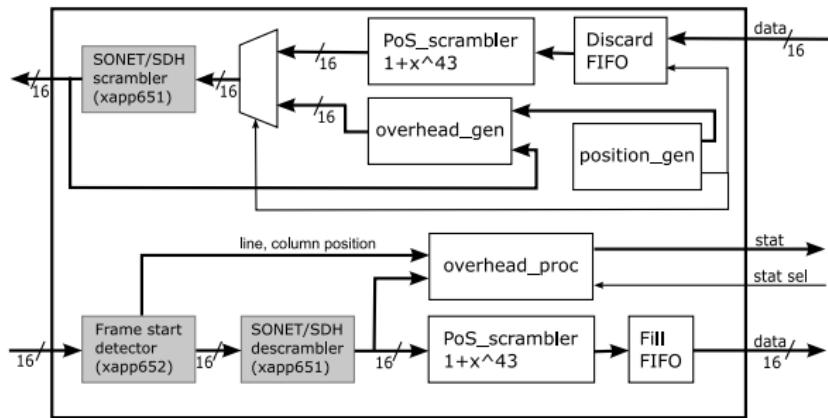


Návrh řešení

- Řešení rozděleno na **pos_buf** (převod PoS na FL) a **pos_buf_rio** (RocketIO)
- 16b datová cesta / 155,52 MHz



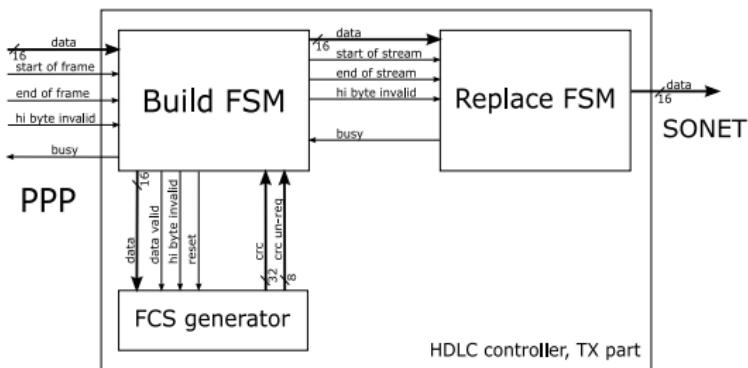
SONET Framer



- Určeno pouze pro PoS OC-48 (STM VC-4-16c)
- 168MHz / 1389 Slices (odhad po syntéze)



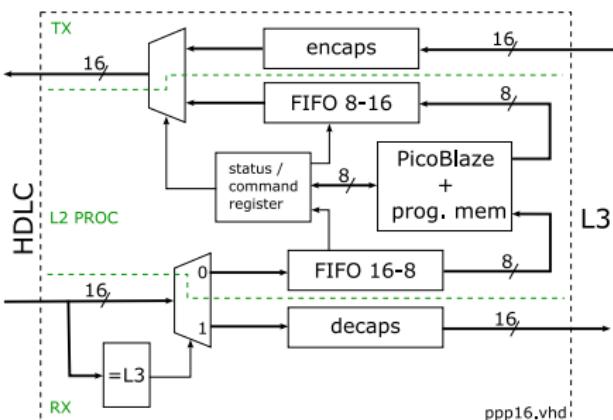
HDLC kontrolér



- **16b datová cesta** x dostupná řešení pouze 8b
- Vysílací (TX) a přijímací (RX) část
- Konečné automaty (vkládání polí, náhrada Bytů)
- 162MHz / 406 Slices (odhad po syntéze)



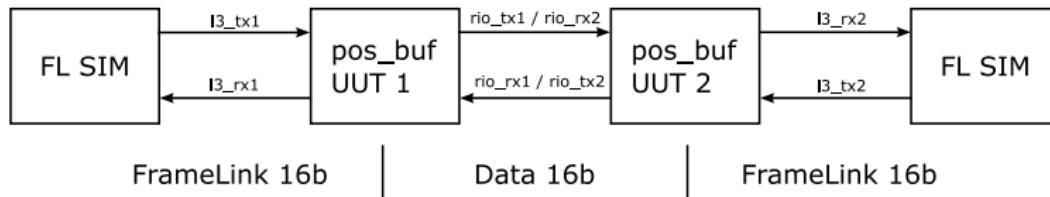
PPP kontrolér



- enkapsulace / dekapsulace L3 paketů
- **Zpracování** LCP paketů (PicoBlaze)
- 172MHz / 3015 Slices (odhad po syntéze)



Testování



- Dílčí simulace realizovaných komponent
- Poloautomatický test celé jednotky **pos_buf** (funkční simulace)
- Použity reálné pakety (Wireshark)
- Simulační nástroj ModelSim (MentorGraphics)

Shrnutí

- Jednotka pro převod **PoS na FL** popsána na RTL ve VHDL, funkční v simulacích
- Realizovány dílčí komponenty (**16b HDLC kontrolér, programovatelný PPP kontrolér, SONET Framer pro PoS**)
- Budoucí práce
 - Časování na Combo 4 SFP+ kartě
 - Testování v HW

