

Arquitetura e Organização de Computadores

Turma C - 2017/02

Projeto de MIPS

Objetivo:

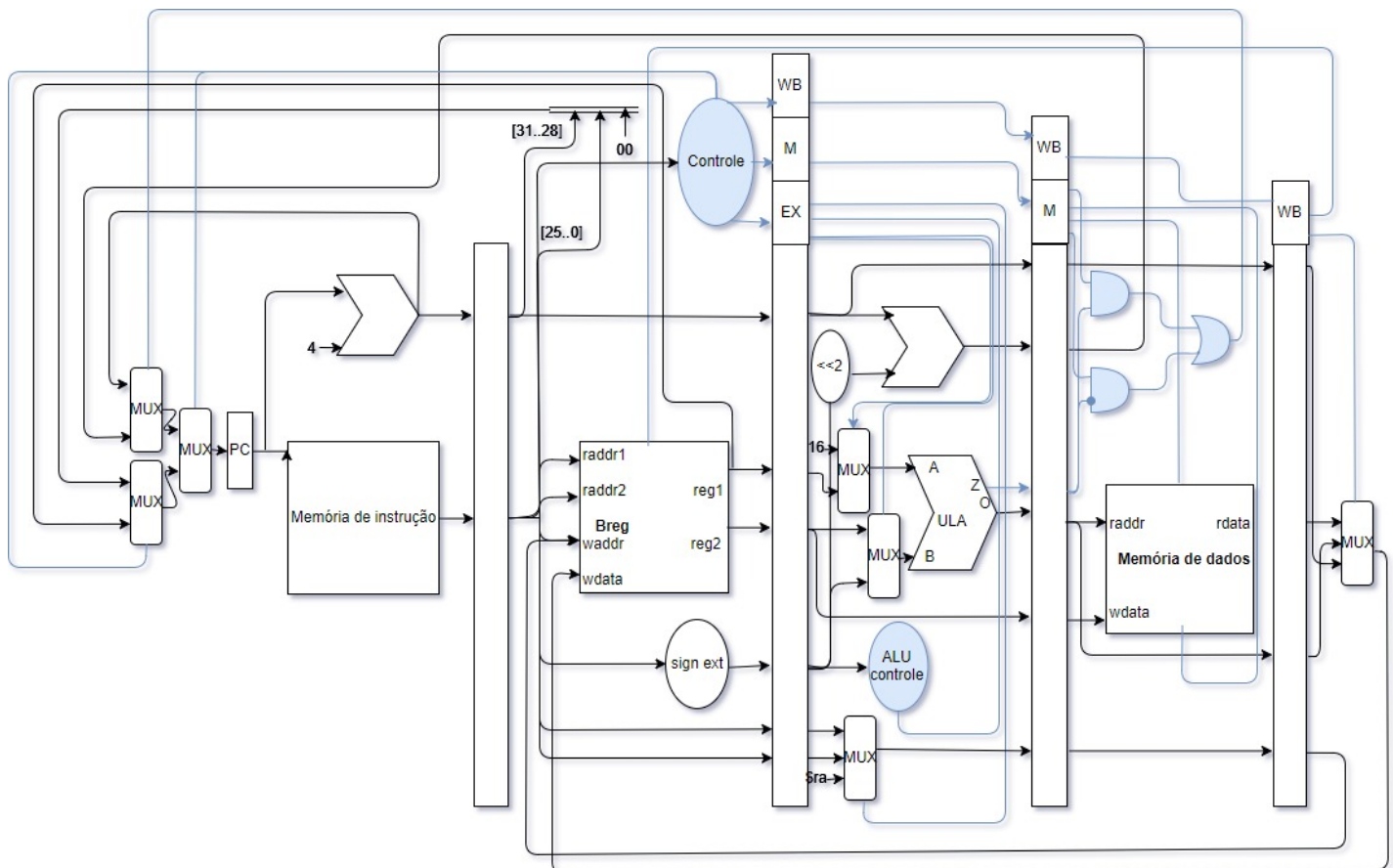
Projetar uma versão do processador MIPS Pipeline utilizando a linguagem VHDL na plataforma Altera com auxílio dos softwares Quartus e ModelSim-Altera.

Descrição:

O conjunto de instruções cobertas pelo processador foi:

ADD, SUB, AND, OR, XOR, SLT, NOR, LW, SW, BEQ, BNE, ADDi, SLTi, LUI, J, JAL, JR.

O diagrama resultante da implementação dada foi o seguinte:



A hierarquia de arquivos ficou como segue:

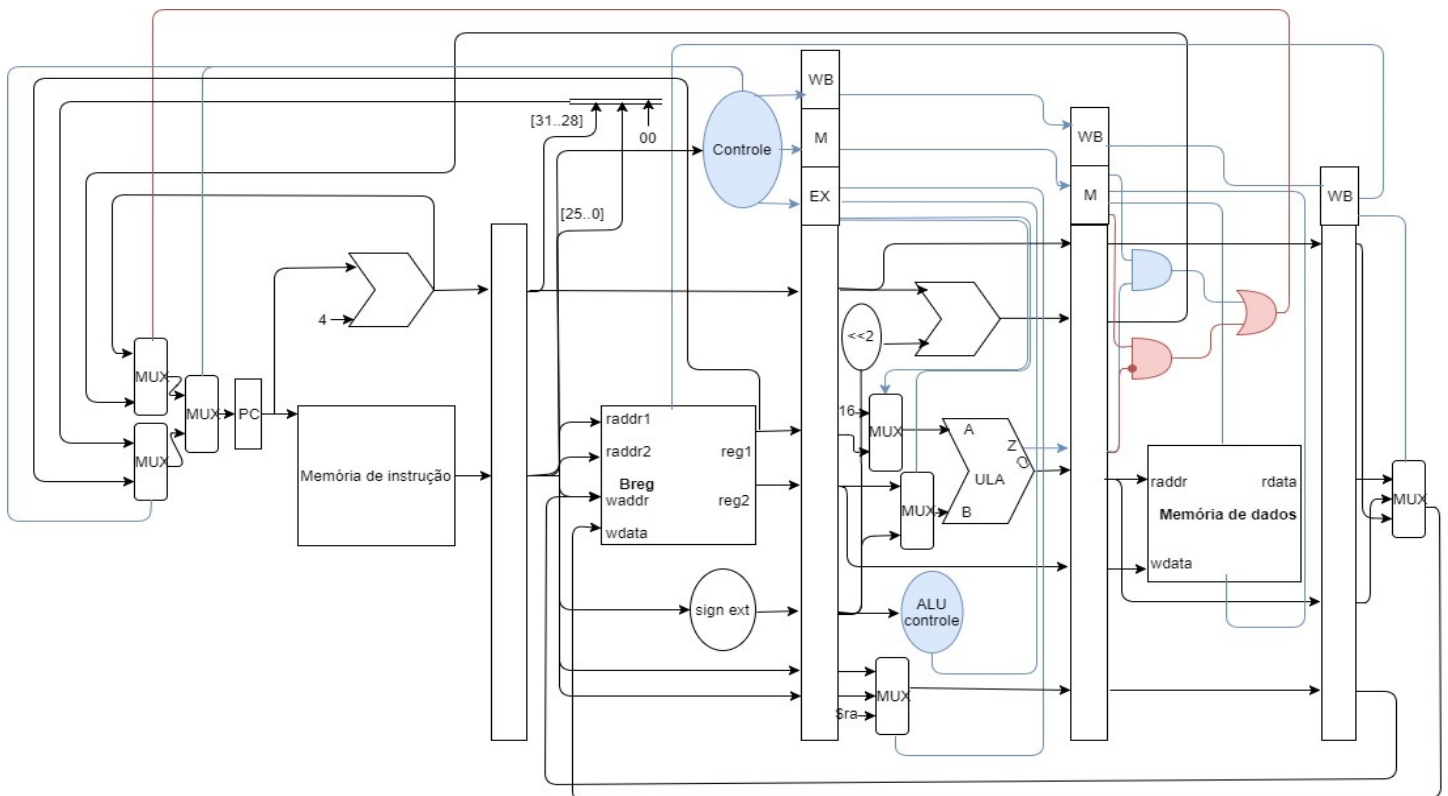
```
abd
000 MIPS.vhd
abd
000 FETCH.vhd
abd
000 IF_ID.vhd
abd
000 DECODE.vhd
abd
000 ID_EX.vhd
abd
000 EXECUTE.vhd
abd
000 EX_MEM.vhd
abd
000 MEMORY.vhd
abd
000 MEM_WB.vhd
abd
000 WRITEBACK.vhd
```

Ou seja, os componentes foram divididos em módulos de acordo com cada fase do pipeline.

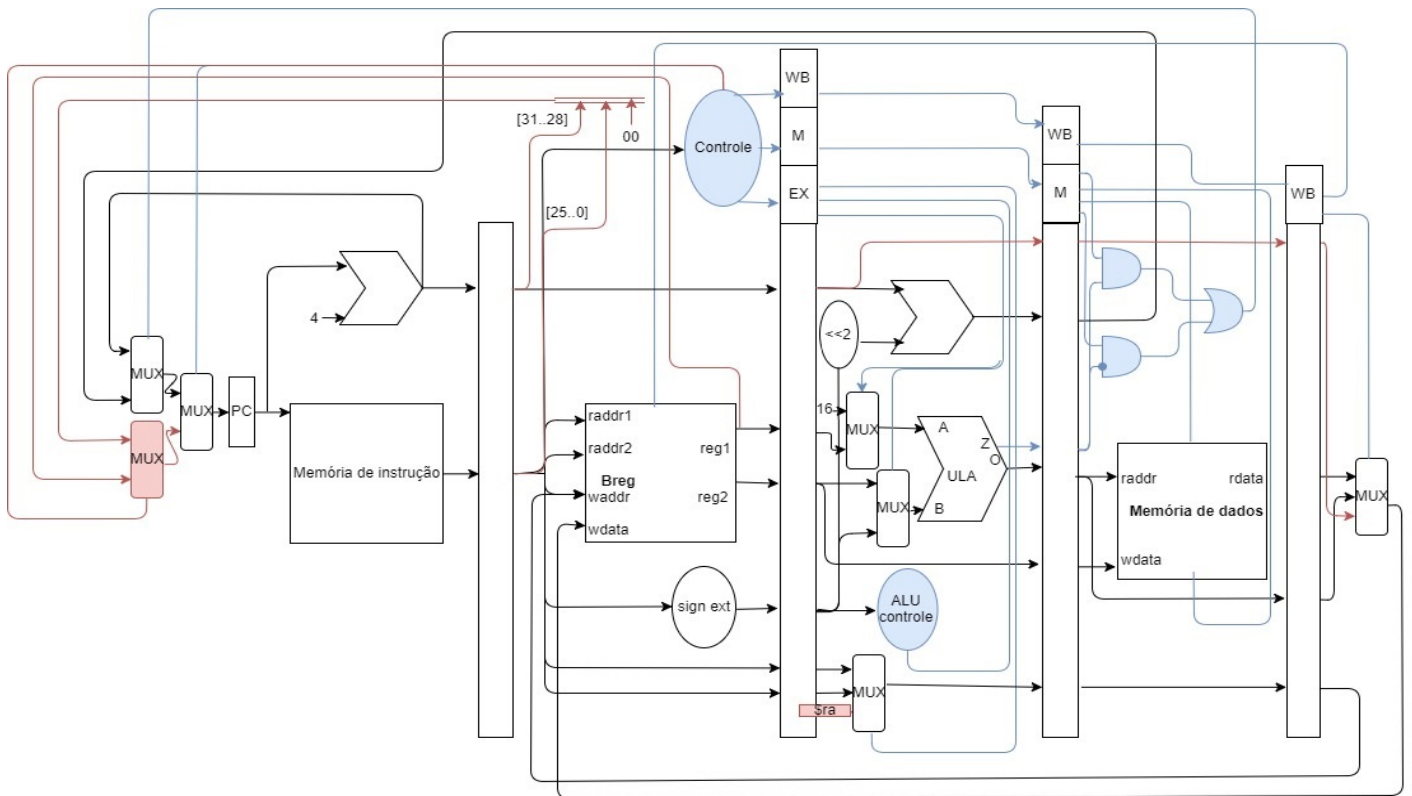
Métodos:

Foram realizadas alterações no Pipeline simples para acomodar as instruções citadas, as alterações ocorreram conforme é mostrado em vermelho:

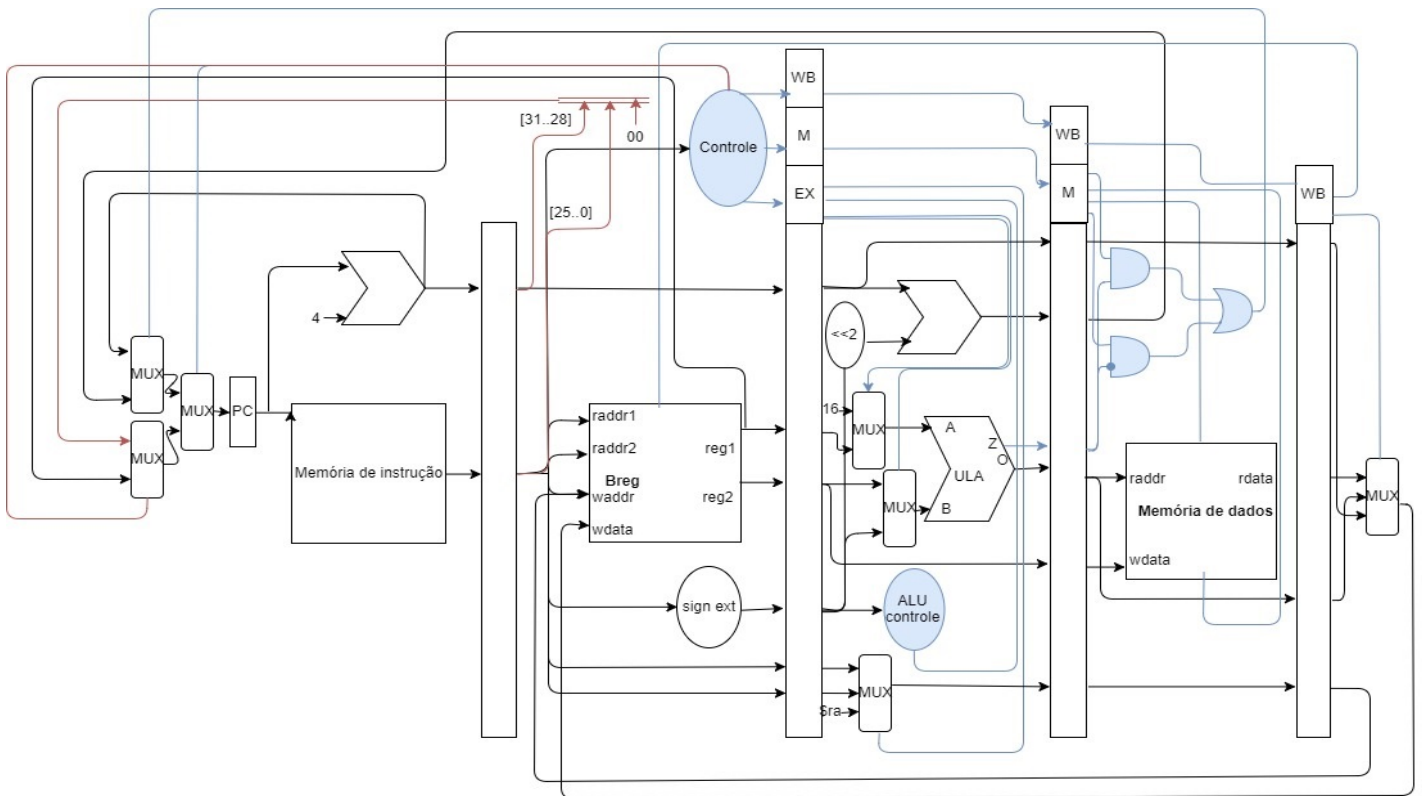
branch if not equal:



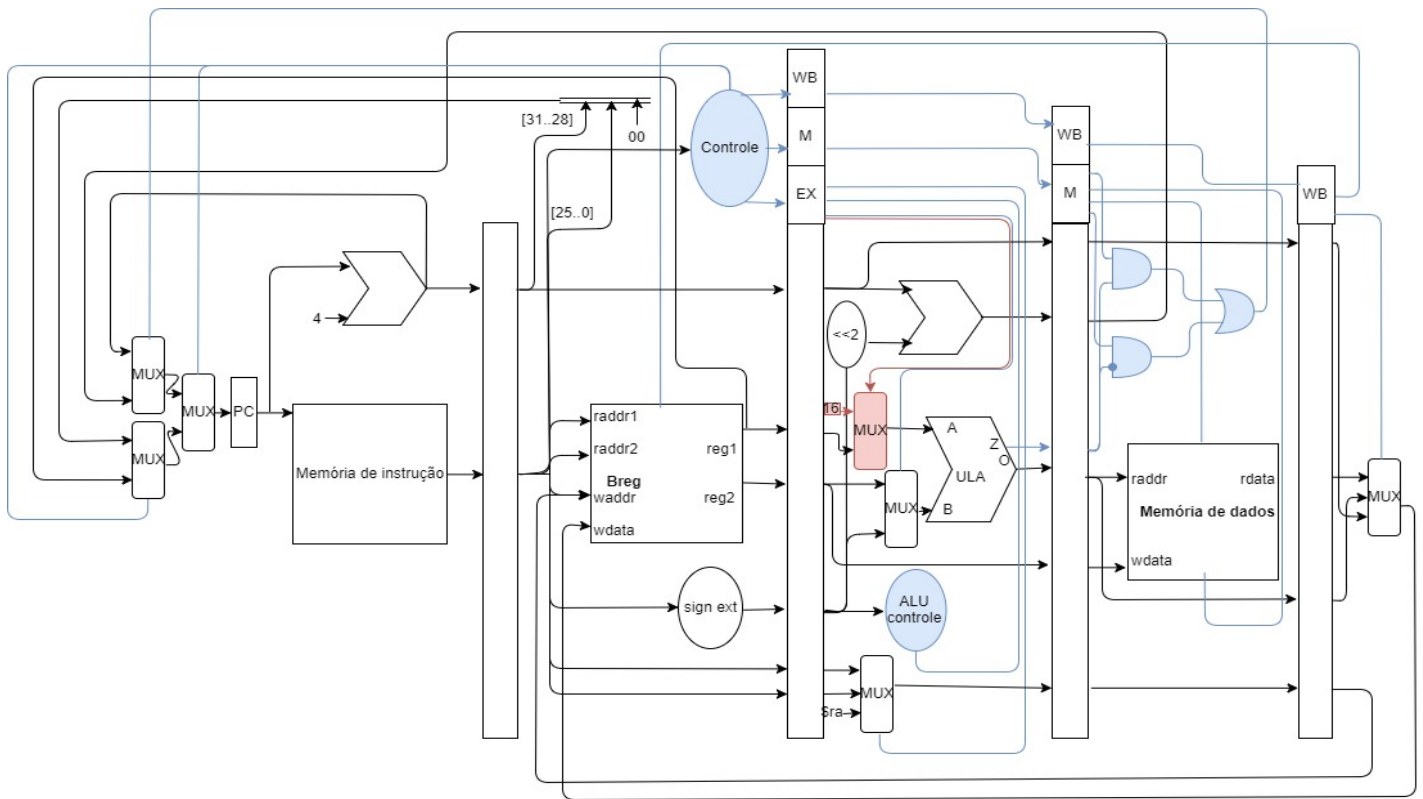
Jump and link:



Jump:



Load upper immediate:



Conclusão:

O trabalho foi concluído conforme especificado, entretanto, devido à falta de tempo não foi possível implementar otimizações para tratamento de conflitos de dados ou controle.