

A1(Pagina 3): Quale tra i quattro tipi fondamentali della controreazione è utilizzato nella progettazione di amplificatori di tensione? Come si modificano i valori delle impedenze d'ingresso e d'uscita dell'amplificatore controreazionato?

A2 (Pagina 4): Circuito e funzionamento dell'integratore invertente con amplificatore operazionale

A3 (Pagina 5): Schema e funzionamento di un circuito derivatore con amplificatore operazionale

A4 (Pagina 6): Quale delle due configurazioni dell'amplificatore operazionale (invertente o non invertente) è più adatta per un amplificatore di tensione? Perché?

A5 (Pagina 8): Spiegare perché si definisce "corto circuito virtuale" l'ingresso di un amplificatore operazionale, e descrivere i limiti di validità

A6 (Pagina 9): Dimostrare che il prodotto Banda-Guadagno di un amplificatore controreazionato è costante

D1 (Pagina 10): Disegnare l'andamento di densità di carica, portatori liberi, campo elettrico e potenziale per una giunzione brusca asimmetrica, all'equilibrio, con $N_A \gg N_D$

R1 (Pagina 11): Disegnare il circuito di un raddrizzatore con filtro capacitivo, e spiegarne il funzionamento

T1 (Pagina 13): Ricavare l'espressione di transconduttanza per piccoli segnali (g_m) del transistor MOS a partire dal modello per grandi segnali

T2 (Pagina 14): Illustrare la struttura e il principio di funzionamento di un transistor MOS esplicitando le relazioni corrente-tensione nelle differenti zone di funzionamento

T3 (Pagina 16): Cos'è "l'effetto body" in un transistor MOS e come si modifica il circuito equivalente per i piccoli segnali

T4 (Pagina 17): Cosa si intende per "condizione di piccolo segnale" in un amplificatore a MOS?

T6 (Pagina 18): Disegnare e commentare la funzione di trasferimento di un amplificatore NMOS ad arricchimento

T7 (Pagina 19): Calcolare il guadagno di tensione per piccoli segnali di un amplificatore NMOS con carico a svuotamento, esplicitandone le relazioni corrente-tensione

I1 (Pagina 20): Consumo di potenza in un inverter CMOS

I2 (Pagina 22): Disegnare il circuito di un inverter CMOS e commentare il dimensionamento geometrico dei transistor

I3 (Pagina 23): Calcolare i margini di rumore di un inverter logico CMOS

I7: (Pagina 25) Disegnare un inverter CMOS, confrontare tra loro i tempi di ritardo H-L e L-H utilizzando il luogo dei punti di lavoro del circuito nelle due commutazioni

I9 (Pagina 27): Spiegare il funzionamento di un inverter logico in tecnologia NMOS con carico a svuotamento durante la commutazione L-H e H-L dell'ingresso

I10 (Pagina 28): Spiegare perché il prodotto potenza dissipata x tempo di ritardo è un fattore di merito di un inverter logico

CD1 (Pagina 29): Disegnare il circuito logico del flip flop SR, quindi implementando in tecnologia CMOS e spiegarne il funzionamento

CD2 (Pagina 30): Disegnare il circuito di un flip flop SR sincrono in tecnologia NMOS

CD3 (Pagina 31): Disegnare il circuito delle porte NAND e NOR in tecnologia CMOS a tre ingressi e commentare le caratteristiche di occupazione d'area

CD4 (Pagina 32): Disegnare lo schema a blocchi di un FF Master-Slave sincrono e spiegarne il ruolo del Master-Slave

CD5 (Pagina 33): Calcolare l'area minima di una porta NOR in CMOS a due ingressi realizzata con transistori con lunghezza di canale $L=2\mu\text{m}$ e $(W/L)_n=5$, a parità dei tempi di propagazione $t_{HL}=t_{LH}$. (considerare $\mu_n=3\mu\text{p}$)

CD6 (Pagina 35): Disegnare un decoder con indirizzo a due bit con porte NOR in tecnologia NMOS

CD7 (Pagina 36): Implementare in tecnologia NMOS l'operazione logica di EX-OR tra due ingressi

A1) Anche tra i quattro tipi fondamentali della contro-
reazione è utilizzato nella progettazione di amplificatori
di tensione? Come si modificano i valori delle
impedenze d'ingresso e d'uscita dell'amplificatore
controelegnato?

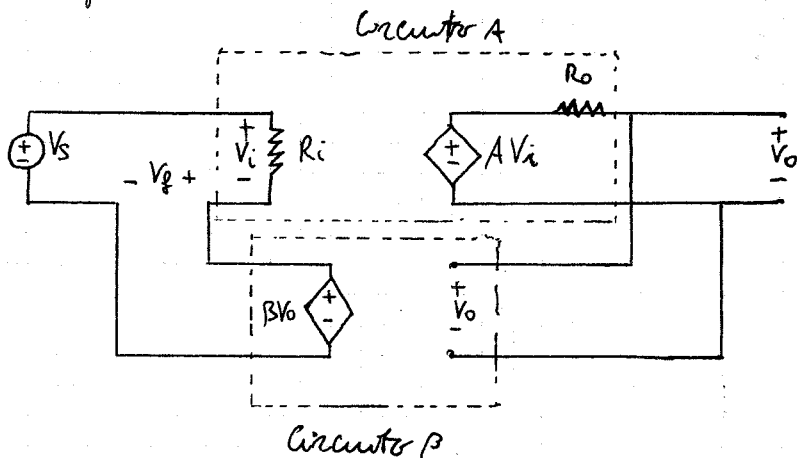
• Dovendo misurare una tensione, ci si
inseriece in parallelo in uscita.

Dovendo modificare una tensione, ci si
inseriece in serie in ingresso.

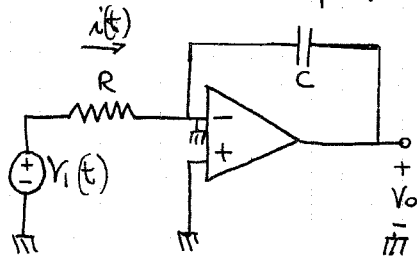
La contro reazione usata è quindi del tipo
serie-parallelo. Questa scelta produce anche il
duplice effetto di aumentare la resistenza di
ingresso di un fattore $(1 + \beta A)$ e di diminuire
la resistenza di uscita dello stesso fattore.

$$\text{Cioè: } R_{if} = R_i (1 + \beta A) \quad R_{of} = R_o \left(\frac{1}{1 + \beta A} \right)$$

Dove A è il guadagno ad anello aperto e β
è il fattore di controreazione.



A2) Circuito e funzionamento dell'integratore invertente con amplificatore operazionale



Come conseguenza del c.c.v., V_o è uguale a V_c cambiato di segno: $V_o = -V_c$

Sulla resistenza R , scorre una corrente $i(t)$.

Dato il c.c.v., la corrente $i(t)$ si trova

$$\text{come: } i(t) = \frac{V_i(t) - 0}{R} = \frac{V_i(t)}{R}$$

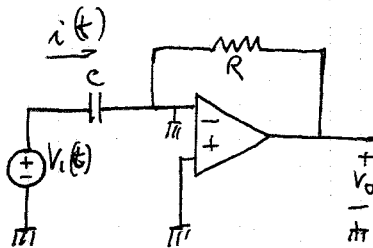
La corrente che entra nel morsetto invertente dell'amplificatore op. è nulla, perciò $i(t)$ scorre tutta sul condensatore.

La differenza di potenziale ai capi del condensatore è quindi:

$$V_c = V_o + \frac{1}{C} \int_0^t i(t) dt = V_o + \frac{1}{CR} \int_0^t V_i(t) dt$$

dove V_o è la tensione iniziale del condensatore.
 CR è definita "costante di tempo dell'integratore".

A3) Schema e funzionamento di un circuito derivatore con amplificatore operazionale.



Dato il c.c.v., $V_0 = -V_R$.

Le corrente $i(t)$ che scorre sul condensatore è uguale e $i(t) = \frac{dV_1}{dt}$

Poiché nel morsetto invertente non entra corrente, $i(t)$ scorre tutta sulla resistenza, quindi $V_R(t) = i(t) \cdot R = RC \frac{dV_1}{dt}$

$$\text{e } V_0(t) = -RC \frac{dV_1}{dt}$$

RC è definita "costante di tempo del derivatore".

Dato che in questa configurazione il derivatore si rivela essere un "amplificatore di rumore", si origina di solito tale problema inserendo una piccola resistenza in serie al condensatore.

Questo ha però l'effetto collaterale di allontanare il derivatore dal comportamento ideale.

A4) Quale delle due configurazioni dell'amplificatore operazionale (invertente o non invertente) è più adatta per un amplificatore di tensione? Perché?

- Teoricamente, dal punto di vista del guadagno, andrebbero bene entrambe, perché regolando la proporzione fra R_2 ed R_1 si sceglierebbe il guadagno:

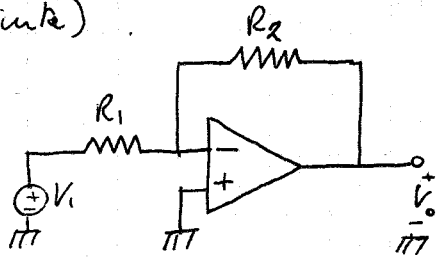
conf. invertente : $V_0 = -\frac{R_2}{R_1} V_1$

conf. non invertente : $V_0 = \left(1 + \frac{R_2}{R_1}\right) V_1$

Però, ad un amplificatore di tensione si richiede una resistenza d'ingresso più alta possibile (idealmente infinita).

Questo significa che, prendendo in considerazione la configurazione

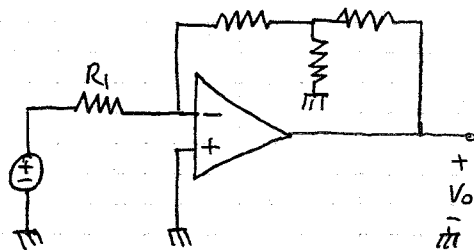
invertente, R_1 , che è la resistenza di ingresso, deve essere molto grande (es. $5\text{ M}\Omega$).



Se però si vuole un'amplificazione elevata, R_2 deve essere ancora più grande, diventando proibitiva.

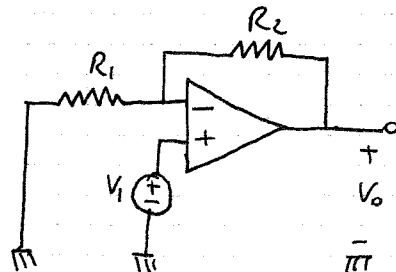


Si può risolvere il
problema utilizzando
una configurazione
così:



ma resta il fatto che si sono usate resistenze
molto grandi.

La situazione migliora
se si usa una configura-
zione non invertente,



infatti: la resistenza d'ingresso è la resistenza
d'ingresso dell'amplificatore operazionale,
quindi idealmente infinita.

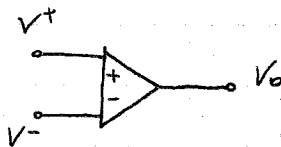
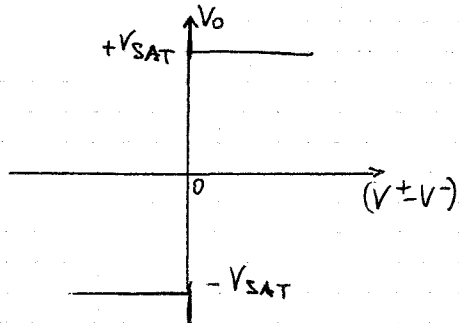
Il guadagno dipende ancora dal rapporto $\frac{R_2}{R_1}$, ma
non è più necessario che queste siano
molto grandi.

Quindi:

La configurazione più adatta per un ampli-
ficatore di tensione è quella non invertente.

A5) Spiegare perché si definisce "corto circuito virtuale" l'ingresso di un amplificatore operazionale, e descrivere i limiti di validità.

- Prendiamo in considerazione un amplificatore operazionale ideale



$$V_o = (V^+ - V^-) \cdot A$$

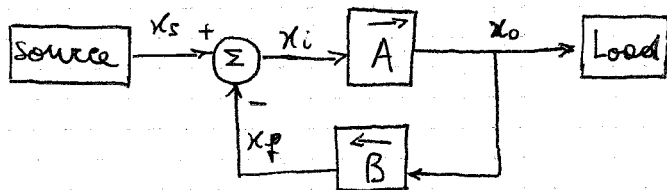
$$A = \infty$$

Come si vede dal grafico, l'amplificatore operazionale è saturo per tutti i valori di V^+ e V^- , tranne nel caso in cui questi due siano uguali.

Per questo motivo, nell'analisi circuitale, si dice che i due morsetti sono in "corto circuito virtuale" perché se l'amplificatore non è saturo allora $V^+ = V^-$.

A6) Dimostrare che il prodotto Banda-Guadagno di un amplificatore controreazionato è costante.

- Schema generale dell'amplificatore controreazionato



(Supponiamo β una rete resistiva quindi indipendente dalla frequenza)

Come si modifica il guadagno:

$$x_o = A x_i, \quad x_f = \beta x_o$$

$$x_i = x_s - x_f = x_s - \beta x_o = x_s - A\beta x_i$$

$$x_s = x_i + A\beta x_i = x_i (1 + A\beta)$$

$$A_f = \frac{x_o}{x_s} = \frac{A x_i}{x_i (1 + A\beta)} = \frac{A}{1 + A\beta}$$

Come si modifica la banda:

$$A(s) = \frac{A_m}{1 + s/\omega_H}$$

Passo basso, taglio a ω_H
 A_m = guadagno nominale

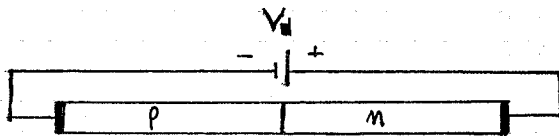
$$A_f(s) = \frac{A(s)}{1 + \beta A(s)} = \frac{A_m / (1 + A_m \beta)}{1 + s / [\omega_H (1 + A_m \beta)]}$$

$$\text{cioè } \omega_{Hf} = \omega_H (1 + A_m \beta)$$

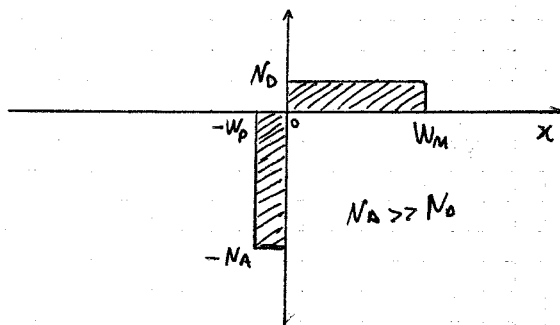
il prodotto banda per guadagno è quindi costante

$$A_f \cdot \omega_{Hf} = \frac{A}{1 + \beta A} \cdot \omega_H (1 + \beta A) = A \cdot \omega_H$$

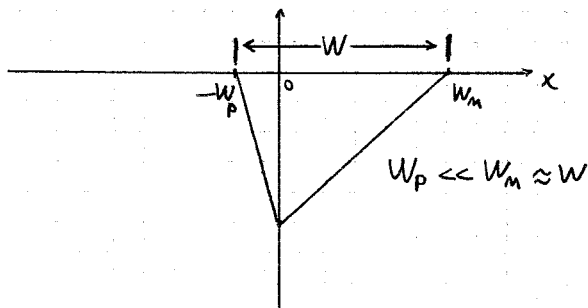
D1) Disegnare l'andamento di densità di carica, portatori liberi, campo elettrico e potenziale per una giunzione brusca esimmetrica, all'equilibrio, con $N_A \gg N_D$



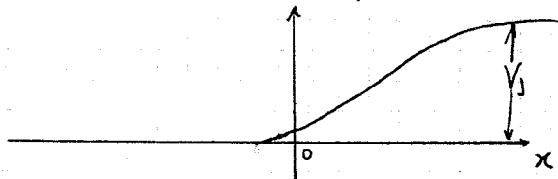
Densità di carica, ρ



Intensità del campo, E

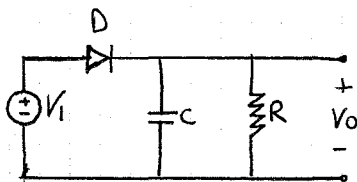


Potenziale, V



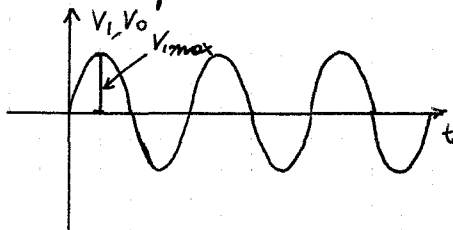
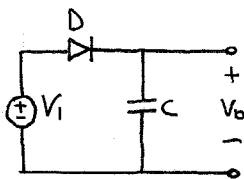
R 1) Disegnare il circuito di un raddrizzatore con filtro capacitivo, e spiegarne il funzionamento.

Circuito :



Funzionamento :

Analizziamo prima il seguente circuito :

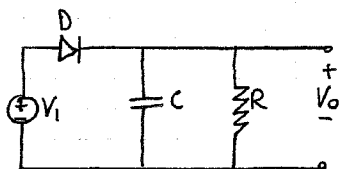


durante la prima semionda positiva, il diodo è in conduzione, e il condensatore si carica di una tensione $V_0 = V_1$ fino a raggiungere il picco V_{1max} .

Mentre V_1 ridiscende verso lo 0, il diodo è in interdizione e il condensatore non ha modo di scaricarsi.

V_0 resta quindi costante a V_{1max} , ed è questo il motivo per cui questo circuito è chiamato "rivelatore di picco".

Torniamo ora al raddrizzatore originale :



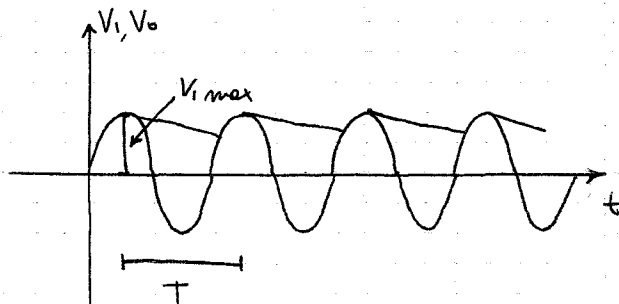
$$RC \gg T$$

durante la prima metà della prima semionda positiva il condensatore si carica, proprio come nel rivelatore di picco, fino a $V_{1 \max}$.

$$(RC \gg T)$$

A questo punto, il diodo va in interdizione e il condensatore comincia a scaricarsi attraverso la resistenza R.

Quando V_1 torna ad essere superiore a V_0 , il condensatore torna a caricarsi, fino a raggiungere $V_{1 \max}$, e così via.

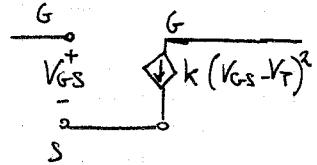


Più è grande RC , più il comportamento del circuito assomiglia a quello del rivelatore di picco.

T1) Ricavare l'espressione di transconduttanza per piccoli segnali (g_m) del transistor MOS a partire dal modello per grandi segnali.

- Modello per grandi segnali:

$$I_D = k(V_{GS} - V_T)^2$$



ora, dato un certo punto di lavoro Q , il parametro di transconduttanza per piccoli segnali è definito come:

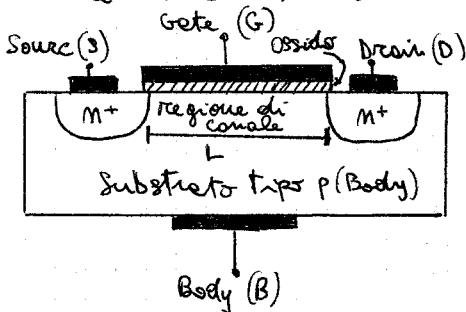
$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_Q$$

$$\begin{aligned} \frac{\partial I_D}{\partial V_{GS}} &= \frac{\partial [k(V_{GS}^2 + V_T^2 - 2V_{GS}V_T)]}{\partial V_{GS}} = \\ &= \frac{k \cdot \partial [V_{GS}^2 + V_T^2 - 2V_{GS}V_T]}{\partial V_{GS}} \\ &= k[2V_{GS} - 2V_T] = 2k(V_{GS} - V_T) \end{aligned}$$

Unicamente, come valore di V_{GS} si prende quello relativo al punto di lavoro scelto.

T.2) Illustrare la struttura e il principio di funzionamento di un transistor MOS esplicitando le relazioni corrente-tensione nelle differenti zone di funzionamento

- MOSFET a canale n ad arricchimento

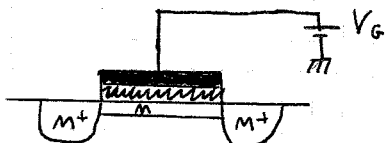


Se non c'è tensione sul gate, tra il Drain e il source sono presenti due giunzioni pn, modellizzabili come due diodi con gli anodi collegati. Qualunque tensione venga applicata tra D ed S, la corrente sarà nulla.

Facendo crescere la tensione sul gate, le lacune nella regione sotto l'ossido vengono spinte verso l'interno del substrato, lasciando degli elettroni liberi e attrandone altri dalle regioni n.

Quando la tensione è sufficiente, sotto il gate si viene a formare un canale n che collega il source e drain



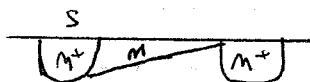


la tensione necessaria a formare il canale è il parametro V_T del mosfet.

Creando il canale, si può agire su V_{DS} per influenzare la corrente.

tuttavia la tensione V_{DS} causa una distorsione del canale, aumentandone così la resistenza.

Quando $V_{DS} = V_{GS} - V_T$ la profondità del canale in prossimità del drain è quasi nulla



Da questa tensione in poi il mosfet è "saturato" e la corrente resta costante.

Basterebbe allora distinguere 3 zone di funzionamento:

1) $V_{GS} < V_T$ Interdizione $I_D = 0$

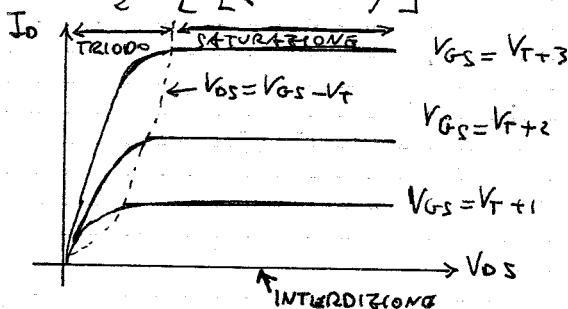
2) $V_{GS} > V_T$, $V_{DS} < V_{GS} - V_T$ Triodo

$$I_D = K' \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad K = \frac{K' W}{2L}$$

3) $V_{GS} > V_T$, $V_{DS} > V_{GS} - V_T$ Saturazione

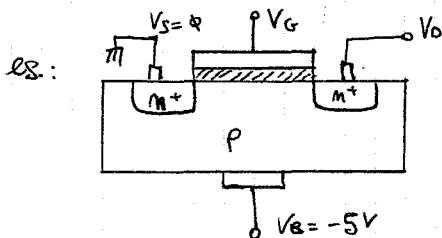
$$I_D = \frac{1}{2} K' \frac{W}{L} [(V_{GS} - V_T)^2]$$

$$K = \frac{K' W}{2L}$$



T3) Cosa è "l'effetto body" in un transistor MOS e come si modifica il circuito equivalente per piccoli segnali.

- L'effetto body si presenta quando il source e il body di un transistor non sono allo stesso potenziale



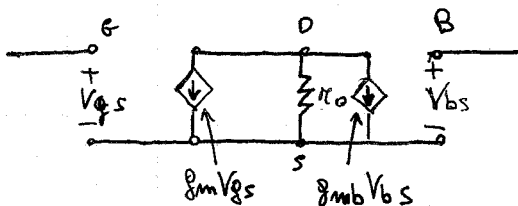
Questo è frequente, per esempio, quando molti MOSFET convivono sulla stessa barretta di silicio, infatti in tal caso il body viene connesso alla alimentazione più negativa (o più positiva se si tratta di un PMOS) per non mandare in conduzione le giunzioni PN.

La tensione V_{SB} allarga la regione di saturamento, favorendo lo scorrimento della corrente.

Il modello per piccoli

segnali diventa:

dove
$$g_{mb} = \left. \frac{\partial I_D}{\partial V_{BS}} \right|_{V_{GS} = \text{cost}} \quad V_{DS} = \text{cost}$$

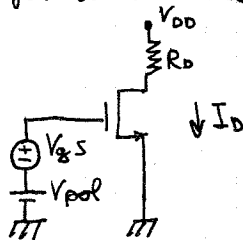


I_D dipende da V_{BS} perché V_T dipende da V_{BS} ,
quindi $g_{mb} = \chi g_m$ con $\chi = \frac{\partial V_T}{\partial V_{BS}}$

T4) Cosa si intende per "condizione di piccolo segnale" in un amplificatore a MOS?

• Per funzionare da amplificatore, il MOSFET deve essere in saturazione. La corrente I_D è
quindi $I_D = k (V_{GS} - V_T)^2$

ora, V_{GS} è composta da
due componenti:



- la componente continua di polarizzazione V_{pol}
- la componente di segnale V_{ps}

I_D vale quindi: $I_D = k (V_{pol} + V_{gs} - V_T)^2$
 $= [V_{pol}^2 + 2V_{pol}V_{ps} - 2V_{pol}V_T + V_{ps}^2 - 2V_{ps}V_T + V_T^2] k$

$$I_D = \underbrace{(V_{pol} - V_T)^2 k}_1 + \underbrace{k(2V_{pol} - 2V_T)V_{ps}}_2 + \underbrace{kV_{ps}^2}_3$$

è composta da 3 termini:

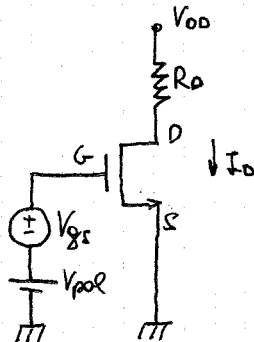
- il primo è la corrente di polarizzazione in continuo
- il secondo è una componente direttamente proporzionale al segnale di ingresso
- il terzo è una componente proporzionale al quadrato del segnale di ingresso.

Dato che la terza componente rappresenta una distorsione non lineare la si vuole eliminare. Si vuole cioè che $kV_{ps}^2 \ll 2k(V_{pol} - V_T)V_{ps}$
cioè $V_{ps} \ll 2(V_{pol} - V_T)$ che è la condizione di piccolo segnale

T6) Disegnare e commentare la funzione di trasferimento di un amplificatore NMOS ad accoppiamento.

• modelleremo così

Per funzionare da amplificatore il transistor deve essere in zona di saturazione.



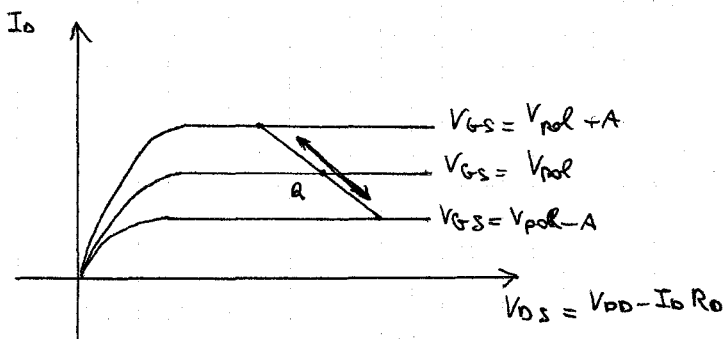
Per questo, la V_{GS} è composta da 2 componenti:

$$V_{GS} = V_{pol} + V_{gs}$$

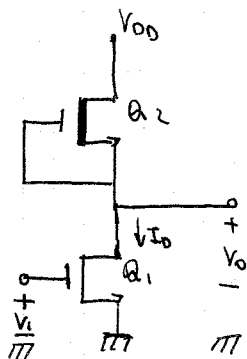
V_{pol} è la componente continua di polarizzazione.

V_{gs} è la componente variabile di segnale (piccola).

Le variazioni di V_{GS} spostano il punto di lavoro

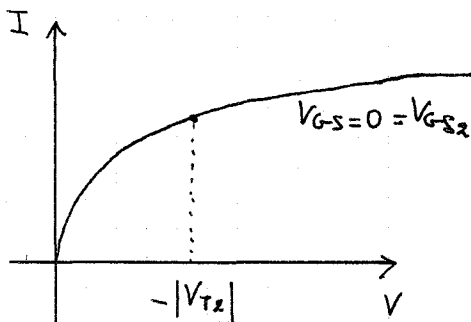


T4) Calcolare il guadagno di tensione per piccoli segnali di un amplificatore NMOS con carico a smuntamento, esplicitandone le relazioni corrente-tensione.

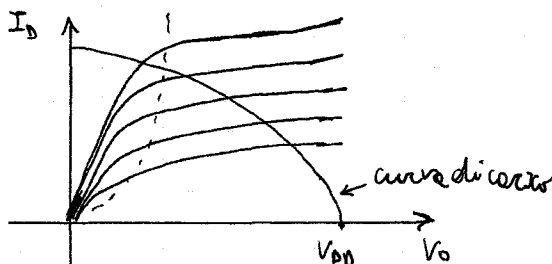


Q_2 ha il gate collegato al source, quindi fa da generatore di corrente

Caratteristica del mosfet a smuntamento



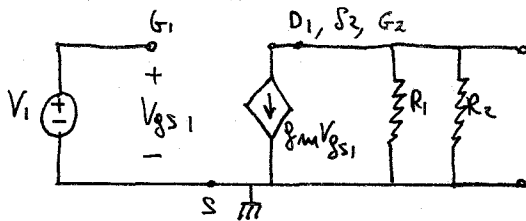
le correnti dei due transistor devono essere uguali



$V_{GS1} = V_1$ la tensione V_1 fa spostare il punto di lavoro

modello per piccoli segnali

$$V_o = -g_m V_{gs1} (r_{o1} // r_{o2})$$

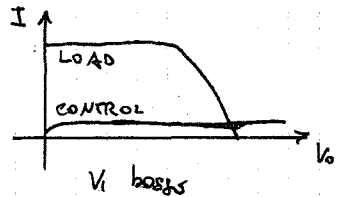
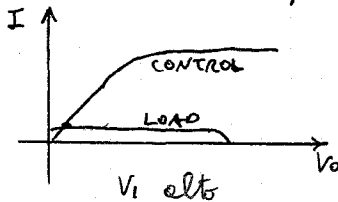


I 1) Consumo di potenza in un inverter CMOS

- Dividiamo la potenza dissipata in 2 componenti:
statica P_s e dinamica P_d

- statica -

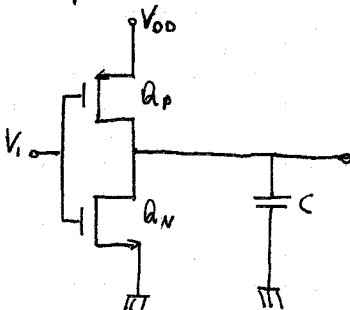
nell'inverter CMOS la potenza dissipata quando V_o è a valore logico 1 o 0 è nulla, infatti:



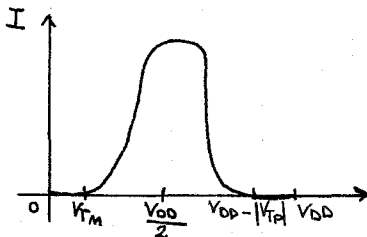
in entrambi i casi la corrente è trascurabile
quindi $P_s = 0$

- dinamica -

facendo riferimento a questo modello



la corrente ha un andamento in funzione di V_i



- Passaggio $V_0 = H \rightarrow V_0 = L$

Quando $V_0 = H$, il condensatore è carico di una energia pari a $\frac{1}{2} C V_{00}^2$.

Quando a_n si chiude e a_p si apre, a_n scarica il condensatore. Quindi durante la scarica la potenza dissipata è $\frac{1}{2} C V_{00}^2$.

- Passaggio $V_0 = L \rightarrow V_0 = H$

a_n si apre e a_p si chiude.

a_p inizia a caricare il condensatore.

Durante l'intervallo di carica, l'alimentatore fornisce un'energia pari a $\int V_{00} I dt = V_{00} \int I dt = V_{00} \cdot Q$ dove Q è la quantità di carica fornita al condensatore.

L'energia fornita dall'alimentatore è quindi $C V_{00}^2$.

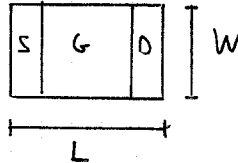
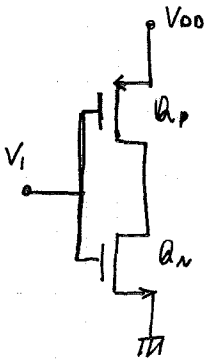
Al termine dell'intervallo di carica, la tensione ai capi di C è V_{00} e l'energia immagazzinata è $\frac{1}{2} C V_{00}^2$. Quindi durante la carica metà dell'energia fornita dall'alimentatore è dissipata in a_p .

$$P_{d, L \rightarrow H} = \frac{1}{2} C V_{00}^2$$

Abbiamo quindi che nei due mezzicicli la potenza dissipata è $\frac{1}{2} C V_{00}^2$, perciò in un ciclo la potenza dissipata è $C V_{00}^2$, se poi ipotizziamo che la frequenza di commutazione sia f , abbiamo che

$$P_{diss} = P_{stat} + P_{dinamica} = P_{dinamica} = f C V_{00}^2$$

I2) Disegnare il circuito di un invertor CMOS e commentare il dimensionamento geometrico dei due transistor



Dato che si vuole ottenere un comportamento simmetrico, si impone $V_{Tn} = |V_{Tp}|$ e $K'_n \left(\frac{W}{L}\right)_n = K'_p \left(\frac{W}{L}\right)_p$

$$K'_n = \mu_n C_{ox}$$

$$\mu_n \approx 3 \mu_p$$

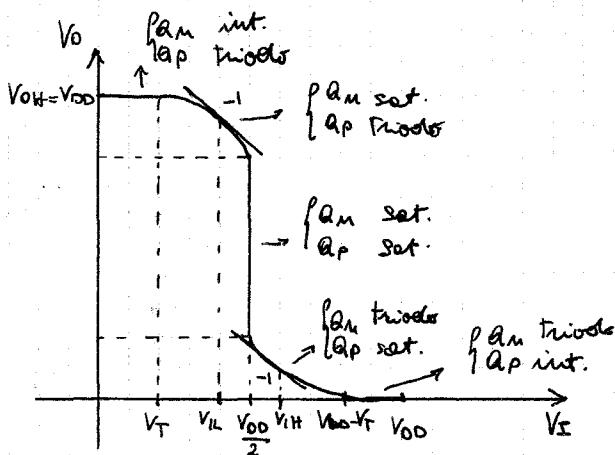
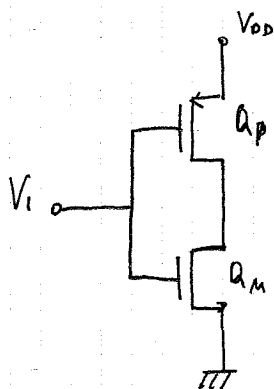
$$K'_p = \mu_p C_{ox}$$

Si ottiene perciò sulla lunghezza dei transistor

$$W_p = 3 W_n$$

più in generale $\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p}$

I3) Calcolare i margini di rumore di un inverters logico CMOS



Definiti:

V_{OH} : Valore alto in uscita

V_{OL} : Valore basso in uscita

V_{IH} : minimo valore alto permesso all'ingresso

V_{IL} : minimo valore basso permesso all'ingresso

I margini di rumore sono:

$$NM_H = V_{OH} - V_{IH} \quad \text{e} \quad NM_L = V_{IL} - V_{OL}$$

V_{IL} e V_{IH} sono anche formalmente definiti come i punti della curva di trasferimento a pendenza -1

- Troviamo V_{IH} :

osserviamo che Q_p è in zona di saturazione e Q_n è in zona di triodo, la corrente è quindi:

$$I_n = k'_n \left(\frac{W}{L} \right)_n \left[(V_{GS1} - V_{TN}) V_{DS1} - \frac{1}{2} V_{DS1}^2 \right] \text{ per } Q_n$$

$$\text{e } I_p = k'_p \left(\frac{W}{L} \right)_p \left[\frac{1}{2} (-V_{DD} + V_i + |V_{TP}|)^2 \right] \text{ per } Q_p \quad \downarrow$$

uguagliando le due equazioni e supponendo i due transistor equivalenti (cioè $V_{TN} = |V_{TP}|$ e $k'_n \left(\frac{W}{L}\right)_n = k'_p \left(\frac{W}{L}\right)_p$) si ottiene:

$$(V_{GS1} - V_T)V_{DS1} - \frac{1}{2}V_{DS1}^2 = \frac{1}{2}(V_T - V_{GS2})^2$$

$$\text{cioè } (V_1 - V_T)V_0 - \frac{1}{2}V_0^2 = \frac{1}{2}(V_T - V_{DD} + V_1)^2 \quad (*)$$

derivando entrambi i membri rispetto a V_1

$$\text{si ottiene: } (V_1 - V_T) \frac{dV_0}{dV_1} + V_0 - \frac{1}{2} \cdot 2V_0 \frac{dV_0}{dV_1} = V_T - V_{DD} - V_1$$

ora, abbiamo detto che V_{IH} è un punto a derivata $= -1$

quindi $\frac{dV_0}{dV_1} = -1$. Sostituendo nella equazione e imponendo $V_1 = V_{IH}$ si ottiene:

$$-V_{IH} + V_T + V_0 + V_0 = V_T - V_{DD} + V_{IH} \Rightarrow V_0 = V_{IH} - \frac{V_{DD}}{2}$$

sostituendo nella equazione (*) V_1 con V_{IH} e

$$V_0 \text{ con } \left(V_{IH} - \frac{V_{DD}}{2}\right) \text{ si ottiene: } V_{IH} = \frac{1}{8}(5V_{DD} - 2V_T)$$

- per trovare V_{IL} si può procedere nello stesso modo, sfruttando la simmetria:

$$V_{IH} = \frac{V_{DD}}{2} = \frac{V_{DD}}{2} - V_{IL}$$

$$\text{da cui } V_{IL} = \frac{1}{8}(3V_{DD} + 2V_T)$$

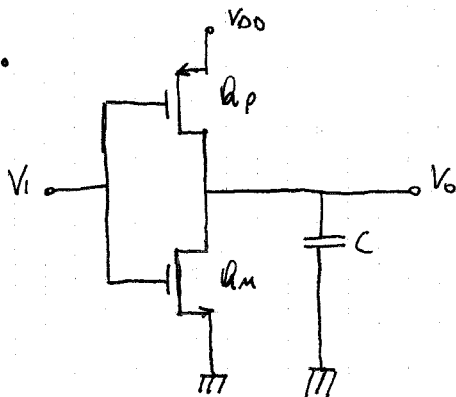
I margini di rumore sono quindi:

$$NM_H = V_{OH} - V_{IH} = V_{DD} - \frac{1}{8}(5V_{DD} - 2V_T) = \frac{1}{8}(3V_{DD} + 2V_T)$$

$$NM_L = V_{IL} - V_{OL} = \frac{1}{8}(3V_{DD} + 2V_T) - 0 = \frac{1}{8}(3V_{DD} + 2V_T)$$

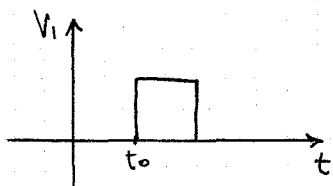
dato la simmetria, i margini di rumore sono uguali.

I 7) Disegnare un invertor CMOS, confrontare tra loro i tempi di ritardo H-L e L-H utilizzando il luogo dei punti di lavoro del circuito nelle due commutazioni.



C rappresenta la somma di tutte le capacità in gioco, come quelle interne di β_p e β_n , quelle delle porte di ingresso del carico etc...

Supponiamo che V_i sia ideale, con tempi di salita e di discesa nulli. Supponiamo inoltre:



mosfet equivalenti (ovvero consideriamo l'invertitore simmetrico)

Dato che l'invertitore è simmetrico, il tempo di salita e il tempo di discesa sono uguali. ($V_i=0 \rightarrow V_i=V_{DD}$)

Consideriamo quindi solo la commutazione $V_{OH} \rightarrow V_{OL}$

All'istante t_0 , V_i vale 0 e V_o vale V_{DD} , quindi ai capi del condensatore c'è una tensione V_{DD} .

A t_0 V_i passa istantaneamente da 0 a V_{DD} .

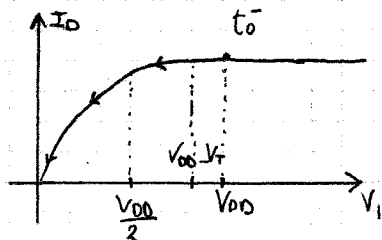
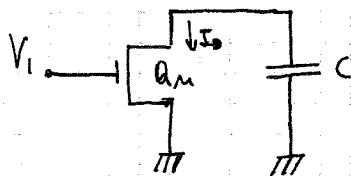
β_p va in interdizione e β_n in conduzione.

Il condensatore inizia a scaricarsi attraverso

β_n finché vale $V_o > V_i - V_T$, la corrente è



continue e vale $I_D = K (V_{DD} - V_T)^2$



questa prima componente del ritardo vale quindi:

$$t_{PHL1} = \frac{C[V_{DD} - (V_{DD} - V_T)]}{K(V_{DD} - V_T)^2} = \frac{C V_T}{K(V_{DD} - V_T)^2}$$

Superato il punto in cui V_o vale $V_{DD} - V_T$, il transistor M_n si trova in regione di triodo, quindi la corrente I_D vale:

$$I_D = 2K [(V_{DD} - V_T) V_o - \frac{1}{2} V_o^2] \text{ e vale l'equazione}$$

$$I_D = -C \frac{dV_o}{dt} \text{ cioè } I_D dt = -C dV_o$$

$$\Rightarrow 2K [(V_{DD} - V_T) V_o - \frac{1}{2} V_o^2] dt = -C dV_o$$

$$\frac{K}{C} dt = \frac{1}{-2(V_{DD} - V_T) V_o + V_o^2} = \frac{1}{2(V_{DD} - V_T)} \cdot \frac{dV_o}{\frac{V_o^2}{2(V_{DD} - V_T)} - V_o}$$

ora, ricordando che ci interessa arrivare al punto in cui V_o vale $\frac{V_{DD}}{2}$, integriamo entrambi i membri nell'intervallo tra $V_{DD} - V_T$ e $V_{DD}/2$

$$-\frac{K}{C} t_{PHL2} = \frac{1}{2(V_{DD} - V_T)} \int_{V_o = V_{DD} - V_T}^{V_o = \frac{V_{DD}}{2}} \frac{dV_o}{\frac{1}{2(V_{DD} - V_T)} V_o^2 - V_o}$$

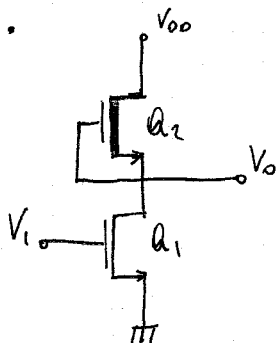
da cui, sapendo che $\int \frac{dx}{x^2 - x} = \ln \left(1 - \frac{1}{x} \right)$ si ottiene ...

$$-\frac{K}{C} t_{PHL2} = \frac{1}{2(V_{DD} - V_T)} \ln \left[\left(1 - \frac{1}{\frac{1}{2(V_{DD} - V_T)} V_o} \right) \right]_{V_o = V_{DD} - V_T}^{V_o = \frac{V_{DD}}{2}}$$

$$\text{infine otteniamo } t_{PHL2} = \frac{C}{2K(V_{DD} - V_T)} \ln \left(\frac{3V_{DD} - 4V_T}{V_{DD}} \right)$$

$$\text{e } t_{PHL} = t_{PHL1} + t_{PHL2}$$

I 9) Spiegare il funzionamento di un inverter logico in tecnologia NMOS con carico e svuotamento durante la commutazione L-H e H-L dell'ingresso

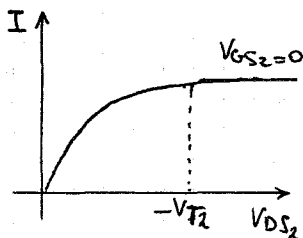


nota:

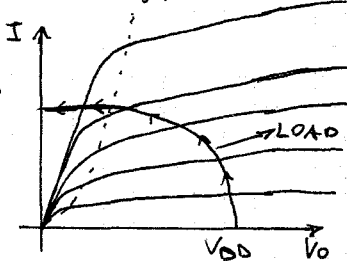
Q_1 caricamento, Q_2 svuotamento

$V_{GS2} = \phi \rightarrow Q_2$ simile a generatore di corrente

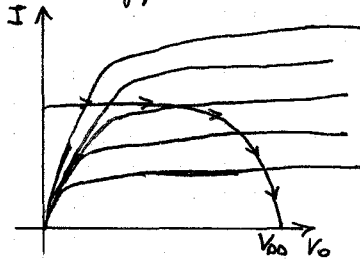
Caratteristica del carico



Passaggio L \rightarrow H



Passaggio H \rightarrow L



il punto di lavoro si sposta seguendo la freccia

$$t_{PHL} = \frac{C V_T}{k (V_{DD} - V_T)^2} + \frac{C}{2k (V_{DD} - V_T)} \ln \left(\frac{3 V_{DD} - 4 V_T}{V_{DD}} \right)$$

$$t_{PHL} = \frac{C}{k (V_{DD} - V_T)} \left(\frac{V_T}{(V_{DD} - V_T)} + \frac{1}{2} \ln \left(\frac{3 V_{DD} - 4 V_T}{V_{DD}} \right) \right)$$

t_{PLH} ha la stessa espressione, con il k che è il k_p del transistor Q_p , ma li abbiamo considerati equivalenti.

il ritardo di propagazione è $t_p = \frac{t_{PHL} + t_{PLH}}{2}$
nel nostro caso quindi $t_p = t_{PHL}$

I 10) Spiegare perché il prodotto $P_{diss} \times t_p$ tempo di ritardo è un fattore di merito di un invertitore logico.

- Si vuole di solito che la porta logica possa lavorare ad alte frequenze, ma nel contempo si cerca di minimizzare il consumo di energia.

Una modo per diminuire il consumo di energia è abbassare la tensione V_{DD} di alimentazione, diminuendo così il consumo di potenza.

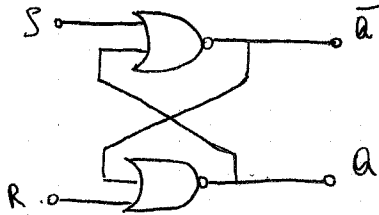
Questo però implica tempi più elevati per caricare le capacità parassite e di carico, quindi ritardi di propagazione più lunghi.

Una tecnologia nuova potrebbe per esempio avere una precisione maggiore nella fabbricazione dei MOSFET, diminuendo la sovrapposizione gate/source e gate/drain, abbassando quindi le capacità parassite ed ottenendo, a parità di alimentazione, tempi di ritardo più bassi, oppure uguali ritardi con minore alimentazione. Da ciò deriva il fatto che il prodotto $DP = P_{diss} \cdot t_p$ individui l'efficienza di una famiglia logica.

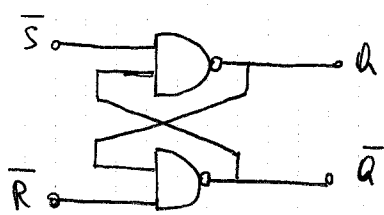
Più è basso DP , più è efficace la famiglia logica.

cd 1) Disegnare il circuito logico del flip flop SR, quindi implementarlo in tecnologia CMOS e spiegarne il funzionamento

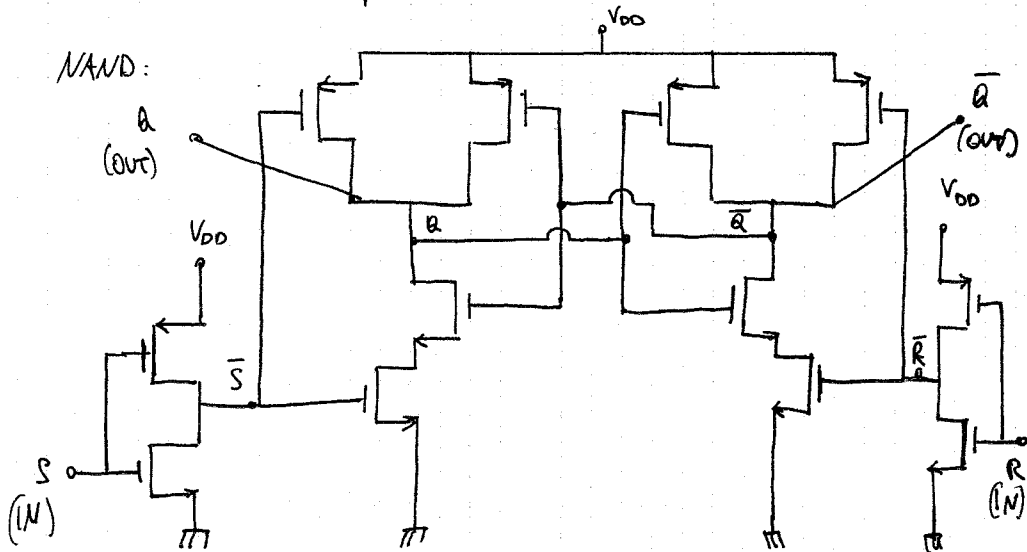
• con porte NOR



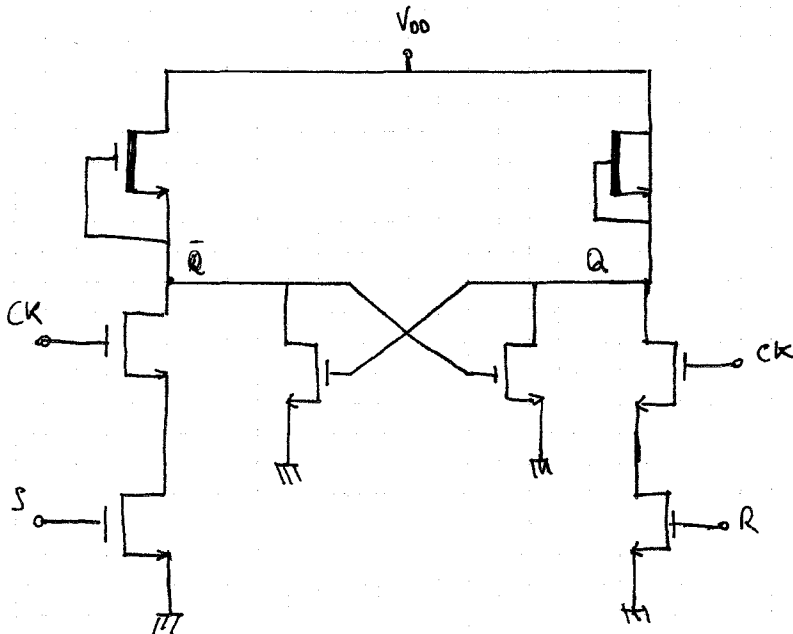
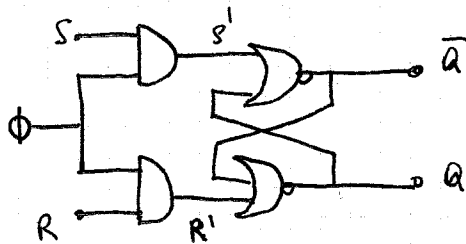
con porte NAND



Dato che in tecnologia CMOS le porte NAND occupano meno delle porte NOR, utilizzerò le porte NAND

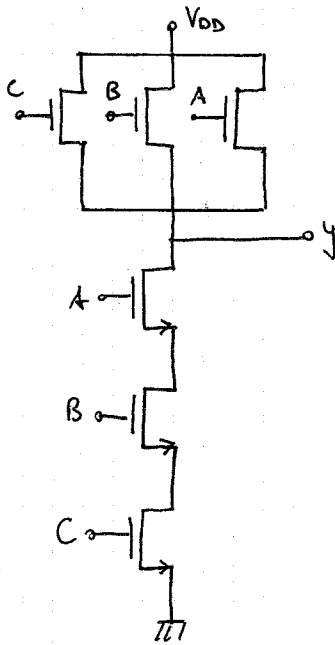


CD 2) Disegnare il circuito di un flip flop SR
sincrono in tecnologia N Mos



CD3) Disegnare il circuito delle porte NAND e NOR in tecnologia CMOS a tre ingressi e commentare le caratteristiche di occupazione d'area

• NAND



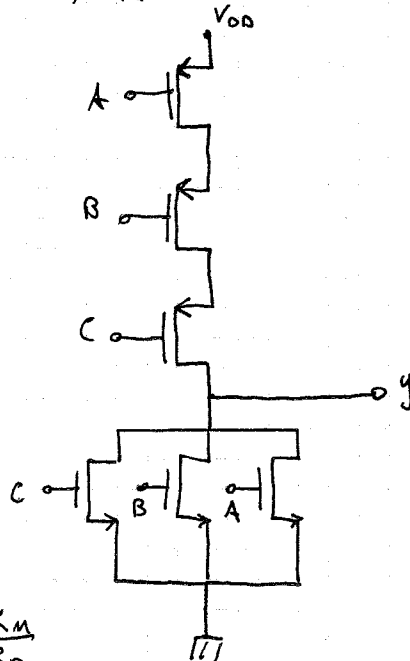
$$K_R = \frac{K_M}{K_P}$$

Caso peggiore: 1 solo ingresso basso

$$\left(\frac{W}{L}\right)_{N_{eq}} = \frac{W_M}{3L_M} \Rightarrow K_{N_{eq}} = \frac{1}{3} K_M$$

$$\left(\frac{W}{L}\right)_{P_{eq}} = \left(\frac{W}{L}\right)_P \Rightarrow K_{P_{eq}} = K_P$$

NOR



Caso peggiore: 1 solo ingresso alto per la scorice

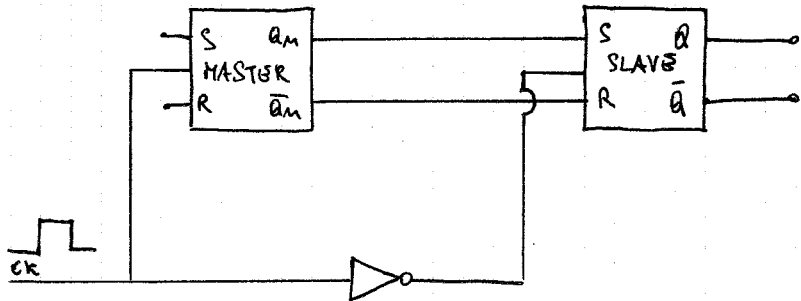
$$\left(\frac{W}{L}\right)_{N_{eq}} = \left(\frac{W}{L}\right)_M$$

$$K_{N_{eq}} = K_M$$

$$\left(\frac{W}{L}\right)_{P_{eq}} = \left(\frac{W_P}{3L_P}\right) \Rightarrow K_{P_{eq}} = \frac{1}{3} K_P$$

Però il mosfet p è più grande del mosfet n, perché vengono progettati per essere equivalenti, quindi aumentare il rapporto k_n occupa meno spazio, perciò si usano porte NAND.

CD 4) Disegnare lo schema a blocchi di un FF Master-Slave sincrono e spiegare il ruolo del Master-Slave



Il flip flop Master-Slave risolve il problema delle trasparenza infatti il master memorizza il valore degli ingressi S e R durante il fronte di salita del clock e lo slave adotta l'uscita allo stato degli ingressi solo al fronte di discesa.

Spesso stabilizzare gli ingressi è utile quando il clock è lento ($\gg t_p$)

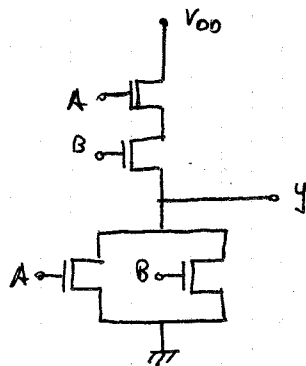
CD 5) Calcolare l'area minima di una porta NOR CMOS a due ingressi realizzata con transistor con lunghezza di canale $L = 2\mu\text{m}$ e $\left(\frac{W}{L}\right)_n = 5$, e porità dei tempi di propagazione $t_{HL} = t_{LH}$. (considerare $\mu_n = 3\mu_p$)

- Dato che si vuole $K'_n \left(\frac{W}{L}\right)_n = K'_p \left(\frac{W}{L}\right)_p$ e $\mu_n = 3\mu_p$ si ha che $K'_p = \frac{K'_n}{3}$ quindi le dimensioni di

referimento sono: $\left(\frac{W_n}{L_n}\right) = 5 \Rightarrow W_n = 10 \quad L_n = 2$

$$W_p = 3W_n \quad \left(\frac{W_p}{L_p}\right) = 15 \Rightarrow W_p = 30 \quad L_p = 2$$

ora consideriamo
la porta NOR:



- caso peggiore PDN:

1 solo ingresso alto

(capacità di uscita scarica attraverso un solo transistor)

$$\frac{W_{n\text{eq}}}{L_{n\text{eq}}} = \frac{W_n}{L_n}$$

$$K_{n\text{eq}} = K_n$$

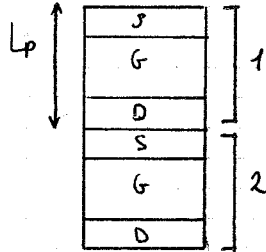


- caso peggiore PVN:

unico caso possibile, cioè due ingressi bassi.
(capacità di uscita si carica attraverso
la serie dei due Pmos)

$$L_{p\text{eq}} = 2 L_p$$

$$W_{p\text{eq}} = W_p$$



$$\frac{W_{p\text{eq}}}{L_{p\text{eq}}} = \frac{1}{2} \frac{W_p}{L_p}$$

$$k_{p\text{eq}} = \frac{1}{2} k_p$$

devono essere progettati in modo che la
velocità sia sufficiente, quindi la W_p deve
essere aumentata (raddoppiata)

risultati:

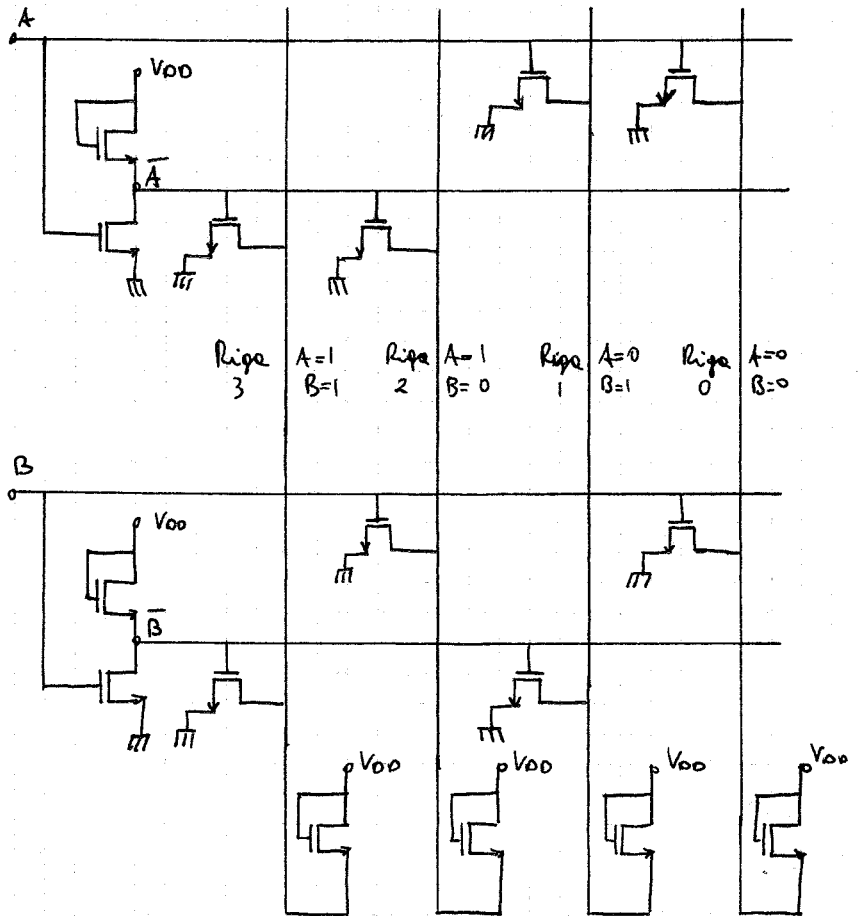
$$L_n = L_p = 2 \mu\text{m}$$

$$W_n = 10 \mu\text{m}$$

$$W_p = 2 \cdot 3 \cdot 10 = 60 \mu\text{m}$$

Una porta NAND avrebbe subito un incremento
di area minore, ed è per questo che
se ne preferisce l'utilizzo.

CD 6) Disegnare un decoder con indirizzamento a due bit con porte NOR in tecnologia NMOS.



CD7) Implementare in tecnologia NMOS l'operazione logica di EX-OR tra due ingressi

A	B	F
1	1	0
1	0	1
0	1	1
0	0	0

