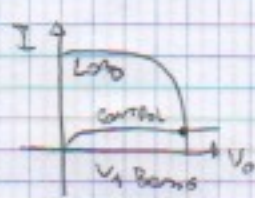
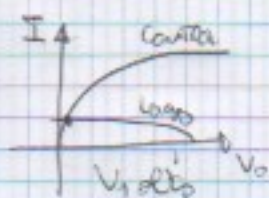


11) Calcolo di potenza in un inverter CMOS

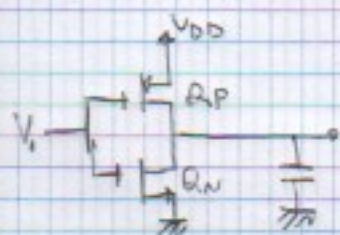
~~Definiamo~~ Dividiamo la potenza dissipata in Statica (P_s) e Dinamica (P_d).

Nel CMOS la P_s è nulla in quanto, quando il circuito cambia stato, la corrente è trascurabile.

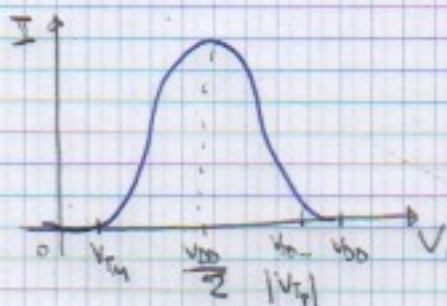


$$P_s = V \cdot I = 0$$

Per la P_d riferiamoci a questo modello:



La corrente avrà questo andamento in funzione di V_i :



Quando V_o è alto il condensatore si carica d'energia pari a $\frac{1}{2} C V_{DD}^2$. Quando Q_P si chiude e Q_N si apre, e il condensatore si scarica. Quindi la potenza dissipata durante la carica è $\frac{1}{2} C V_{DD}^2$.

Quando V_o è basso, lo scarica il condensatore con una energia pari a $\int V_{DD} I dt = V_{DD} \cdot Q$ con la quantità di carica fornita al condensatore. Quindi l'energia fornita dall'alimentatore è $C V_{DD}^2$.

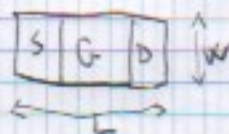
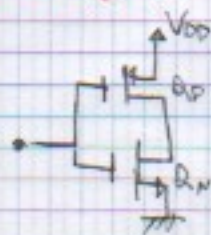
Al termine dell'intervallo di carica, la tensione ai capi di C è V_{DD} e l'energia immagazzinata è $\frac{1}{2} C V_{DD}^2$. Quindi, durante la scarica metà dell'energia fornita dall'alimentatore è dissipata in Q_P . $P_D = \frac{1}{2} C V_{DD}^2$ (da basso a alto).

Ma due mezzi cicli la P_D è $\frac{1}{2} C V_{DD}^2$, quindi in un ciclo la potenza dissipata è $C V_{DD}^2$.

Se poi ipotizziamo che la frequenza di commutazione sia f , allora che

$$P_{Diss} = P_{STAT} + P_{DINAMICA} = P_{DINAMICA} = f C V_{DD}^2$$

12) Dimensione INVERTER CMOS e Connessione il dimensionamento dei due transistor



Poiché si vuole ottenere un comportamento simmetrico, si impone $V_{TN} = |V_{TP}|$ e $K'_N \left(\frac{W}{L}\right)_N = K'_P \left(\frac{W}{L}\right)_P$.

Poiché $\mu_n = 2,5 \mu_p$, allora dato che $\frac{W_P}{W_N} = \frac{\mu_n}{\mu_p}$ allora

$W_P = 2,5 W_N$. Questa geometria comporta che la corrente in pull-up e quella in pull-down sia la stessa.

3-CALCOLARE I MARGINI DI RUMORE DI UN INVERTER LOGICO CMOS

Per il calcolo dei margini di rumore è sufficiente calcolare V_{IH} poiché V_{IL} può essere ottenuta da questa sfruttando la condizione di simmetria della caratteristica di trasferimento rispetto al valore $V_{DD}/2$ e gli altri termini come $V_{OH}=V_{DD}$ e $V_{OL}=0$.
Dall'uguaglianza delle correnti nei 2 dispositivi e nell'ipotesi $K_N=K_P$ e $V_{TN}=|V_{TP}|=V_T$ si ha:

$$I_{DN}=I_{DP} \Rightarrow 2(V_I - V_T)V_O - V_O^2 = (V_{DD} - V_I - V_T)^2$$

Derivando ambo i membri rispetto a V_I

$$2(V_I - V_T) \frac{dV_O}{dV_I} + 2V_O - 2V_O \frac{dV_O}{dV_I} = -2(V_{DD} - V_I - V_T)$$

Ricordando che in $V_I = V_{IH}$ la pendenza è -1 ($\frac{dV_O}{dV_I} = -1$) si ha

$$-2(V_{IH} - V_T) + 4V_O = -2(V_{DD} - V_{IH} - V_T)$$

da cui $V_{IH} = V_O + V_{DD}/2$

Sostituendo il valore V_{IH} nell'equazione iniziale si ottiene

$$V_O = \frac{1}{4} \left(\frac{V_{DD}}{2} - V_T \right) \Rightarrow \boxed{V_{IH} = \frac{1}{4} \left(\frac{5V_{DD}}{2} - V_T \right)}$$

Come detto, il valore V_{IL} si ottiene per simmetria con V_{IH} rispetto $\frac{V_{DD}}{2}$

$$V_{IH} - \frac{V_{DD}}{2} = \frac{V_{DD}}{2} - V_{IL} \Rightarrow \boxed{V_{IL} = \frac{1}{4} \left(\frac{3V_{DD}}{2} + V_T \right)}$$

Da cui infine otteniamo

$$NMH = V_{OH} - V_{IH} = \frac{3V_{DD}}{8} + \frac{V_T}{4} = NML = V_{IL} - V_{OL}$$

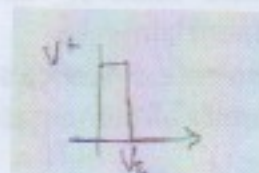
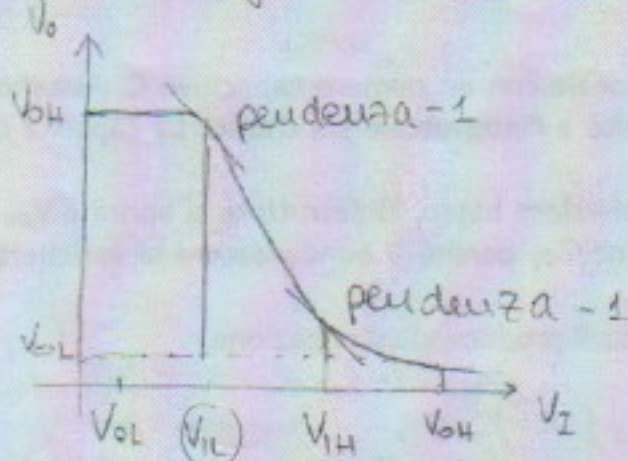
Se i valori K_N e K_P non sono uguali, otteniamo due margini di rumore differenti

INVERTER

Margini di rumore alto e basso di un inverter logico, definizione e schema di calcolo per la determinazione delle tensioni caratteristiche.

Definire i margini di rumore alto e basso di un inverter logico.

Rispetto a quella ideale, la tensione di ingresso non è più ben definita, ma esiste una regione di transizione tra gli stati alto e basso. Inoltre i livelli di uscita V_{OH} e V_{OL} non sono più uguali a V^+ e 0.



E' divisa in tre regioni:

1. $V_I < V_{IL}$: ingresso ed uscita alta; *ingresso basso → uscita alta*
2. $V_{IL} < V_I < V_{IH}$: ingresso ed uscita alta; *transizione*
3. $V_I > V_{IH}$: ingresso ed uscita alta; *ingresso alto → uscita basso*

Il margine di rumore di un inverter logico indica il massimo livello di rumore che sovrapponendosi al segnale di ingresso fornisce ancora il corretto valore di quello d'uscita.

Posso definire sulla caratteristica i seguenti punti:

- V_{IL} è la massima tensione in ingresso riconosciuta come bassa;
- V_{IH} è la minima tensione in ingresso riconosciuta come alta;
- V_{OH} è la minima tensione presente in uscita che dà un 1 logico;
- V_{OL} è la massima tensione presente in uscita che dà uno 0 logico.

Usando questi valori posso definire:

- **MARGINE DI RUMORE ALTO:** $NM_H = V_{OH} - V_{IH}$ e rappresenta il margine di sicurezza per il quale l'ingresso viene riconosciuto come alto e quindi l'uscita sarà bassa;
- **MARGINE DI RUMORE BASSO:** $NM_L = V_{IL} - V_{OL}$.

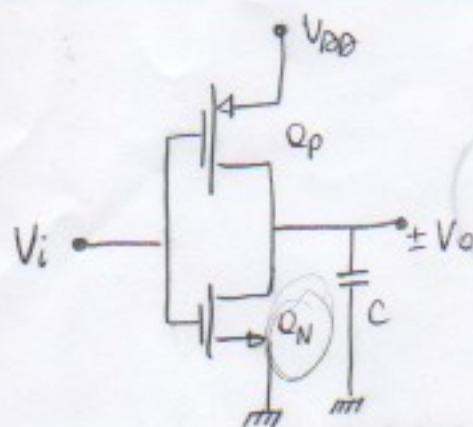
Il margine di rumore di un inverter è definito come il minimo tra i due. Più questo è ampio, più il sistema è immune al disturbo. Per massimizzarlo dovremmo avere $V_{IL} = V_{IH}$ e V_{OL} infinito, $V_{OH} = V^+$ [condizioni di idealità].



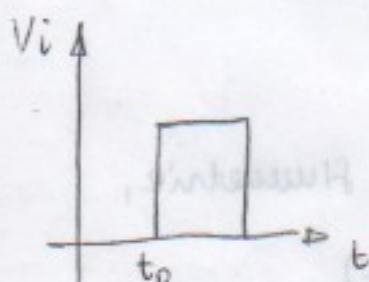
**Connect
Collaborate
Communicate**

Come See Inside Our Future.

DISEGNARE UN INV-CMOS,
CONFRONTARE TRA LORO I
TEMPI DI RITARDO H-L L-H
UTILIZZANDO IL MODO DEI
PUNTI DI LAVORO DEL CIRCUITO
NELLE DUE COMMUTAZIONI.



Supposto che C rappresenti la somma di tutte le capacità in gioco e che V_i sia ideale con tempi di salite e discese nulli.
Supponiamo inoltre i mosfet equivalenti, ossia consideriamo l'invertitore simmetrico.



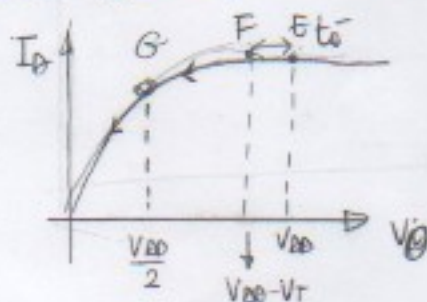
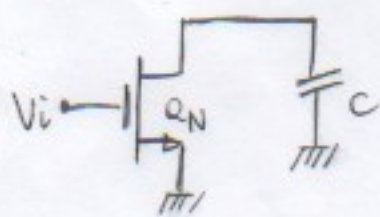
Consideriamo solo la commutazione $V_{OH} \rightarrow V_{OL}$.

All'istante t_0 , V_i vale 0 e V_o vale V_{DD} : al capi del C c'è una tensione V_{DD} .

A $t_0 +$ V_i passa a V_{DD} : Q_p va in interdizione e Q_n in conduzione. Il Condens. quindi inizia

e scaricarsi attraverso Q_n finché vale $V_{DD} > V_i - V_T$.

La corrente in continuo è $I_D = k(V_{DD} - V_T)^2$.



Queste prime componenti di ritardo vale quindi

$$1) t_{PHL1} = \frac{C \Delta V}{I} = \frac{C [V_{DD} - (V_{DD} - V_T)]}{k(V_{DD} - V_T)^2} = \frac{C V_T}{k(V_{DD} - V_T)^2}$$

Superato tale punto Q_n si trova in triodo, quindi la corrente vale

$$I_D = 2k \left[(V_{DD} - V_T) V_o - \frac{1}{2} V_o^2 \right]$$

me essendo $I_D = -C \frac{dV_o}{dt} \rightarrow I_D dt = -C dV_o$, allora

si ottiene $2k \left[(V_{DD} - V_T) V_o - \frac{1}{2} V_o^2 \right] dt = -C dV_o$.



Mylan

Seeing
is believing

Ricordando che ci interessa arrivare al punto in cui V_o vale $\frac{1}{2} V_{DD}$, integriamo entrambi i membri tra $(V_{DD} - V_T)$ ed $\frac{1}{2} V_{DD}$.

$$-\frac{k}{C} t_{PHL2} = \frac{1}{2(V_{DD} - V_T)} \int_{V_o = V_{DD} - V_T}^{V_o = \frac{V_{DD}}{2}} \frac{2V_o}{\frac{1}{2(V_{DD} - V_T)} V_o^2 - V_o} dV_o$$

Sapendo che $\int \frac{2x}{2x^2 - x} = \ln \left(1 - \frac{1}{2x} \right)$ si ottiene:

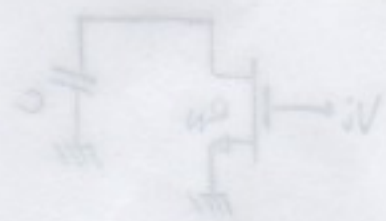
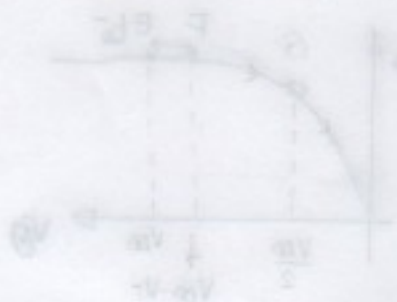
$$-\frac{k}{C} t_{PHL2} = \frac{1}{2(V_{DD} - V_T)} \ln \left(1 - \frac{1}{\frac{2(V_{DD} - V_T)}{V_o}} \right)$$

Calcolato tra $V_o = \frac{1}{2} V_{DD}$ e $V_o = V_{DD} - V_T$

In fine si ottiene: $t_{PHL2} = \frac{C}{2k(V_{DD} - V_T)} \ln \left(\frac{3V_{DD} - 4V_T}{V_{DD}} \right)$

Per concludere $t_{PHL} = t_{PHL1} + t_{PHL2} \sim \frac{0.8C}{kV_{DD}} = t_{rHL}$ per simmetria,

quindi $AP \sim f_{CV_{DD}^2} \frac{0.8C}{kV_{DD}} = \frac{0.8 f C^2 V_{DD}}{k} [< 1 pJ]$



Questo primo componente di ritardo vale quindi

$$t_{PHL1} = \frac{C \Delta V}{I} = \frac{C \Delta V}{k(V_{DD} - V_T)^2} = \frac{C V_T}{k(V_{DD} - V_T)^2}$$

$$I_0 = k[(V_{DD} - V_T) V_o - \frac{1}{2} V_o^2]$$

ne risulta $I_0 = -C \frac{dV_o}{dt} = -C \frac{dV_o}{dt}$, allora

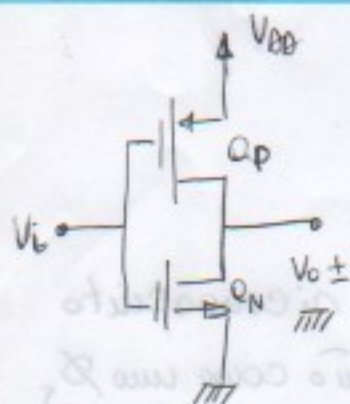
si ottiene $k[(V_{DD} - V_T) V_o - \frac{1}{2} V_o^2] = -C \frac{dV_o}{dt}$



**Connect
Collaborate
Communicate**

Come See Inside Our Future.

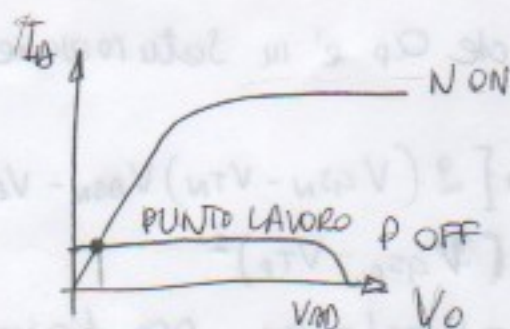
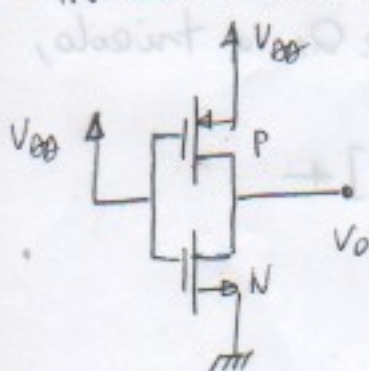
DISEGNARE COME SI MUOVE IL
PUNTO LAVORO DI UN INV. CMOS
DURANTE LE DUE COMMUTAZIONI.



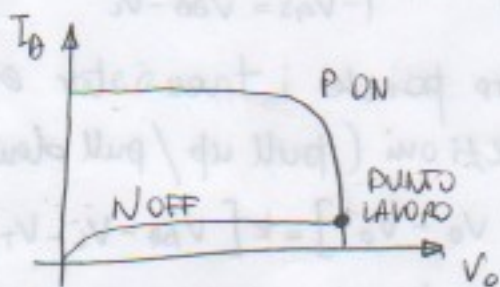
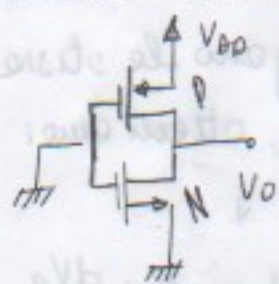
Un invertor CMOS usa due mosfet ed è costituito
accoppiati uno a canale N Q_N ed uno a canale
P Q_P .

A seconda dell'ingresso V_i varia il funzionamento
dei due transistor: se l'ingresso è alto (cioè
 $V_{IH} < V_i < V_{DD}$) otteniamo un'uscita bassa, mentre
se l'ingresso è basso (cioè $0 < V_i < V_{IH}$) otteniamo
uscita alta.

- INGRESSO ALTO:

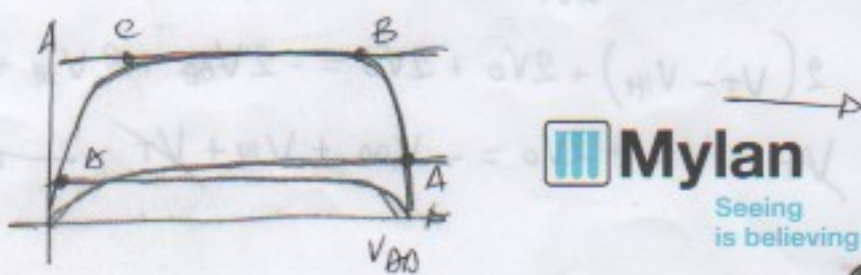


- INGRESSO BASSO



Dall'osserv. dei grafici notiamo che il punto di lavoro ottenuto
dell'intersezione delle due funzioni è nel primo caso a $V_o = 0$ e
nel secondo $V_o = V_{DD}$ con $I_D = 0$ sempre.

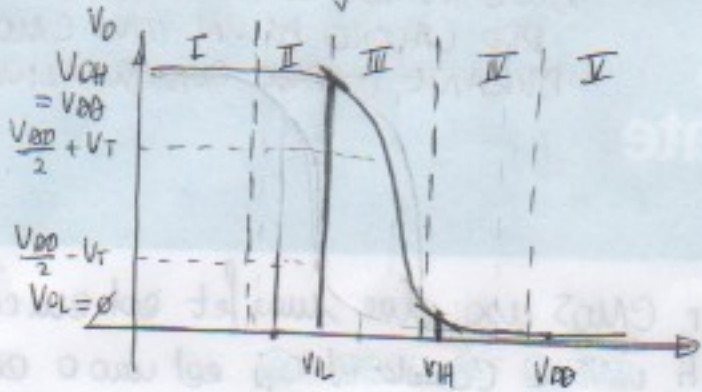
Intersecando i due grafici:



Mylan

Seeing
is believing

Per cui ora disegnare le caratteristiche di trasferimento:



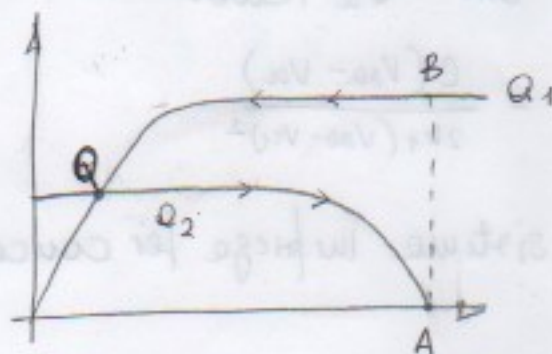
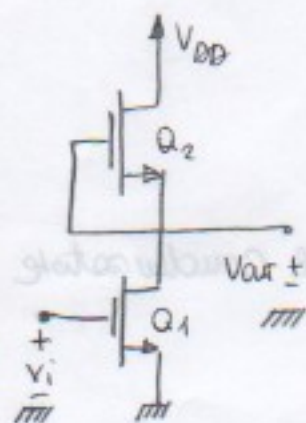
	Q_N	Q_P
1	I	T
2	S	T
3	S	S
4	T	S
5	T	I



**Connect
Collaborate
Communicate**

Come See Inside Our Future.

- DISEGNARE UN INV- NMOS CON CARICO A SVUOTAMENTO, CONFRONTARE TRA LORO I TEMPI DI RITARDO H-L ED L-H UTILIZZANDO IL LUOGO DEI PUNTI DI LAVORO DEL CIRCUITO NELLE DUE COMMUTAZIONI.
- SPIEGARE IL FUNZIONAMENTO DI UN INV. LOGICO IN TECNOLOGIA NMOS CON CARICO A SVUOTAMENTO DURANTE LA COMMUTAZIONE L-H ED H-L DELL'INVR.



Supponiamo $V_i = V_{OL}$ e $V_o = V_{OH}$, quando $V_i = V_{OH}$ allora Q_1 è ON ed il punto di lavoro passa istantaneamente da A a B per poi spostarsi fino a Q dove $V_o = V_{OL}$ lungo la caratteristica i-v di Q_1 .

Quando V_i torna a V_{OL} , il punto di lavoro passa da Q ad A lungo la caratteristica i-v di Q_2 .

Rispetto a quello ad accoppiamento, presenta un guadagno più alto con una caratteristica di trasferimento più brusca e con margini di rumore migliori. Inoltre i margini di rumore sono molto migliori anche con lo stesso k_n . Pertanto si può ridurlo mantenendo un buon margine di rumore, diminuendo le dimensioni del dispositivo.

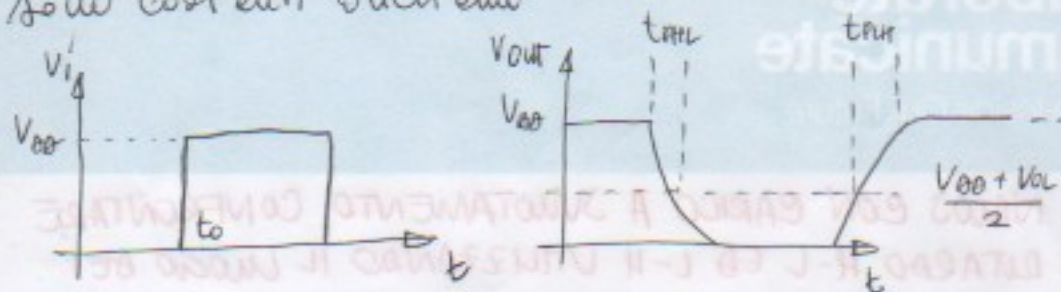
TEMPI DI COMMUTAZIONE: Un invertir NMOS non risponde istantaneamente alle variazioni di ingresso, ma impiega un certo transitorio. Questo ritardo è dato dalla media di due componenti: la prima è il tempo che l'ingresso si impiega a passare dal valore iniziale al 50% dell'uscita, la seconda è l'intervallo di tempo che l'uscita impiega per passare dal 50% al valore finale.

Tale comportamento può essere modellizzato con un condensatore in parallelo all'uscita, il quale rappresenta la presenza di capacità parassite che causano questo ritardo.

Mylan

Seeing
is believing

Considerando un ingresso a gradino e ricordando che $V_C = \frac{1}{C} \int I dt$ otteniamo che $dt = \frac{C dV}{I}$, linearizzando poiché le correnti considerate sono costanti otteniamo



- t_{PHL} è il tempo che il sistema impiega per scaricare il condensatore da V_{DD} a $\frac{1}{2}(V_{DD} + V_{OL})$, in questo intervallo

Q_1 SAT Q_2 TR000

$$t_{PHL} = C \frac{V_{DD} - \frac{V_{DD} + V_{OL}}{2}}{k_1 (V_{DD} - V_{T1})^2} = \frac{C(V_{DD} - V_{OL})}{2k_1 (V_{DD} - V_{T1})^2}$$

- t_{PLH} è il tempo che il sistema impiega per caricare il condensatore da V_{OL} a $\frac{V_{DD} + V_{OL}}{2}$

$$t_{PLH} = \frac{C \Delta V}{I} = \frac{C \left(\frac{V_{DD} + V_{OL}}{2} - V_{OL} \right)}{k_2 V_{T2}^2} = \frac{C(V_{DD} - V_{OL})}{2k_2 V_{T2}^2} \text{ con } Q_1 \text{ SAT e } Q_2 \text{ INT}$$

Osserviamo che $\frac{t_{PLH}}{t_{PHL}} = k_R \frac{(V_{DD} - V_{T1})^2}{V_{T2}^2} > k_R$ quindi $t_{PHL} < t_{PLH}$

Essendo t_{PHL} trascurabile, allora $t_p \approx \frac{1}{2} t_{PLH}$

BISEGNARE IL CIRCUITO DI UN INV. NMOS CON CARICO A SVUOTAMENTO E COMMENTARE IL SUO CONSUMO DI POTENZA STATICA E DINAMICA.

$$P_D = P_d + P_s$$

$$\begin{aligned} \bullet P_s: & \begin{cases} \text{se } V_O = V_{OH} & P_s^{(1)} = 0 \\ \text{se } V_O = V_{OL} & P_s^{(2)} = V_{DD} I_D = V_{DD} k_2 (V_{GS2} - |V_{T2}|)^2 \end{cases} \\ & \text{quindi } P_s = \frac{1}{2} (P_s^{(1)} + P_s^{(2)}) = \frac{1}{2} k_2 |V_{T2}|^2 V_{DD} \end{aligned}$$

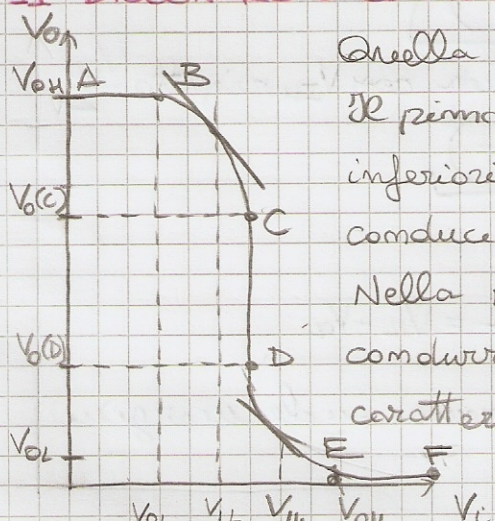
- P_d è dovuta all'energia fornita dall'alimentazione al carica e le capacità parassite, quindi in un ciclo è $V_{DD}^2 \cdot C$.

10 - SPIEGARE PERCHÉ IL PRODOTTO POTENZA DISSIPATA PER TEMPO DI RITARDO È UN FATTORE DI MERITO DI UN INVERTER LOGICO

Il prodotto potenza dissipata per tempo $D_p = P_D \times t_p$ rappresenta una misura della qualità di un circuito e può essere utilizzato per confrontare diverse tecnologie; infatti tale prodotto tende ad essere costante per una particolare tecnologia. Più è basso il valore di D_p e migliore è la tecnologia.

La cosa che rende il D_p utile per la valutazione è il fatto che questo ~~non~~ è il prodotto di 2 fattori inversamente proporzionali (per diminuire la potenza dissipata deve diminuire la corrente, ma questa comporta un aumento del ritardo).

11 - DISEGNARE E COMMENTARE LA CARATTERISTICA DELL'INVERTITORE CMOS



Quella mostrata è la caratteristica per $K_N = K_P$.

Il primo tratto (A-B) corrisponde a tensioni V_I inferiori alla soglia V_T , N_1 è quindi interdotta, P_1 conduce e la tensione V_O è pari a V_{DD} .

Nella regione B-C il transistor N comincia a condurre e l'uscita corrisponde a intersezioni delle caratteristiche dei 2 MOS con P_1 in triodo e N_1 in pinch-off; in questa regione giace il punto V_{IL} che è il max valore V_I corrispondente al BASSO logico.

Da C-D la pendenza è approssimativamente verticale; tutti e 2 i MOS sono in saturazione. La tensione V_I che porta entrambe le curve in saturazione è $V_{DD}/2$.

La regione D-E è la corrispondente di B-C ma con N_1 in triodo e P_1 in saturazione.

Infine la regione E-F corrisponde a tensioni V_I superiori alla soglia, P_1 è quindi interdotta.

