

# Orocol elettronica

Edoardo, Valerio

9 giugno 2023

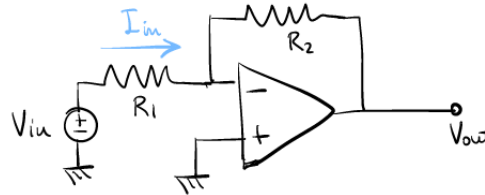
## Indice

<b>1</b>	<b>Possibili domande teoriche dello scritto</b>	<b>2</b>
1.1	Calcolo dei parametri caratteristici del circuito equivalente “rete due porte” di un invertente. . . . .	2
1.2	Funzione di trasferimento di un inverter CMOS, definizione e metodologie di calcolo del margine di rumore. . . . .	4
1.3	Struttura e funzionamento di un multivibratore astabile con amplificatore operazionale per generare forme d’onda triangolari. . . . .	5
1.4	Disegnare un circuito di un inverter logico CMOS e descrivere nel dettaglio la potenza statica e dinamica a esso correlata. . . . .	7
1.5	Struttura e funzionamento di un integratore. . . . .	8
1.6	Funzione di trasferimento ingresso-uscita di un inverter logico CMOS, punti significativi della transcaratteristica e condizioni di simmetria. . . . .	9
1.7	Circuito equivalente “rete due porte” di un transistor MOS per piccoli segnali e definizione di “piccoli segnali”. . . . .	11
1.8	Parametri ideali “rete due porte” di un amplificatore di transresistenza $V_{out}/I_{in}$ , quale delle due configurazioni dell’amplificatore operazionale (invertente o non) è più idonea e perché. . . . .	13
1.9	Specchio di corrente. . . . .	13
1.10	Funzionamento derivatore. . . . .	14
1.11	Funzionamento di un amplificatore differenziale. . . . .	17
1.12	Sommatore. . . . .	18
1.13	I tempi di ritardo alto-basso e basso-alto. . . . .	18
1.14	Generatore d’onda quadra. . . . .	19
1.15	Amplificatore CMOS. . . . .	21
1.16	Circuiti equivalenti per grandi segnali in continua per i tre casi. . . . .	23
1.17	Struttura e funzionamento della NAND e NOR. . . . .	23

# 1 Possibili domande teoriche dello scritto

## 1.1 Calcolo dei parametri caratteristici del circuito equivalente “rete due porte” di un invertente.

Consideriamo l'operazionale in figura 1. L'obiettivo è quello di rappresentare il circuito con un circuito equivalente a due porte, di quelli visti a lezione (figura 3). La configurazione che scegliamo è quella con i parametri  $g$ , ovvero quella in figura 3d.



**Figura 1:** Amplificatore operazionale in configurazione invertente.

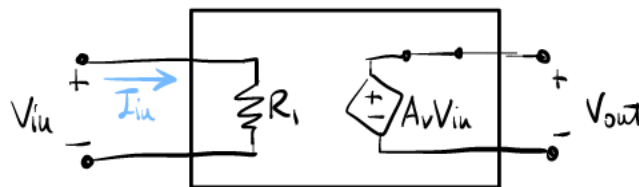
I parametri sono i seguenti:

$$\begin{cases} I_{in} = g_{11}V_{in} + g_{12}I_{out} \\ V_{out} = g_{21}V_{in} + g_{22}I_{out} \end{cases}$$

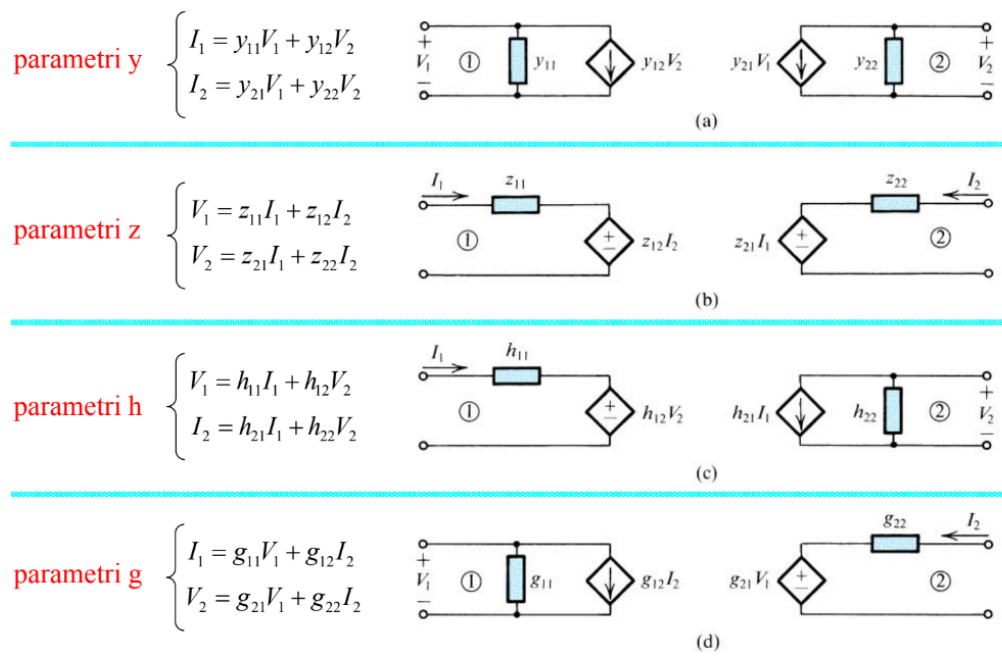
Per prima cosa notiamo che, essendo invertente,  $V_{out} = -\frac{R_2}{R_1}V_{in}$ . Perciò, abbiamo che  $g_{21} = A_v = -\frac{R_2}{R_1}$  e  $g_{22} = 0$ . La corrente di ingresso  $I_{in}$  di questo circuito è data esclusivamente da  $V_{in}/R_1$ , perciò  $g_{11} = 1/R_1$  e  $g_{12} = 0$ .

In effetti, possiamo verificare che, mettendo un generatore  $V_x$  in uscita al posto di  $V_{out}$  e annullando  $V_{in}$ , la corrente se ne va direttamente a massa passando nell'operazionale, perciò non va a far parte della corrente di ingresso  $I_{in}$  del circuito.

Il circuito equivalente è quello mostrato in figura 2.



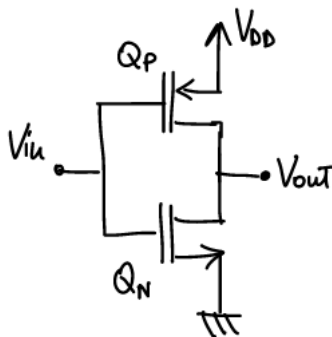
**Figura 2:** Circuito a due porte equivalente di una configurazione invertente.



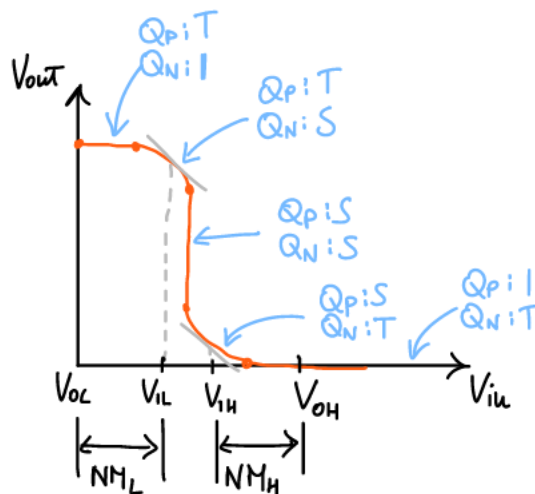
**Figura 3:** Rappresentazioni con circuiti equivalenti.

## 1.2 Funzione di trasferimento di un inverter CMOS, definizione e metodologie di calcolo del margine di rumore.

Consideriamo il circuito dell'inverter CMOS (figura 4). La funzione di trasferimento, assumendo che sia simmetrica rispetto a  $V_{DD}/2$  (ovvero che  $k_P = k_N$ ), è quella di figura 5.



**Figura 4:** Inverter CMOS, composto da un transistor PMOS  $Q_P$  e un NMOS  $Q_N$ .



**Figura 5:** Funzione di trasferimento dell'inverter CMOS, simmetrica rispetto a  $V_{DD}/2$ . Le scritte in blu indicano i vari stati dei transistor: 'I' = interdizione, 'T' = triodo, 'S' = saturazione.

Il *margine di rumore* è definito come la variazione massima che può avere il segnale in ingresso a causa di un rumore, senza che quest'ultimo venga amplificato.

Detti  $V_{OL}$  e  $V_{OH}$  le tensioni (in uscita) relative al segnale basso e alto rispettivamente, definiamo i due valori di soglia  $V_{IL}$  e  $V_{IH}$  per il segnale basso e il segnale alto, rispettivamente. Questi

corrispondono ai punti in cui la derivata della funzione di trasferimento assume il valore  $-1$ :

$$V_{IL}, V_{IH} : \frac{dV_{out}}{dV_{in}} = -1$$

I margini di rumore si distinguono in margine basso,  $NM_L$ , e margine alto,  $NM_H$ , e sono definiti come segue:

$$NM_L = V_{IL} - V_{OL}, \quad NM_H = V_{OH} - V_{IH}$$

### 1.3 Struttura e funzionamento di un multivibratore astabile con amplificatore operazionale per generare forme d'onda triangolari.

Consideriamo un multivibratore astabile (creato da un amplificatore operazionale con controreazione positiva), che assumiamo avere come output iniziale  $L^+$ , il quale entra come input in un circuito integratore (creato da un amplificatore operazionale con controreazione negativa via condensatore, vedi figura 6).

Per quanto riguarda l'integratore (ideale), il cortocircuito virtuale fa sì che, ai capi della resistenza  $R_1$  si crei una differenza di potenziale pari a  $L^+$  che induce una corrente sulla resistenza pari a  $I_i = L^+/R_1$  (la 'i' sta per "integratore"). La corrente va tutta sul condensatore  $C$ , la cui tensione è pari a:

$$V_c = \frac{Q}{C} = \frac{1}{C} \int I_i(t) dt = \frac{1}{C} \int \frac{L^+}{R_1} dt = \frac{L^+}{R_1 C} t$$

Per cui, l'uscita dell'integratore  $V_{out} = -V_c$  scende in modo lineare.

Quando  $V_{out}$ , che è anche l'ingresso del circuito astabile, raggiunge il valore di soglia  $V_{TL}$ , l'output del multivibratore passa a  $L^-$ . Per calcolare questa soglia, dobbiamo vedere quando  $V_a^+ - V_a^-$  cambia di segno, ovvero quando  $V_a^+ < 0$  (la 'a' sta per "astabile").

$V_a^+ = L^+ - R_3 I$ , e la corrente è data da

$$I = \frac{L^+ - V_{out}}{R_2 + R_3}$$

da cui:

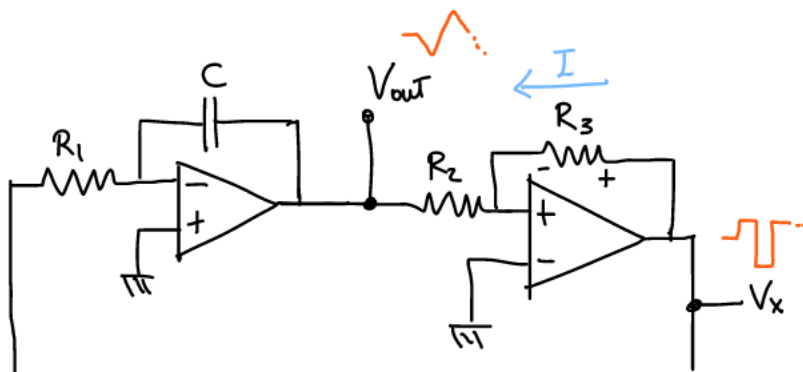
$$\begin{aligned} V_a^+ &= L^+ - \frac{R_3}{R_2 + R_3} (L^+ - V_{out}) \\ &= \left(1 - \frac{R_3}{R_2 + R_3}\right) L^+ + \frac{R_3}{R_2 + R_3} V_{out} \\ &= \frac{R_2}{R_2 + R_3} L^+ + \frac{R_3}{R_2 + R_3} V_{out} \end{aligned}$$

segue che:

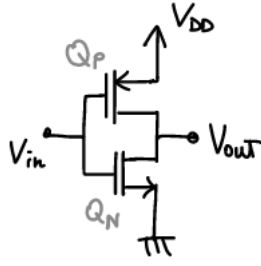
$$V_a^+ < 0 \implies \frac{R_2}{R_2 + R_3} L^+ < -\frac{R_3}{R_2 + R_3} V_{out} \implies V_{out} < -\frac{R_2}{R_3} L^+ = V_{TL}$$

Una volta che  $V_{out}$  raggiunge questa quantità, l'output dell'astabile diventa  $L^-$ , quindi il condensatore dell'integratore comincerà a scaricarsi verso  $L^-$ , portando  $V_{out}$  a crescere verso  $-L^-$  (uguale a  $L^+$  se  $|L^+| = |L^-|$ ).

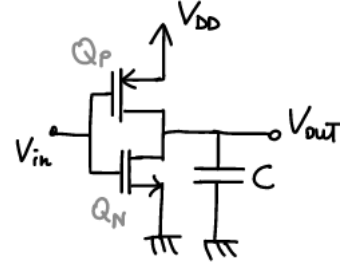
Quest'alternanza fa generare onde quadrate all'astabile che, integrate, diventano onde triangolari in  $V_{out}$ .



**Figura 6:** Generatore di onde triangolari, formato da un multivibratore astabile (a destra), che genera onde quadrate, e un integratore (a sinistra), che integra il segnale di uscita dell'astabile, generando onde triangolari.



(a) Struttura di un inverter CMOS.



(b) Struttura equivalente di un inverter CMOS durante la commutazione.

Figura 7

#### 1.4 Disegnare un circuito di un inverter logico CMOS e descrivere nei dettagli la potenza statica e dinamica a esso correlata.

La potenza dissipata  $P$  del circuito può essere divisa in potenza statica  $P_s$  e potenza dinamica  $P_d$ :

$$P = P_s + P_d$$

La potenza statica è la potenza del circuito quando è fermo in uno dei due stati. Visto che, in questa condizione, almeno un transistor è in interdizione, non scorre corrente, perciò la potenza dissipata è nulla:

$$P_s = V \cdot I = V_{DD} \cdot 0 = 0$$

La potenza dinamica, invece, è quella dissipata durante una commutazione (per es., da alto a basso e viceversa). Si calcola tenendo conto delle capacità parassite, che si possono modellare con un condensatore posto in uscita (vedi figura 7b).

Calcoliamo innanzitutto il lavoro svolto dal generatore quando il circuito passa da un output basso a uno alto:

$$W_{gen} = \int_{t_1}^{t_2} V(t)I(t) dt = V_{DD} \int_{t_1}^{t_2} I(t) dt = V_{DD}Q_c = CV_{DD}^2$$

dove  $Q_c$  è la carica che il condensatore ha ottenuto durante la commutazione, uguale a  $CV_c = CV_{DD}$ .

Tuttavia, l'energia immagazzinata dal condensatore è pari a

$$\mathcal{E}_c = \frac{1}{2}CV_c^2 = \frac{1}{2}CV_{DD}^2$$

Per cui metà del lavoro del generatore è finito nel condensatore come energia, mentre l'altra metà si è dissipata nella rete di pull-up, ovvero nel transistor  $Q_P$ .

Quando l'output passa da alto a basso, invece, il condensatore si scarica completamente passando per la rete di pull-down, perciò tutta la sua energia verrà dissipata sul transistor  $Q_N$ . Il generatore non svolge lavoro in questa fase.

L'energia totale usata dal circuito per un ciclo completo (output basso–alto–basso) è quindi uguale a

$$\mathcal{E}_{tot} = CV_{DD}^2$$

Quindi, detta  $f$  la frequenza dell'input (la frequenza di clock), la potenza dinamica dissipata totale del circuito sarà pari a

$$P_d = fCV_{DD}^2$$

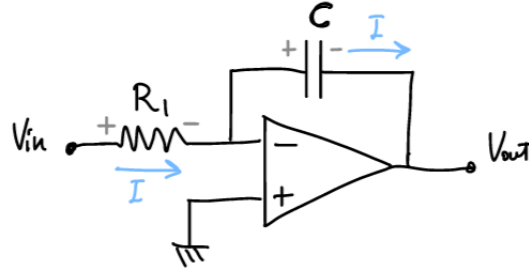
## 1.5 Struttura e funzionamento di un integratore.

Prendiamo il circuito di figura 8, composto da un amplificatore operazionale in configurazione invertente dove c'è un condensatore  $C$  come impedenza di feedback.

Facendo l'ipotesi lineare, vale il cortocircuito virtuale, per cui ci sono 0 volt in entrambi i morsetti dell'operazionale. Questo fa sì che ai capi di  $R_1$  ci sia una corrente data da  $I = V_{in}/R_1$ . Questa corrente va tutta sul condensatore  $C$ , caricandolo. La tensione ai capi di  $C$  è data da:

$$V_c = \frac{Q}{C} = \frac{1}{C} \int I(t) dt = \frac{1}{R_1 C} \int V_{in}(t) dt$$

Essendo  $V_{out} = -V_c$ , abbiamo che la tensione di output è l'integrale della tensione di ingresso, a meno di una costante moltiplicativa.



**Figura 8:** Struttura di un integratore ideale.

Facendo un'analisi asintotica in funzione della frequenza del segnale in ingresso, vediamo che il guadagno è uguale a

$$A_v = -\frac{Z_c}{R_1} = -\frac{1}{j\omega R_1 C}$$

Quindi, per segnali in ingresso con frequenza nulla ( $\omega = 0$ ), il guadagno è infinito, mentre per segnali con frequenza infinita il guadagno è nullo. Questo significa che l'integratore ha la forma di un passa basso.

Calcoliamo allora  $\omega_h = 1/\tau = 1/R_{eq}C$ , dove  $R_{eq}$  è la resistenza equivalente vista dal condensatore, calcolabile sostituendo un generatore  $V_x$  al posto del condensatore e vedendo su quali resistenze scorre la corrente (vedi figura 9). In realtà, si vede che la corrente non scorre (ci sono 0 volt su entrambi i capi di  $R_1$ , perciò non può scorrere corrente lì), quindi questo corrisponde a una resistenza infinita:

$$R_{eq} = \infty \implies \omega_h = \frac{1}{R_{eq}C} = \frac{1}{\infty} = 0$$

Questo significa che andrà a integrare tutti i segnali (figura 11a), il che potrebbe essere un problema in presenza di segnali con rumore a componenti costanti, in quanto andrebbero integrati con un certo guadagno fino a saturare l'amplificatore (o a rompere il condensatore). Per evitare che



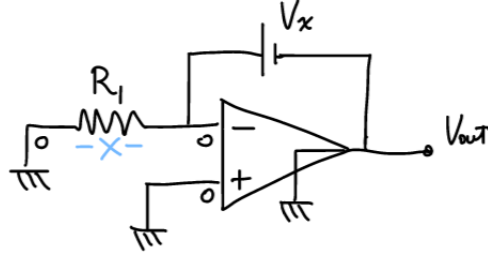


Figura 9

questo accada, introduciamo l'integratore reale, che ha una resistenza  $R_2$  in parallelo al condensatore (vedi figura 10).

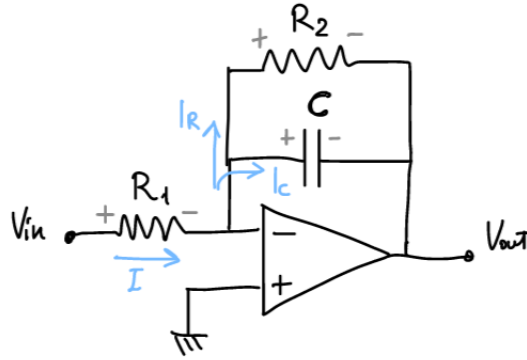


Figura 10: Struttura di un integratore reale.

In questo modo, la resistenza equivalente vista dal condensatore è  $R_2$ , perciò

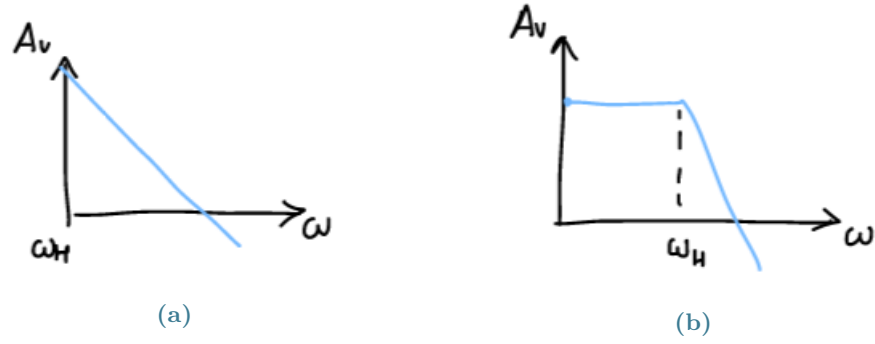
$$\omega_h = \frac{1}{\tau} = \frac{1}{R_2 C}$$

che è un valore finito, diverso da zero (vedi figura 11b). Tutte le componenti in frequenza minori di questo valore, perciò, sono semplicemente amplificate con guadagno  $A_v = -R_2/R_1$  e non integrate. Per  $\omega = 0$ , il guadagno si trova osservando che, una volta caricato il condensatore, tutta la corrente scorre su  $R_2$ , perciò

$$V_{out} = -V_{R_2} = -R_2 I = -R_2 \cdot V_{in}/R_1 \quad \Rightarrow \quad A_v = V_{out}/V_{in} = -R_2/R_1$$

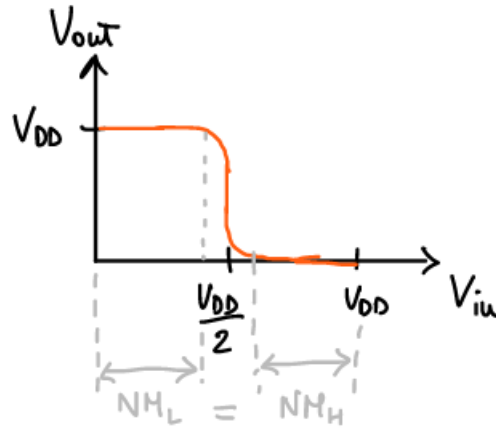
## 1.6 Funzione di trasferimento ingresso-uscita di un inverter logico CMOS, punti significativi della transcaratteristica e condizioni di simmetria.

La transcaratteristica di un inverter logico CMOS è quella riportata in figura 12. I punti significativi si trovano in corrispondenza dei valori  $V_{in} = 0$ , per cui  $Q_N$  è in interdizione e  $Q_P$  in conduzione



**Figura 11:** Diagrammi di bode dell'integratore ideale (a) e reale (b).

(figura 13a),  $V_{in} = V_{DD}$ , per cui avviene l'opposto (figura 13b), e il punto in cui entrambi i transistor sono in saturazione, dove il guadagno è (in condizioni di idealità) infinito. In condizioni di simmetria, la tensione per cui questo avviene è pari a  $V_{DD}/2$ .



**Figura 12:** Transcaratteristica dell'inverter CMOS, simmetrica rispetto alla tensione  $V_{DD}/2$ .

Affinché ci sia simmetria, entrambi i transistor devono essere in saturazione quando  $V_{in} = V_{DD}/2$ . Nel CMOS, si ha che:

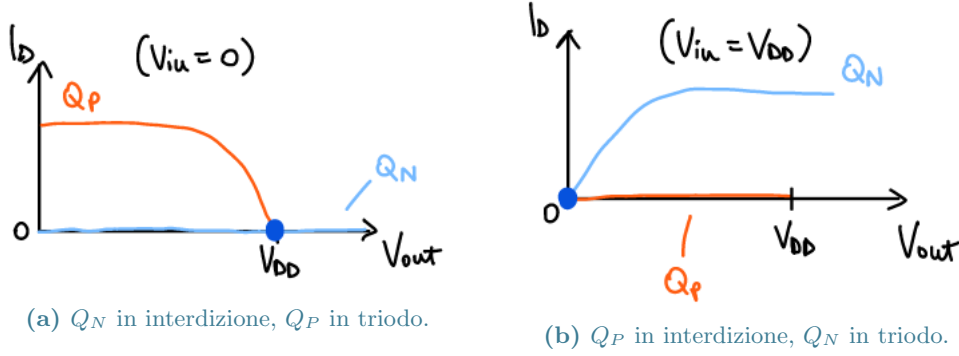
$$V_{GS_N} = V_{in}, \quad V_{SG_P} = V_{DD} - V_{in} \quad (1)$$

visto che la corrente  $I_P$  che scorre sul PMOS è sempre uguale alla corrente  $I_N$  che scorre sull'NMOS, in condizioni di saturazione si ha che:

$$I_N = k_N(V_{GS_N} - V_t)^2 = I_P = k_P(V_{SG_P} - V_t)^2$$

da cui, sostituendo le (1):

$$k_N(V_{in} - V_t)^2 = k_P(V_{DD} - V_{in} - V_t)^2$$



**Figura 13:** Curve  $V_{DS_N}$  (in azzurro) e  $V_{DD} - V_{SD_P}$  (in arancione), in due diverse condizioni. In questi stati, la corrente è zero, perciò  $V_{out}$  sarà uguale ai punti di intersezione delle due curve sull'asse orizzontale.

imponendo  $V_{in} = V_{DD}/2$ :

$$k_N \left( \frac{V_{DD}}{2} - V_t \right)^2 = k_P \left( \frac{V_{DD}}{2} - V_t \right)^2 \implies k_N = k_P$$

Per avere simmetria, allora, basta avere i parametri  $k$  dei due transistor uguali. Ciò significa che:

$$k_N = \frac{1}{2} C_{ox} \mu_n \frac{w_N}{L_N} = k_P = \frac{1}{2} C_{ox} \mu_p \frac{w_P}{L_P} \implies \mu_n \frac{w_N}{L_N} = \mu_p \frac{w_P}{L_P}$$

Sapendo che la mobilità degli elettroni  $\mu_n$  è circa tre volte quella delle lacune  $\mu_p$ :

$$3\mu_p \frac{w_N}{L_N} \approx \mu_p \frac{w_P}{L_P} \implies \frac{w_P}{L_P} \approx 3 \frac{w_N}{L_N}$$

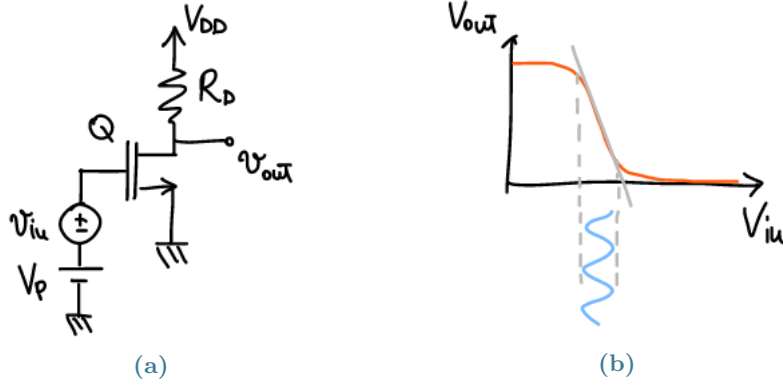
## 1.7 Circuito equivalente “rete due porte” di un transistor MOS per piccoli segnali e definizione di “piccoli segnali”.

Il circuito equivalente “rete due porte” per piccoli segnali è composto da un’impedenza infinita in ingresso (circuitto aperto) e un generatore di corrente  $g_m V_{GS}$  dipendente da la differenza di potenziale  $V_{GS}$  ai capi del gate e source.

Considerato il circuito amplificatore con transistor MOS, con ingresso  $v_{in}$  polarizzato da un generatore  $V_P$  (figura 15a), la sua funzione di trasferimento è quella mostrata in figura 15b. Come si nota, nel punto di lavoro (la zona centrale) la curva è approssimabile a una funzione lineare; per cui, il parametro  $G_m$ , che generalmente è una funzione dell’ingresso, diventa una costante  $g_m$ .



**Figura 14:** Circuito equivalente “rete due porte” di un transistor MOS per piccoli segnali.



**Figura 15:** Circuito amplificatore con MOS (a), con ingresso  $v_{in}$  polarizzato da  $V_P$ , e sua transcaratteristica (b). Si vede come, nel punto di lavoro, questa è approssimabile a una funzione lineare.

Vediamo quando quest'approssimazione è possibile. Se il transistor  $Q$  del circuito è in saturazione, si ha che

$$\begin{aligned}
 i_D &= k(V_{GS} - V_t)^2 \\
 &= k(v_{in} + (V_P - V_t))^2 && (\text{si applica } V_{GS} = v_{in} + V_P) \\
 &= k(v_{in}^2 + 2(V_P - V_t)v_{in} + (V_P - V_t)^2) \\
 &= k(v_{in}^2 + 2(V_P - V_t)v_{in}) + k(V_P - V_t)^2 \\
 &= k(v_{in}^2 + 2(V_P - V_t)v_{in}) + I_P && (I_P := k(V_P - V_t)^2)
 \end{aligned}$$

Dove  $I_P$  è la corrente di polarizzazione, dovuta esclusivamente a  $V_P$ . L'altro termine della corrente è quello che dipende da  $v_{in}$ , cioè quello che forma la transcaratteristica. Affinché questa sia approssimabile linearmente, il termine  $v_{in}^2$  dev'essere trascurabile, cioè:

$$v_{in}^2 \ll 2(V_P - V_t)v_{in} \iff v_{in} \ll 2(V_P - V_t)$$

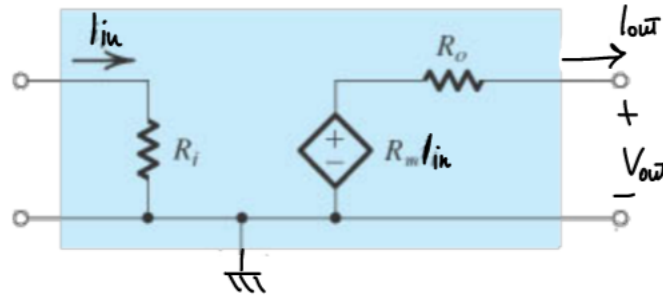
Questo significa che il segnale è considerato un “piccolo segnale” quando  $v_{in}$  è molto minore di  $2(V_P - V_t)$  (ovvero quando è almeno un ordine di grandezza inferiore).

## 1.8 Parametri ideali “rete due porte” di un amplificatore di transresistenza $V_{out}/I_{in}$ , quale delle due configurazioni dell’amplificatore operazionale (invertente o non) è più idonea e perché.

L’amplificatore di transresistenza è caratterizzato da una corrente in ingresso  $I_{in}$  e una tensione in uscita  $V_{out}$ , pari a  $R_m I_{in}$ , dove

$$R_m = \left. \frac{V_{out}}{I_{in}} \right|_{I_{out}=0}$$

Lo schema equivalente “rete due porte” è riportato nella figura 16.



**Figura 16:** Schema equivalente “rete due porte” di un amplificatore di transresistenza.

Idealmente, si vuole avere resistenza d’ingresso nulla, così da non modificare il segnale di corrente in ingresso, e una resistenza di output nulla, perché non si vuole creare un partitore di tensione tra la resistenza  $R_o$  e il carico  $R_L$ . Perciò:

$$R_i = 0, \quad R_o = 0$$

La configurazione dell’amplificatore operazionale più idonea per il funzionamento da amplificatore di transresistenza è quella invertente. Questo perché, a differenza della non invertente che ha una resistenza d’ingresso infinita (figura 17b), nella configurazione invertente la resistenza d’ingresso è finita e pari a  $R_1$  (figura 17a), pertanto non altera il segnale in ingresso.

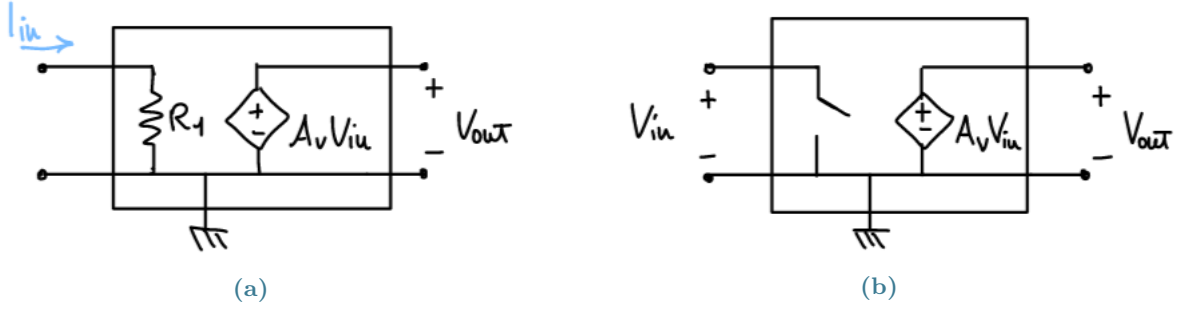
Comunque, entrambe le configurazioni sono adatte a fornire una tensione in uscita, poiché la resistenza di output è nulla.

## 1.9 Specchio di corrente.

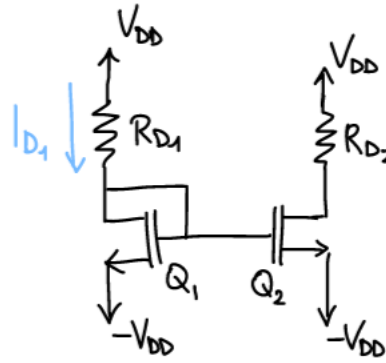
Uno specchio di corrente è un circuito che permette di avere una corrente  $I$  da una corrente di riferimento  $I_{ref}$ .

Uno specchio di corrente si può costruire a partire da una corrente di riferimento  $I_{ref}$ , e (per es.) due NMOS  $Q_1$  e  $Q_2$  con il gate in comune, dove il primo ha il drain connesso al gain. Questo fa sì che  $Q_1$  sia in saturazione<sup>1</sup>.

<sup>1</sup>Assumiamo, per assurdo, che non scorra corrente, quindi che il generatore di corrente  $I_{ref}$  sia un’impedenza infinita. Per la legge di Ohm, la caduta di tensione ai suoi capi è nulla (non scorre corrente). Perciò,  $V_{GS} = V_{DD} - (-V_{DD}) = 2V_{DD} > V_t$ , e assumiamo che questo sia sempre vero, essendo in genere  $V_{DD} \gg V_t$ ; per cui,  $Q_1$  non è in interdizione. Inoltre,  $V_{DS} > V_{GS} - V_t = V_{DS} - V_t$ , per cui è sicuramente in saturazione.



**Figura 17:** Schemi equivalenti “rete due porte” dell’amplificatore operazionale in configurazione invertente (a) e non invertente (b).



**Figura 18:** Struttura dello specchio di corrente con due NMOS.

A questo punto, visto che  $V_{G1} = V_{G2}$  ovvero  $V_{GS1} = V_{GS2}$ , se  $Q_2$  dovesse essere in saturazione, si avrebbe una corrente uguale a

$$I = k_2(V_{GS2} - V_t)^2 = k_2(V_{GS1} - V_t)^2$$

essendo  $Q_1$  in saturazione,  $I_{ref} = k_1(V_{GS1} - V_t)^2$ . Segue che

$$I = \frac{k_2}{k_1} I_{ref}$$

Per cui, abbiamo creato una corrente  $I$  a partire da  $I_{ref}$ , regolabile tramite il rapporto dei parametri  $k$  dei due transistor  $Q_1$  e  $Q_2$ .

Questo approccio è vantaggioso soprattutto nel caso in cui si necessitino varie correnti  $I_1, \dots, I_n$  che dipendano tutte da una singola sorgente di corrente  $I_{ref}$ : basta connettere tutti i gain tra di loro, come il gain di  $Q_2$  è stato connesso al gain di  $Q_1$ .

### 1.10 Funzionamento derivatore.

Il circuito derivatore è quello mostrato in figura 19, con un condensatore  $C$  come impedenza di ingresso e una resistenza  $R_1$  di feedback.

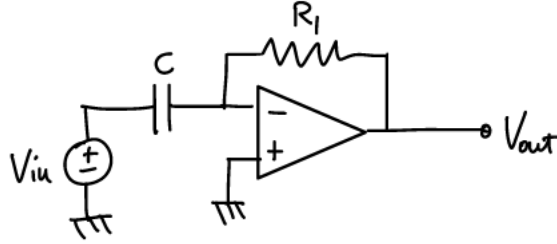
Essendo  $V_c = Q/C$  la tensione ai capi del condensatore, si ha che

$$V_c = \frac{1}{C} \int I(t) dt \implies I(t) = C \frac{dV_c(t)}{dt}$$

Questa corrente, non potendo entrare nell'amplificatore, passa tutta per  $R_1$ , perciò la tensione d'uscita è pari a

$$V_{out} = -V_{R_1} = -R_1 I(t) = -R_1 C \frac{dV_{in}(t)}{dt}$$

essendo  $V_c = V_{in}$ . Si ha allora che l'uscita è, a meno di costanti, la derivata del segnale d'ingresso.



**Figura 19:** Circuito derivatore.

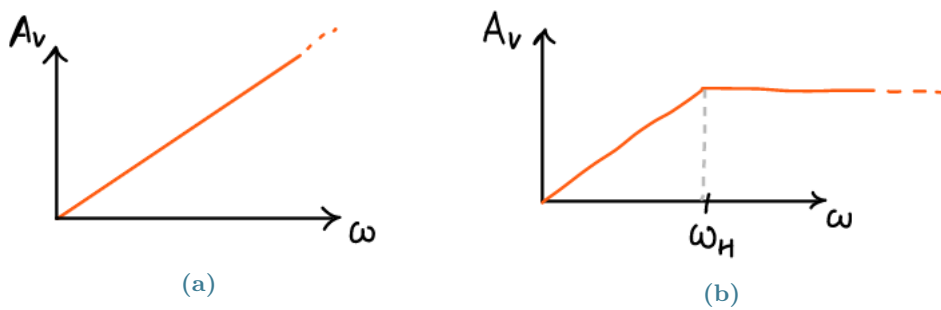
Il circuito è un passa alto: il guadagno è  $A_v = R_1/Z_c = j\omega R_1 C$ , perciò quando  $\omega = 0$  si ha  $A_v = 0$ , e quando  $\omega = \infty$ ,  $A_v = \infty$ . Il grafico della risposta in frequenza è quello mostrato in figura 20a.  $\omega_h = 1/\tau = 1/R_{eq}C$  è infinita, poiché  $R_{eq} = 0^2$ .

Questo può portare a dei problemi: per esempio, rumori con frequenze elevate potrebbero saturare l'amplificatore. Per evitare ciò, possiamo imporre un limite al guadagno dell'amplificatore, facendo in modo che frequenze sopra una certa soglia vengano solamente amplificate, e non derivate (vedi figura 20b).

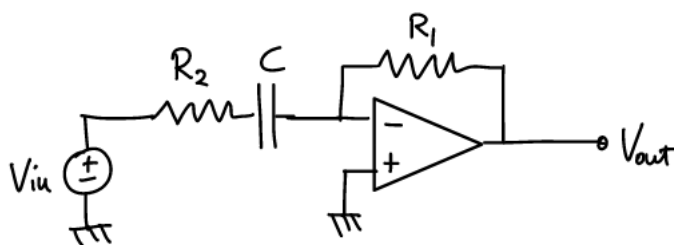
Per farlo, aggiungiamo una resistenza  $R_2$  prima (o dopo) il condensatore  $C$ . In questo modo, la resistenza equivalente vista dal condensatore non è più nulla, ma è proprio  $R_2$ . Perciò  $\omega_h$  è un valore finito e pari a  $1/\tau = 1/R_2 C$ .

---

<sup>2</sup>Mettiamo una batteria  $V_x$  al posto di  $C$  e annulliamo  $V_{in}$ . In genere, la resistenza che determina la corrente è quella che si trova prima dei 0 volt del morsetto negativo. In questo caso, la corrente  $I_x$  non dipende da alcuna resistenza, o meglio, dipende da una resistenza nulla. Perciò,  $I_x$  sarebbe infinita e  $R_x = R_{eq} = 0$ .



**Figura 20:** Diagrammi di bode in frequenza del derivatore ideale (a) e reale (b).



**Figura 21:** Circuito derivatore reale.



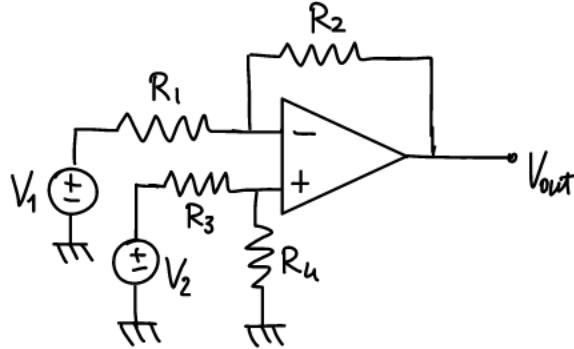
### 1.11 Funzionamento di un amplificatore differenziale.

Un amplificatore differenziale è un amplificatore che prende in ingresso due segnali  $V_1$  e  $V_2$ , e che amplifica la differenza di questi due. In particolare, l'output di un amplificatore generico ha la forma

$$V_{out} = A_{CM} \left( \frac{V_1 + V_2}{2} \right) + A_D (V_2 - V_1) \quad (2)$$

e un amplificatore idealmente differenziale ha il termine  $A_{CM} = 0$ , ovvero l'output è l'amplificazione della sola differenza tra i segnali<sup>3</sup>.

Per realizzarlo, occorre costruire il circuito in figura 22.



**Figura 22:** Circuito di realizzazione di un amplificatore differenziale idealmente.

Per la sovrapposizione degli effetti, si ha che

$$V_{out} = -\frac{R_2}{R_1} V_1 + \left( 1 + \frac{R_2}{R_1} \right) \frac{R_4}{R_3 + R_4} V_2$$

Si ha l'idealità quando, posti  $V_1 = V_2$ , risulta  $V_{out} = 0$  (vedi equazione 2). I calcoli sono i seguenti:

$$\begin{aligned} V_{out} &= V_1 \left( -\frac{R_2}{R_1} + \left( 1 + \frac{R_2}{R_1} \right) \frac{R_4}{R_3 + R_4} \right) \stackrel{\text{set}}{=} 0 \\ \implies \left( 1 + \frac{R_2}{R_1} \right) \frac{R_4}{R_3 + R_4} &= \frac{R_2}{R_1} \\ \implies \frac{R_1 + R_2}{R_1} \frac{R_4}{R_3 + R_4} &= \frac{R_2}{R_1} \\ \implies \frac{R_4}{R_3 + R_4} &= \frac{R_2}{R_1 + R_2} \\ \implies \frac{1}{1 + \frac{R_3}{R_4}} &= \frac{1}{1 + \frac{R_1}{R_2}} \\ \implies \frac{R_3}{R_4} &= \frac{R_1}{R_2} \end{aligned}$$

<sup>3</sup>“CM” sta per *common mode*. Si tratta dell'amplificazione della media dei due segnali.

Per cui, l'amplificatore è differenziale in modo ideale quando il rapporto  $R_3/R_4$  è uguale al rapporto  $R_1/R_2$ . Il guadagno, se questo è vero, è

$$A_v = \frac{R_2}{R_1}(V_2 - V_1)$$

Nota: essendo comunque un circuito amplificatore di segnali in tensione, vorremmo che la resistenza in ingresso vista da entrambi i segnali sia infinita; per ovviare a questo problema, disaccoppiamo i generatori dal circuito con dei buffer di tensione.

### 1.12 Sommatore.

L'amplificatore operazionale, nella configurazione mostrata nella figura 23, si comporta come un sommatore pesato degli  $n$  ingressi  $V_1, \dots, V_n$ . Questo può essere verificato applicando la sovrapposizione degli effetti:

$$\begin{aligned} V_{out} &= V_{out}|_{V_1 \neq 0} + \dots + V_{out}|_{V_n \neq 0} \\ &= -\frac{R_f}{R_1}V_1 - \dots - \frac{R_f}{R_n}V_n \\ &= -R_f \sum_{i=1}^n \frac{V_i}{R_i} \end{aligned}$$

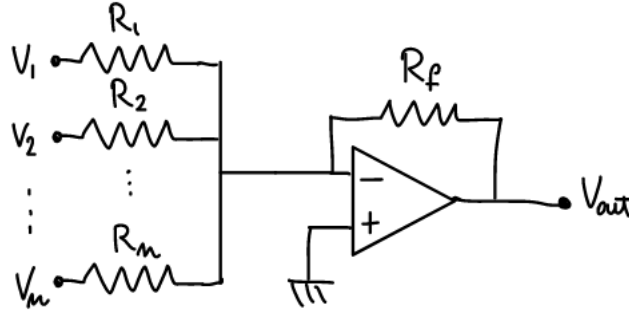


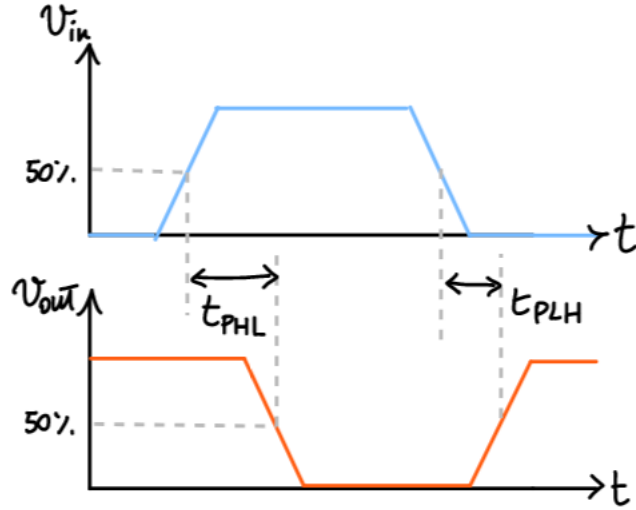
Figura 23: Circuito sommatore pesato.

### 1.13 I tempi di ritardo alto-basso e basso-alto.

Considerato un inverter logico, in una commutazione l'intervallo di tempo dal punto in cui l'input  $v_{in}$  si trova al 50% del suo valore finale, al punto in cui l'uscita si trova al 50% del suo valore finale, è un tempo di ritardo. Se l'uscita va da alto a basso, il tempo è detto *tempo di ritardo alto-basso*  $t_{PHL}$ . Se, invece, l'uscita va da basso ad alto, il tempo è detto *tempo di ritardo basso-alto*  $t_{PLH}$  (vedi figura 24).

Questi due valori sono, in genere, diversi tra loro. Ecco perché con “tempo di ritardo” si intende la media dei due tempi di propagazione:

$$t_P = \frac{t_{PHL} + t_{PLH}}{2}$$



**Figura 24:** Diagramma dei tempi di ritardo. Quando si parla di alto o basso ci si riferisce sempre all'uscita.

### 1.14 Generatore d'onda quadra.

Prendiamo il circuito in figura 25, composto da un multivibratore (operazionale con controreazione positiva), dove il morsetto negativo è connesso a massa tramite un condensatore  $C$  e a  $V_{out}$  tramite una resistenza  $R_3$ .

Ricordiamo che la controreazione positiva porta alla saturazione (e assumiamo sempre che lo siamo già). Per esempio, consideriamo una situazione iniziale in cui  $V_{out} = L^+$ . In questo caso, scorrerà una corrente da  $V_{out}$  a massa passando per la rete composta dalle resistenze  $R_2$  e  $R_1$ . Pertanto, la tensione al morsetto positivo sarà il partitore di tensione:

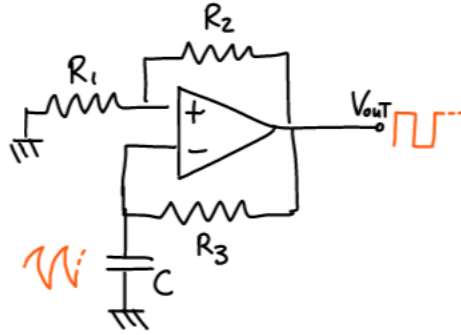
$$V^+ = \frac{R_1}{R_1 + R_2} V_{out} := \beta V_{out} = \beta L^+$$

La tensione al morsetto negativo, invece, corrisponderà alla tensione ai capi del condensatore  $C$ . Assumendo che questo sia scarico al tempo  $t = 0$ , questo inizia a caricarsi nell'istante in cui  $V_{out} = L^+$  tramite la rete di pull-down che da  $V_{out}$  passa per  $R_3$ .

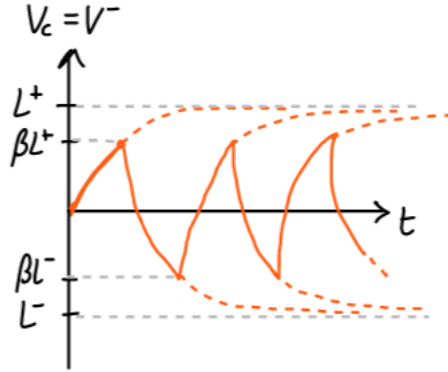
Ricordiamo che il multivibratore cambia stato, passando a  $V_{out} = L^-$ , quando  $V^+ - V^- < 0$ , ovvero quando  $\beta L^+ - V_c(t) < 0$ . Ciò significa che, una volta che il condensatore si carica abbastanza<sup>4</sup> da avere una tensione pari a  $\beta L^+$ , l'operazionale cambia stato e  $V_{out}$  diventa  $L^-$ . A questo punto, succede qualcosa di analogo: nel morsetto positivo si ha ora  $\beta L^-$ , e il condensatore del morsetto negativo comincia a scaricarsi. Quando questo raggiunge  $\beta L^-$ , l'amplificatore cambia nuovamente stato (poiché  $V^+ - V^- > 0$ ) e il ciclo si ripete. L'andamento è mostrato in figura 26.

<sup>4</sup>In assenza di cambi di stato, il condensatore si caricherebbe fino a raggiungere la tensione di  $L^+$ . Pertanto, l'equazione che segue è quella che ha  $V_c(\infty) = L^+$ , cioè

$$V_c(t) = V_c(\infty) - (V_c(\infty) - V_c(t_0)) e^{-\frac{t-t_0}{\tau}} = L^+ \left(1 - e^{-\frac{t}{\tau}}\right)$$



**Figura 25:** Circuito di un astabile generatore d'onda quadra.



**Figura 26:** Andamento nel tempo della tensione ai capi del condensatore del circuito generatore di onde quadre.

L'output  $V_{out}$ , perciò, passa da  $L^+$  a  $L^-$  periodicamente, generando un'onda quadra di periodo  $T$ . Per trovare  $T$ , consideriamo  $t - t_0 = T$  e  $V(t_0) = \beta L^-$  (assumendo  $V_{out} = L^+$ ). La tensione del condensatore è:

$$V_c(t) = L^+ - (L^+ - \beta L^-)e^{-T/\tau}$$

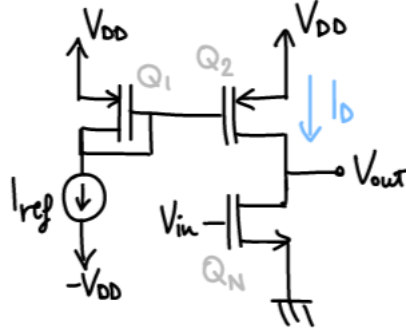
$$\Rightarrow T = \tau \ln \frac{1 - \beta \frac{L^-}{L^+}}{1 - \beta}$$

dove  $\tau = R_3 C$ .

Tuttavia, il cambio di stato che avviene a  $V_c = \beta L^+$  fa cambiare bruscamente curva, portando il condensatore a scaricarsi fino a  $L^-$ . Di nuovo, non raggiungerà questa tensione, perché avverrà un altro cambio di stato a  $V_c = \beta L^-$ , e così via. La figura 26 dovrebbe chiarire eventuali dubbi.

### 1.15 Amplificatore CMOS.

Si consideri il circuito in figura 27, in cui l'NMOS è polarizzato grazie alla corrente prodotta dallo specchio di corrente formato da due PMOS.



**Figura 27:** Circuito amplificatore con tecnologia CMOS.

Il PMOS  $Q_1$  sicuramente non è in interdizione, perché scorre una corrente  $I_{ref}$ . Inoltre, essendo il suo gain connesso al drain, vale anche che  $V_{SD} > V_{SG} - V_t$ , perciò è in saturazione.

Se anche  $Q_2$  è in saturazione, le correnti valgono:

$$I_{ref} = k_1(V_{SG_1} - V_t)^2, \quad I_D = k_2(V_{SG_2} - V_t)^2$$

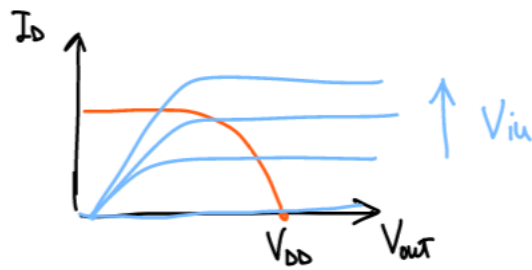
Visto che  $Q_1$  e  $Q_2$  hanno sia i source che i gain in comune, i loro  $V_{SG}$  sono uguali, perciò:

$$\frac{I_D}{I_{ref}} = \frac{k_2}{k_1} \iff I_D = \frac{k_2}{k_1} I_{ref}$$

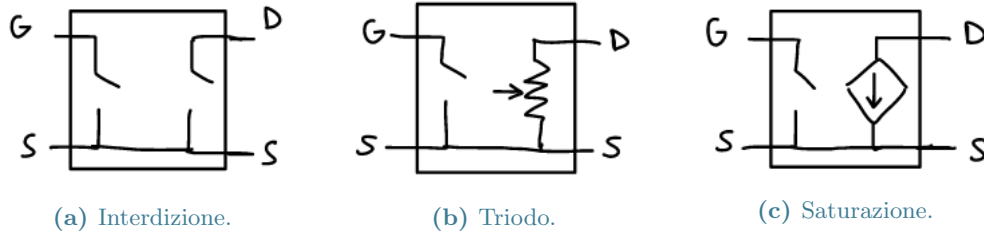
La corrente  $I_D$ , che possiamo regolare cambiando  $k_1$  e  $k_2$  (caratteristiche dei due PMOS), è utilizzata per polarizzare il circuito.

Essendo  $V_{out} = V_{DD} - V_{SD_2} = V_{DS_N}$ , e visto che la corrente tra il PMOS  $Q_2$  e l'NMOS è la stessa, possiamo tracciare le due caratteristiche e studiarne l'intersezione al variare di  $V_{in} = V_{GS_N}$ .

La transcaratteristica è riportata in figura 28. Quando  $V_{in} < V_t$ , la corrente è zero e l'intersezione è fissa a  $V_{out} = V_{DD}$ . Quando l'ingresso supera la soglia, l'NMOS è in saturazione e il PMOS in triodo; la transcaratteristica scende leggermente. Quando  $V_{in}$  arriva al punto in cui entrambi sono in saturazione, la transcaratteristica ha una pendenza molto elevata (infinita se i due transistor sono ideali). Infine, per valori di  $V_{in}$  ancora più elevati, il PMOS è in saturazione e l'NMOS in triodo, e  $V_{out}$  si avvicina asintoticamente a zero.



**Figura 28:** Transcaratteristica dell'amplificatore con tecnologia CMOS.



**Figura 29:** Circuiti equivalenti di un transistor MOSFET nei tre casi.

### 1.16 Circuiti equivalenti per grandi segnali in continua per i tre casi.

Il segnale in ingresso è la differenza di potenziale  $V_{GS}$  tra il gate e il source. Come sappiamo, in un MOSFET il gate è isolato dal source, perciò tra i due c'è sempre un circuito aperto.

Invece, il comportamento in output differisce a seconda di  $V_{GS}$  e  $V_{DS}$ . In particolare, distinguiamo tre casi:

1. *Interdizione*, quando  $V_{GS} < V_t$ . Tra drain e source c'è un circuito aperto (figura 29a).
2. *Triodo*, quando  $V_{GS} > V_t$  e  $V_{DS} < V_{GS} - V_t$ . Tra drain e source c'è una resistenza variabile (figura 29b).
3. *Saturazione*, quando  $V_{GS} > V_t$  e  $V_{DS} > V_{GS} - V_t$ . Tra drain e source c'è un generatore di corrente  $G_m V_{GS}$  (figura 29c).

### 1.17 Struttura e funzionamento della NAND e NOR.

#### NAND CMOS

Il circuito logico NAND implementato con tecnologia CMOS (figura 30a) è composto da due parti: una rete di pull-up con due PMOS in parallelo, e una rete di pull-down con due NMOS in serie. Il vantaggio di usare questa combinazione è che, in statica, per qualsiasi combinazione logica di input  $A$  e  $B$ , non c'è un collegamento diretto tra  $V_{DD}$  e massa, quindi non scorre corrente e la potenza dissipata è nulla.

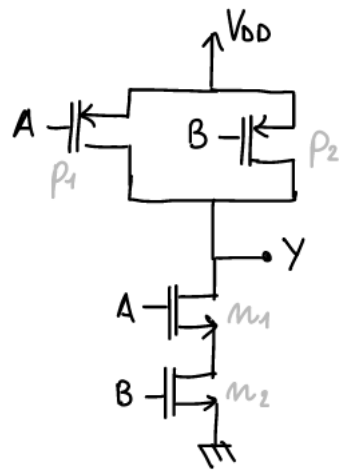
Per quanto riguarda la rete di pull-up, quando almeno uno degli input è basso, almeno un PMOS è in conduzione ( $V_{SG} = V_{DD} > V_t$ ) mentre, nella rete di pull-down, almeno un NMOS è interdetto, per cui l'output è alto ( $V_Y = V_{DD}$ ). Quando entrambi gli input sono alti, entrambi i PMOS sono interdetti, mentre gli NMOS sono entrambi in conduzione. L'output è allora connesso a massa tramite la rete di pull-down, e  $V_Y = 0$  V.

#### NOR CMOS

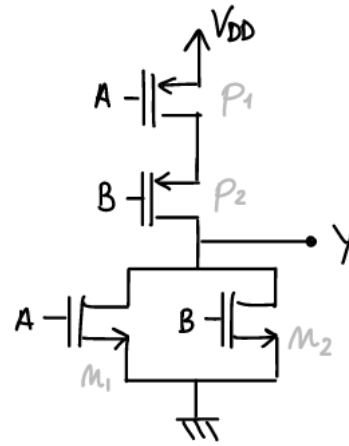
Il circuito logico NOR in tecnologia CMOS (figura 30b) ha una struttura opposta al NAND CMOS: la rete di pull-up vede due PMOS in serie, mentre la rete di pull-down ha due NMOS in parallelo.

Quando entrambi gli input sono bassi, entrambi i PMOS sono in conduzione, mentre gli NMOS sono ambedue in interdizione. L'output è allora  $V_{DD}$ . Tuttavia, se almeno uno dei due input è

alto, almeno uno dei due PMOS è interdetto, mentre uno dei due NMOS è in conduzione, perciò l'output è basso (0 volt).



(a) Circuito NAND CMOS.



(b) Circuito NOR CMOS.

**Figura 30:** Circuiti logici in tecnologia CMOS.