

TP N°1 - ELECTRÓNICA IV:

Convertidores DC/DC y Transistores MOS

Bustelo, Nicolás
61431

Venier Anache, Valentino
60097

Dalla Lasta, Pedro
59502

Resumen—El objetivo de este informe es el análisis de un circuito convertidor DC/DC con topología Boost, además del análisis del comportamiento de los componentes involucrados.

Index Terms—Power Electronics, Boost Converter, DC-DC Converter, Step-Up Converter, Converter Topology, Circuit Analysis.

I. INTRODUCCIÓN

En este informe se detalla el diseño, implementación y análisis de un convertidor Boost DC/DC detallado de forma ideal en la Figura 1 con las siguientes características:

F_{sw}	V_d	V_o	$\Delta V_o / V_o$	V_{GG}	Inductor
55 KHz	9V	20V	5 %	15V	RLB9012-221KL

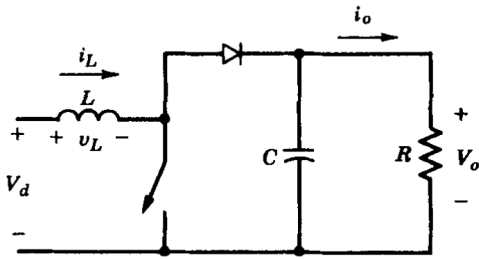


Figura 1: Convertidor Boost ideal genérico.

II. TOPOLOGÍA

II-A. Diseño Ideal

II-A1. Ciclo de trabajo: Dada las condiciones establecidas, se calculó el Duty-Cycle necesario para cumplir con las especificaciones:

$$D = \frac{T_{on}}{T_s} = \frac{V_o - V_d}{V_o} = 0,55 \quad (1)$$

II-A2. Capacitor: Para el cálculo del capacitor de salida se consideró la corriente a la cual satura el inductor. Dicho valor es el valor pico de corriente que circularía por el inductor, el cual está especificado en el datasheet, y viene dado por la siguiente ecuación debido a la configuración del convertidor:

$$\hat{i}_L = \bar{i}_L + \Delta i_L = \frac{i_o}{1-D} + \frac{V_d}{2 \cdot L} \cdot D \cdot T_s \leq 1A$$

De la ecuación anterior se puede obtener:

$$i_o \leq \left[1A - \frac{9V}{2 \cdot 220\mu H} \cdot 10\mu S \right] \cdot (1-0,55) = 357,95mA \quad (2)$$

Consecuentemente, tomando en cuenta el *ripple* solicitado y la corriente calculada en la Ecuación 2, el capacitor resultante es:

$$C_{min} = \frac{\Delta Q}{\Delta V_o} = \frac{i_o \cdot D \cdot T_s}{\Delta V_o} \quad (3)$$

$$C_{min} = \frac{357,95mA \cdot 10\mu S}{0,05 \cdot 20V} \approx 3,58\mu F$$

A partir del resultado, para minimizar el *ripple* a la salida con un componente existente, se optó por elegir un capacitor de un valor comercial de $4,7\mu F$.

II-B. Consideración del diodo

Se escogió un diodo MUR160, puesto que puede soportar una tensión inversa de 600V y corrientes de hasta 1A. Para el caso planteado, la tensión en inversa que debe soportar es 20V, y una corriente de menos de 0,5A. Como el componente en cuestión tiene una caída de tensión en directa de 1V aproximadamente, solo se requiere recalcular la Ecuación 1 con $V_o = 21V$, resultando en un $D' = 0,57$.

Tanto en el diodo ideal como en el diodo real, la corriente que circula en el momento en que se apaga la llave es igual a la del inductor utilizado. La diferencia principal radica en el hecho de que un diodo real tiene una corriente pico inversa (I_{rr}) que está presente tanto en la simulación como en la realidad. Esto se puede ver a continuación en la Figura 2. Como se puede observar, la I_{rr} depende de la carga utilizada debido a que la misma definirá la corriente que circularía en directa, modificando directamente la duración del intervalo (t_{rr}). En consecuencia, aumenta la I_{rr} resultante cuando se quiera 'apagar' el diodo. Esa corriente circulará por el MOS modificando su comportamiento, como se analizará posteriormente.

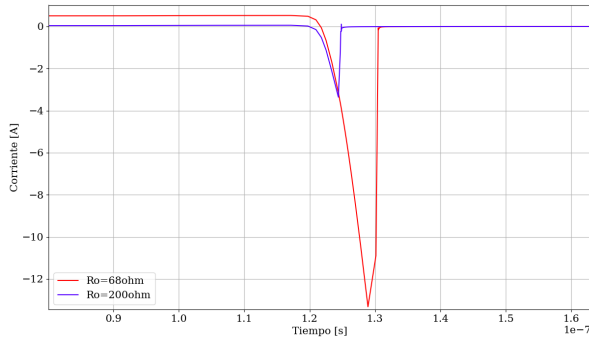


Figura 2: Corriente de recuperación inversa simulada en el diodo MUR160 con diferentes cargas.

II-C. Simulación

A continuación se presenta el circuito propuesto para nuestro estudio. El mismo, a partir del análisis previo, convergió en aquel propuesto por la cátedra con algunas modificaciones adicionales. El resistor comercial de salida que ofrece la mayor carga es de 68Ω .

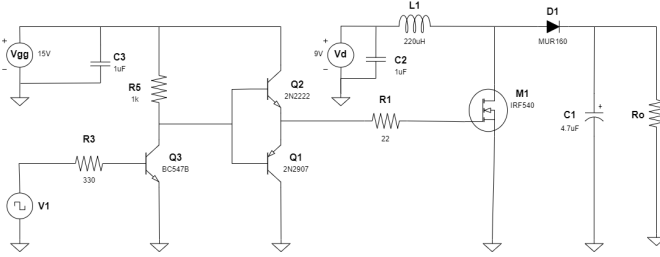


Figura 3: Convertidor Boost implementado.

III. DISPARO DEL MOSFET

III-A. Driver

Como se puede observar en la Figura 3, el generador se conecta a un emisor común, ya que cumple la función deseada sin restricciones. Como no debe soportar grandes corrientes ni grandes tensiones, se utilizó un BC547B con una resistencia de base nominal de 330Ω para tener una corriente de base de un $1mA$ aproximadamente con $V1 = 1Vp$ de cuadrada.

Para lograr un encendido rápido del MOSFET, se colocaron 22Ω de resistencia entre el driver y el gate. Para el *totem pole* se analizó cuál es la corriente máxima que circularía por el gate del MOSFET en las transiciones. Teniendo en cuenta que la tensión de saturación de los transistores entre colector y emisor es de aproximadamente $1V$, se escogieron aquellos cuyas corrientes máximas de colector sean mayores a $(15V - 2 \cdot V_{sat})/22\Omega \approx 536mA$. Como resultado, se decidió por un 2N2222, cuya corriente máxima es de $1A$ y un 2N2907, cuya corriente máxima es $600mA$. De esa manera se asegura que la conmutación se dé lo mas rápido posible sin quemar el driver que activa al MOSFET.

III-B. Curvas de conmutación

Anteriormente en la Subsección II-B, se discutió la influencia del diodo en las conmutaciones del transistor. Como se

puede observar en la Figura 4, durante el encendido se presenta un sobre pico en la curva cuando la carga se lleva a $R_o = 68\Omega$. Esto se da porque al ser la I_{rr} elevada, el MOS debe levantar su tensión V_{gs} para llegar a la corriente nominal que corresponde a dicha corriente, pero como es por un corto periodo de tiempo solo se observa un pico en la tensión de *gate* antes de llegar a la zona plana.

En el apagado del MOSFET no se ven diferencias notables salvo que la zona plana es ligeramente más corta cuando se utiliza un resistor más pequeño. Eso se debe a que el diodo en ese caso conduciría en directa a una mayor corriente haciendo que por *drain* circule una menor corriente en la transición ya que el diodo necesitaría una mayor cantidad de electrones para disminuir la zona de deplexion logrando un tiempo ligeramente menor en el apagado del transistor.

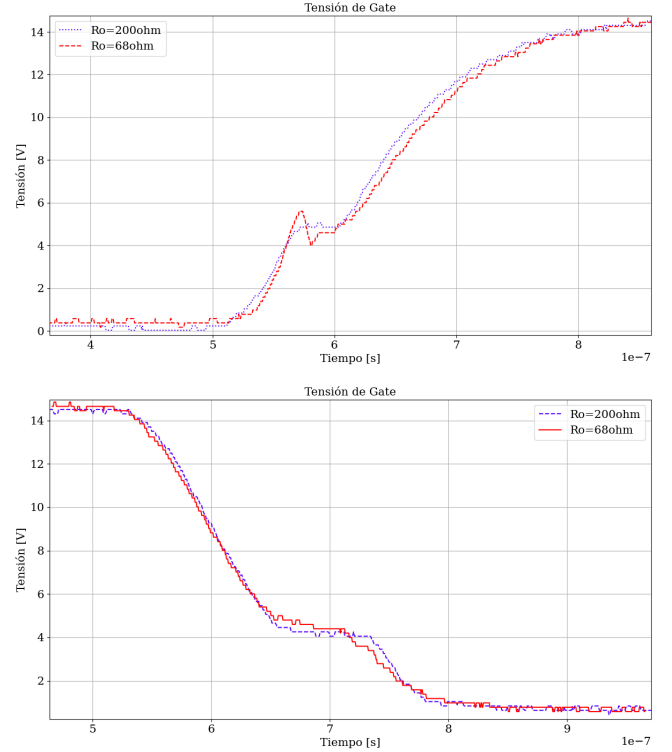


Figura 4: Encendido y apagado del MOS.

IV. POTENCIA

Dada la conmutación de encendido y apagado del MOS, se puede calcular la potencia disipada en el mismo. Sin embargo, primero se deben obtener los tiempos de conmutación (mediante la Ecuación 4 y la Ecuación 5) para poder realizarlo. También se consideraron los valores establecidos en Tabla IV.

$$V_{gsth} = V_{GG} \left(1 - e^{\frac{-t_{delayon}}{R_2 \cdot C_{iss1}}} \right)$$

$$V_{gsio} = V_{GG} \left(1 - e^{\frac{-(t_{delayon} + t_{riseon})}{R_2 \cdot C_{iss1}}} \right)$$

V. IMPLEMENTACIÓN

V-A. PCB

Concluidos el análisis teórico y las simulaciones, se procedió a realizar el PCB. En la Subsección VI-C se encuentra la figura donde puede apreciarse el modelo 3D de la placa y adicionalmente, en la Figura 15 se puede ver el esquemático realizado.

$$t_{vfall_{on}} = \frac{\Delta Q}{I_{GG}} = \frac{\Delta Q \cdot R_2}{(V_{GG} - V_{gsio})} \quad (4)$$

$$V_{gsio} = V_{GGE} \frac{-t_{delay_{off}}}{R_2 \cdot C_{iss2}}$$

$$t_{vrise_{off}} = \frac{\Delta Q}{I_{GG}} = \frac{\Delta Q \cdot R_2}{V_{GG}}$$

$$V_{gsth} = V_{gsio} e^{\frac{-t_{ifall_{off}}}{R_2 \cdot C_{iss1}}} \quad (5)$$

Tiempos	Teórico	Simulado	Medido
$t_{delay_{on}}$	11.60 ns	30.30 ns	38.5 ns
$t_{irise_{on}}$	3.56 ns	1.51 ns	23.43 ns
$t_{vfall_{on}}$	125.71 ns	59.85 ns	73.01 ns
t_{on}	140.87 ns	91.66 ns	134.94 ns
$t_{delay_{off}}$	18.83 ns	197.04 ns	125.48 ns
$t_{vrise_{off}}$	88.00 ns	135.81 ns	84.05 ns
$t_{ifall_{off}}$	8.35 ns	3.29 ns	46.02 ns
t_{off}	115.18 ns	336.14 ns	255.55 ns

Cuadro I: Tiempos de Conmutación.

Luego, utilizando la Ecuación 6, se puede evaluar la potencia disipada en el transistor.

$$P_{dsw} = \frac{1}{2} V_d \cdot I_d \cdot f_{sw} \cdot (t_{ifall_{off}} + t_{irise_{on}} + t_{vfall_{on}} + t_{vrise_{off}}) \quad (6)$$

Teórico	Simulado	Medido
39.09 mW	34.73 mW	38.46 mW

Cuadro II: Potencia Disipada en la llave.

Las potencias resultantes son parecidas y bajas comparadas con la potencia máxima especificada indirectamente en la hoja de datos del fabricante del IRE540 ($\sim 1W$). Por lo tanto, no es necesario un dissipador.

Por otro lado, se puede calcular la potencia disipada en el diodo en directa sabiendo su caída de tensión establecida en la hoja de datos (1V), y la corriente que circula por allí (I_D).

Teórico	Simulado	Medido
358 mW	382 mW	294 mW

Cuadro III: Potencia Disipada en el Diodo.

Parámetro	Valor
V_{gsio}	4.5V
V_{gsth}	4V
Q_g	60nC
C_{iss1}	1700pF
C_{iss2}	2400pF

Cuadro IV: Parámetros para el Cálculo Numérico.



Figura 5: PCB Real vista Superior.

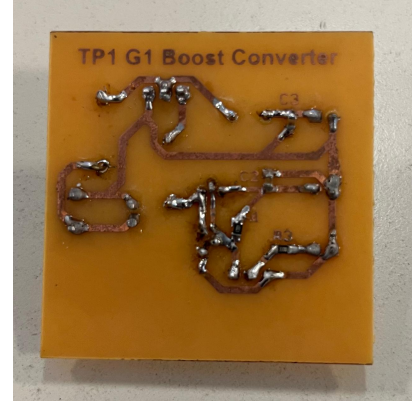


Figura 6: PCB Real vista Inferior.

Para el análisis del *layout*, se tuvieron en cuenta los lazos de corriente que existen en el apagado y el encendido del transistor. Por esta razón, la configuración de los componentes y de las pistas se tuvieron que diseñar detalladamente para prevenir corrientes inducidas no deseadas, evitando lazos de corrientes englobados como se puede observar en las Figura 7 y Figura 8.

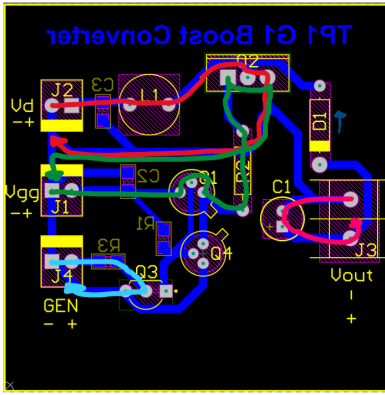


Figura 7: Lazos de Corriente en el Encendido.

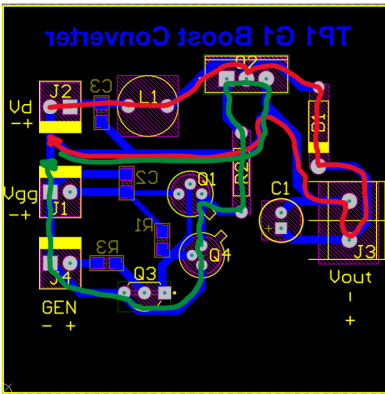


Figura 8: Lazos de Corriente en el Apagado.

V-B. Mediciones

A diferencia de la simulación, se requirió aumentar el *Duty Cycle* a 0,61 para alcanzar la tensión de salida deseada de 20V. Esto es causado por las pérdidas de tensión en un circuito real, tanto la resistencia en serie equivalente del inductor como la de *ESR* del capacitor de salida.

Cabe destacar que el *D* real del MOS no es el establecido en el generador de señal, sino que se encuentra negado y además es menor debido al *driver*.

V-B1. Modo Continuo: Estando en modo continuo, se observó que la tensión de salida resultó tener un *ripple* ligeramente mayor al calculado (6%). Hay dos factores que se tuvieron inferencia en este resultado. En primera instancia, como se muestra en la Figura 9, al utilizar un *Duty Cycle* de 57% se aprecia una caída de tensión a la salida de aproximadamente 1,5V. Esto puede ser provocado por la *ESR* del inductor, que con el valor de 1Ω logra disminuir V_o en dicha cantidad.

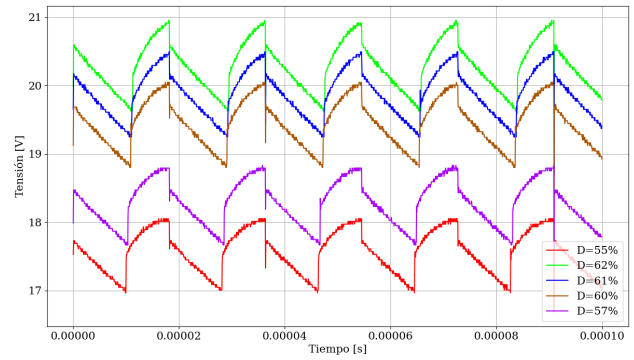


Figura 9: Tensión de salida en modo continuo con diferentes cargas.

Para compensar este defecto, se procede a aumentar el *Duty Cycle* a 61%, pero esto lleva al segundo factor. Volviendo a la Ecuación 3, si el *Duty Cycle* varía y el capacitor utilizado tiene una tolerancia del 20% al ser electrolítico, el *ripple* previamente utilizado tiende a variar, en este caso hacia un valor mayor cercano a $1,2V_{pp}$.

Además se puede apreciar un salto tanto en el apagado como en el encendido, esto se debe a la *ESR* del capacitor asociada. Cuando la corriente circula por el allí, hay una caída de tensión extra que se le agrega al sistema. Los saltos ocurren porque la corriente que circula por el capacitor cambia de sentido.

Para poder medir la corriente en el inductor, se utilizó la función *MATH* y se colocó una resistencia SMD de valor de 1Ω en serie al inductor. Se restaron las tensiones de los terminales de la resistencia siendo el resultado una corriente de aproximadamente de 750mA de valor medio, la cual cumple con lo esperado. En el gráfico se pueden observar picos en las transiciones. El pico negativo se debe a la I_{rr} del diodo mientras que el pico positivo se debe a un error en la medición ya que se utilizó el canal *MATH*.

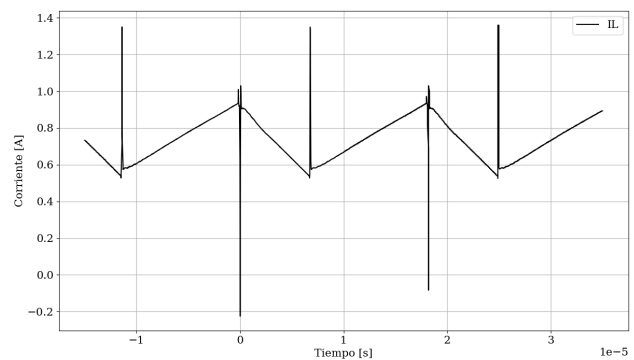


Figura 10: Corriente en el inductor con $V_o = 20V$.

Por otro lado, se puede observar un *overshooting* en la tensión V_{ds} en la Figura 11. Se comprobó que variando el *Duty Cycle* no cambia la proporción del pico, aunque esta sí varía cuando se aumenta la carga (se hace más grande).

Esto se debe al encendido del diodo y a las componentes parásitas del mismo. En la práctica, se pudo apreciar que

colocando un capacitor $150pF$ en paralelo al diodo (es decir un capacitor asociado más alto pero del mismo orden), y el *overshoot* bajaba y las oscilaciones involucradas con ese pido disminuían su frecuencia.

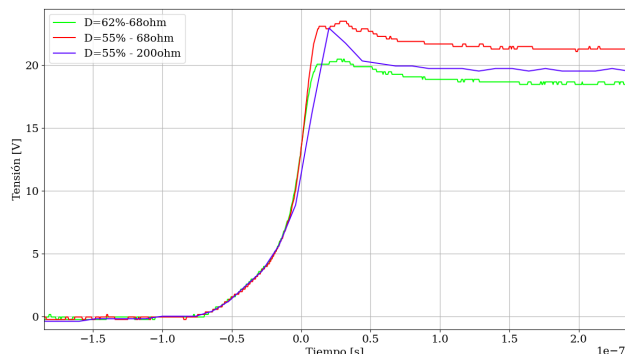


Figura 11: Tensión de Drain con diferentes cargas y diferentes Duty Cycle.

V-B2. Modo Discontinuo: Al operar en este modo se constató lo realmente inestable que es este circuito a lazo abierto sin control del *Duty Cycle* alguno, ya que al variar la carga la tensión de salida cambia considerablemente. Por lo tanto, para mantenerla constante, se debería realimentar el lazo para poder variar el *Duty Cycle* en función de la tensión deseada a la salida.

Para aumentar el valor de la carga alcanzando cifras mayores se hizo uso de un reóstato de potencia. No se modificó el *Duty Cycle* ya que el foco del análisis eran las oscilaciones que aparecen en el *drain* del MOS. Se observan grandes oscilaciones en el encendido de una frecuencia de aproximada de $400kHz$.

Esto se puede explicar analizando el final del ciclo, donde antes de que comience a oscilar el diodo se encontrará en inversa, dejando la capacitancia de salida del MOS cargada a la tensión de salida más 1V (tensión del diodo directa) y el *drain* junto con el inductor se encuentran en circuito abierto en ese punto, lo que generará una oscilación LC hasta el siguiente ciclo. Teniendo en cuenta la inductancia de $220\mu H$ y la $f_0 = 400kHz$, el $C_{oss} \approx 700pF$, y dicho valor coincide aproximadamente con la capacitancia del MOS según datasheet. Cabe destacar que la I_{rr} del diodo en este caso no es significativa, ya que el diodo progresivamente disminuye su corriente en directa logrando así una corriente de recuperación pequeña.

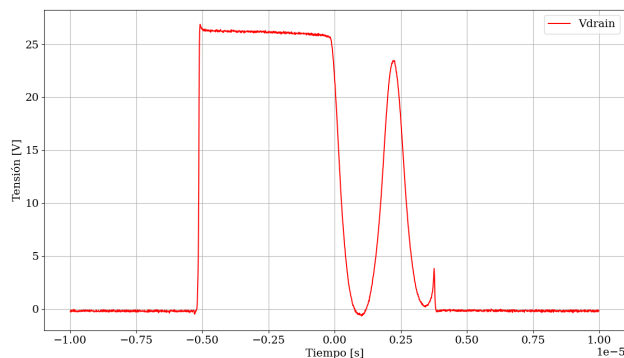


Figura 12: Tensión de Drain en modo discontinuo con oscilación de 400Khz.

VI. CONCLUSIÓN

En este proyecto se han adquirido varias prácticas útiles para el armado de un convertor DC/DC. La capacidad para elevar la tensión de entrada lo hace fundamental en aplicaciones donde se requiere un aumento de tensión. El análisis realizado nos permite identificar posibles desafíos y limitaciones en su implementación, promoviendo el desarrollo de soluciones innovadoras a la hora de desarrollar convertidores. Al comprender sus principios de funcionamiento, podemos aprovechar al máximo su potencial y aplicar el conocimiento para el armado de diversos convertidores en el futuro.

REFERENCIAS

- [1] William P. Robbins, Tore M. Undeland, Ned Mohan .Electrónica de Potencia: Convertidores, Aplicaciones Y Diseño”3ra edición, 2009

ANEXO

VI-A. Formas de onda teóricas

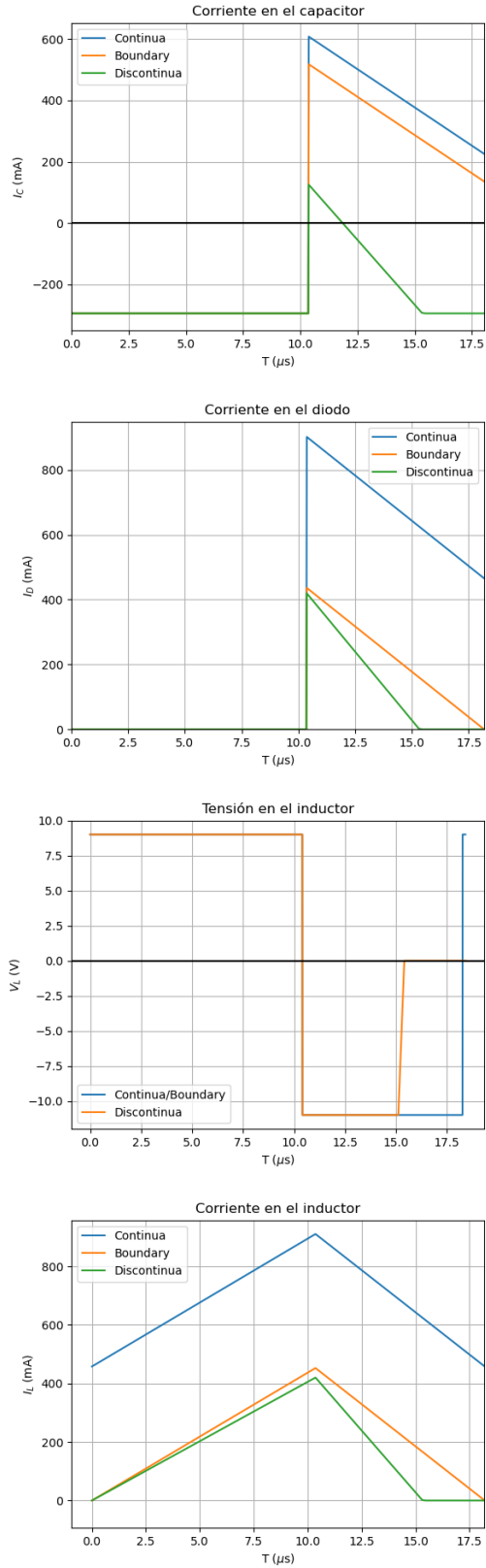


Figura 13: Curvas de comparación de corrientes y tensiones teóricas en los distintos modos del circuito.

VI-B. Modo Boundary

$$\Delta I_{OB} = \frac{\Delta I_L}{2}$$

VI-C. PCB

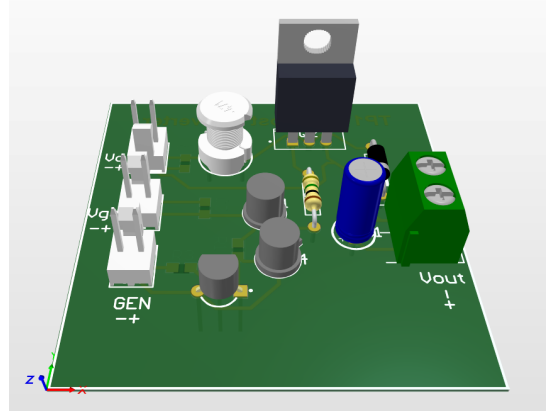


Figura 14: Vista en perspectiva del modelo 3D del PCB.

VI-D. Schematic

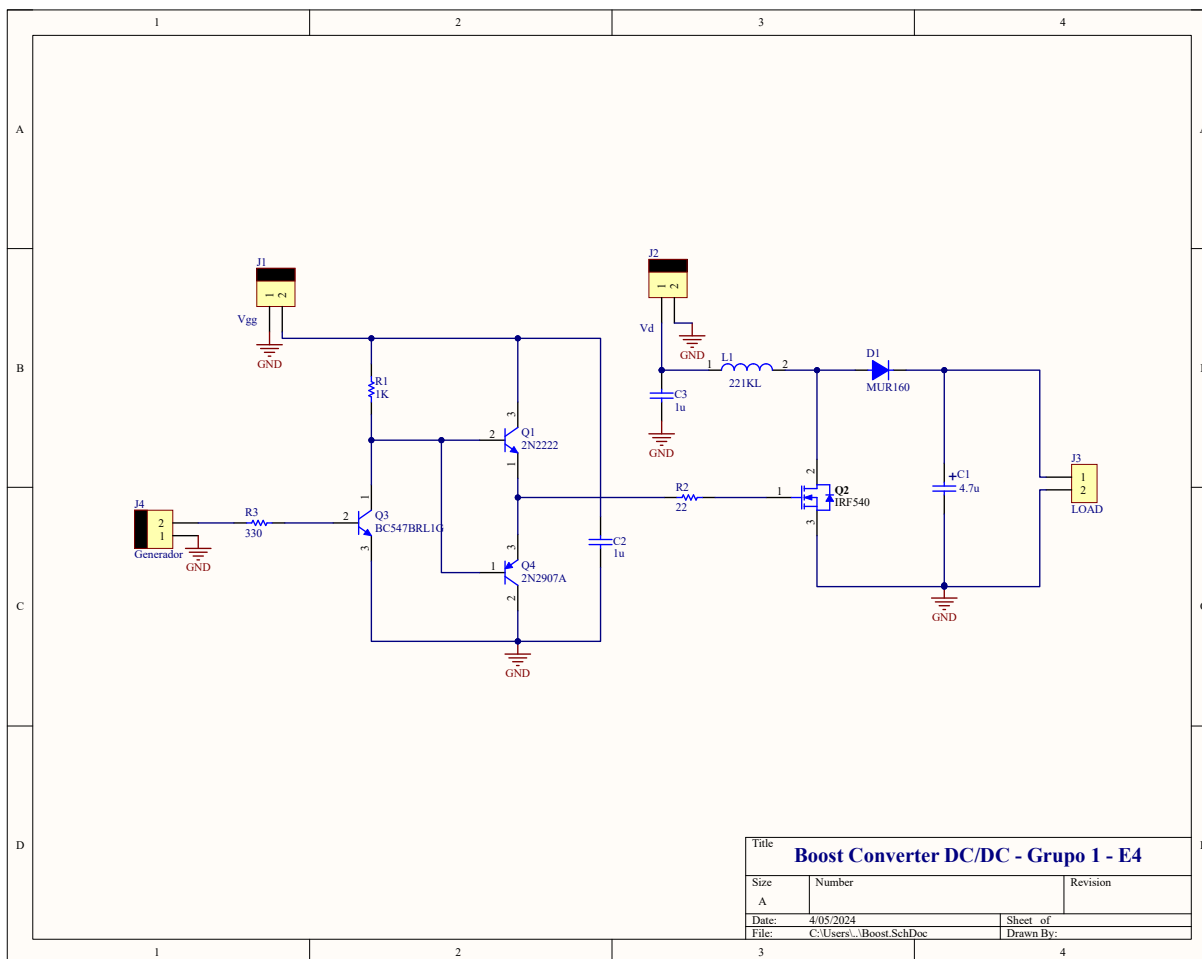


Figura 15: Esquemático realizado en Altium.