

TP N°2 - ELECTRÓNICA IV:

Convertidor Flyback

Bustelo, Nicolás
61431

Venier Anache, Valentino
60097

Dalla Lasta, Pedro
59502

Resumen—El objetivo de este informe es el análisis del convertidor Flyback y su realimentación para una salida estable. Este es un tipo de convertidor DC-DC muy utilizado en aplicaciones que requieren aislamiento galvánico y una alta relación de conversión de voltaje.

Index Terms—Power Electronics, Transformer, Circuit Analysis, Flyback Converter, Switching Circuit, PWM Control, DC-DC Converter, Converter Testing and Measurement.

I. INTRODUCCIÓN

En este informe se detalla el diseño, implementación y análisis de un convertidor Flyback DC/DC detallado de forma ideal en la Figura 1 con las siguientes características:

Vo	Núcleo	Material	Fabricante	AL
5/16 V	E 30/15/7	N87	TDK	19000

Se considera a la tensión V_d como la tensión rectificada de la tensión de línea en Argentina ($\approx 310V \pm 20\%$).

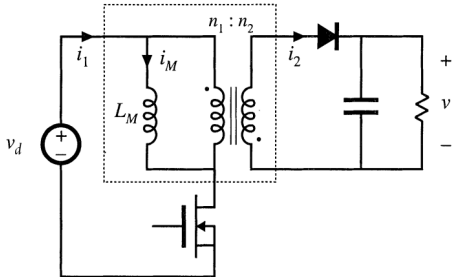


Figura 1: Convertidor Flyback ideal genérico.

II. TOPOLOGÍA

II-A. Diseño Ideal

II-A1. Ciclo de trabajo: A partir de la hoja de datos del controlador SG3525A, se determinó que un *Duty Cycle* del 20% permite trabajar con un buen rango dinámico. Por lo tanto, considerando la tensión de alimentación igual a la tensión de la línea rectificada en Argentina, $V_d = 310V$, se obtuvieron las relaciones de vueltas necesarias entre el primario y los dos secundarios.

$$\frac{N_2}{N_1} = \frac{V_{o2}}{V_d} \cdot \frac{(1-D)}{D} = 0,07742 \quad (1)$$

$$\frac{N_3}{N_1} = \frac{V_{o3}}{V_d} \cdot \frac{(1-D)}{D} = 0,20645 \quad (2)$$

II-A2. Diseño del transformador: Para determinar el número de espiras requeridas para el transformador, hubo muchos factores limitantes dados los requisitos que se plantearon para la salida. Un limitante importante fue la corriente que se escogió para la salida de 5V. Se buscó sacar una potencia de 15W a la salida, por lo cual fue necesario tener una corriente de 3A circulando por la carga.

Por otro lado, se analizó el mismo caso para el otro secundario. Sin embargo, aquí se debe tener en cuenta que esta salida (16V) es la realimentada. Por ende, alimenta al integrado SG3525A una vez que reaccione el *house-keeping*. Por este motivo se escogió para la segunda salida una corriente de 0,5A.

Como consecuencia, se tuvo que utilizar un diodo que supere por lo menos esa corriente deseada, eligiendo así al MBR735, cuya corriente máxima de trabajo es de 7,5A, con una tensión inversa de 35V y picos de corriente hasta 150A.

Asimismo, por el núcleo elegido se sabe que $B_{sat} \approx 200mT$ y considerando un *gap* de 0,2mm, se obtiene un $\mu_e \approx 260$ aproximadamente. Entonces, a través de la Ecuación 3 se verifica que el núcleo no sature con el número de espiras elegido:

$$B_{max} = \frac{1}{2} \frac{\int V_L(t)dt}{NA} + \frac{NI_{DC}}{RA} < B_{sat} \quad (3)$$

Luego de incorporar todos estos requisitos listados se optó por 124 espiras para el primario. En consecuencia, dada la Ecuación 1, corresponden 9,6 espiras para el secundario de 5V, y dada la Ecuación 2, corresponden 25,6 espiras para el otro secundario de 16V.

Dado que el transformador se bobinaba de forma manual, el número de vueltas tiene que ser un número entero, por lo que se optó por 10 espiras para el secundario de 5V, y 26 espiras para el otro secundario de 16V.

Luego se calculó el *efecto skin* para poder bobinar el transformador con el número correcto de hilos de cobre. Se decidió trabajar en una frecuencia de *switching* de 100kHz, considerando una densidad de corriente de $3 \frac{A}{mm^2}$ y utilizando hilos de cobre de diámetro 0,2mm, 0,3mm y 0,6mm respectivamente.

$$SD = \frac{66}{\sqrt{f_{sw}}} \approx 0,2mm \quad (4)$$

$$N_{wires} = \frac{I_o}{J\pi(r^2 - (r - SD)^2)} \quad (5)$$

Para el primario se escogió utilizar un hilo de diámetro de $0,2mm$, para el secundario de $5V$ se utilizaron cuatro hilos de diámetro $0,6mm$, y para el terciario de $16V$ se utilizaron tres hilos de diámetro de $0,3mm$, según lo calculado en la Ecuación 5. Si bien el *efecto skin* afectaba al cable de $0,6mm$ se utilizó igual ya que su redimiento era mayor al 90 % del total del cable lo cual era conveniente su uso para altas corrientes. Por lo tanto:

	N_1	N_2	N_3
D	0,3mm	0,6mm	0,3mm
Hilos	1	4	3

Determinados todos los parámetros necesarios, se procedió a elaborar el transformador, bobinando por capas, utilizando cinta de papel como aislante entre cada una. Luego de alcanzar el máximo de vueltas se incorporó el núcleo y utilizando una lámina de plástico, se logró conseguir el *gap* requerido.

Finalmente, los valores reales de las inductancias del transformador resultaron:

L_p	L_s	L_t
4,3mH	27,1μH	188,9μH

Para calcular la inductancia de dispersión del transformador, se utilizó un analizador de impedancias. Primero, se midió con ambos secundarios abiertos, sabiendo que:

$$L_1 = L_{m1} + L_{d1} = 4,3mH \quad (6)$$

Asumiendo que la inductancia de magnetización es mucho mayor que la de dispersión, si se cortocircuita el secundario y se vuelve a medir el primario se debería obtener la suma de las inductancias de dispersión del primario y el secundario. Entonces se obtiene una $L_d = 59,55\mu H$, que equivale al 1,38 % de L_m , demostrando que la hipótesis asumida fue correcta.

Para calcular L_d del secundario, se utiliza la relación del número de vueltas asumiendo que es equivalente a la del primario:

$$L_{ds} = L_{dp} \cdot \frac{N_s^2}{N_p^2} \quad (7)$$

Así se obtienen $L_{d1} = 247,86nH$ y $L_{d2} = 2,6\mu H$. Cabe mencionar que la inductancia de magnetización medida ($L_{m1} = 4,268mH$) es bastante cercana a la calculada teóricamente ($L_{m1} = 4,459mH$).

II-A3. Capacitor: Para el cálculo del capacitor de salida se consideró la corriente de la salida de $5V$ (3A). Asimismo se tomó la frecuencia antes mencionada de $100kHz$, y 10 % de *ripple*.

$$C = \frac{\Delta Q}{\Delta V} = \frac{I_o DT_S}{\Delta V} \approx 10\mu F \quad (8)$$

II-B. Diseño del Snubber

Para el diseño del *snubber* se partió del siguiente conjunto de valores:

V_C	f_s	I_{N1}	L_{d1}	dV_{sn}	$V_{reflejado}$
200V	100kHz	323mA	59,5μH	10V	≈ 80V

Utilizando estos números se emplearon tres ecuaciones para calcular los componentes requeridos. El *snubber* propuesto consiste en un diodo en serie con una resistencia R_s , seguido en serie por el capacitor C_{sn} en paralelo con la resistencia R_{sn} .

$$R_{sn} = \frac{V_C^2}{\frac{L_{disp}}{2} I_{N1}^2 \frac{V_C f_s}{V_C - V_{reflejado}}} \simeq 52k\Omega \quad (9)$$

$$C_{sn} = \frac{V_C}{R_{sn} f_s dV_{sn}} \simeq 2,6nF \quad (10)$$

$$R_s = \left(\frac{L_{d1}}{C_{sn}} \right)^2 \simeq 150\Omega \quad (11)$$

II-C. Diseño de House-Keeping

Para alimentar al integrado SG3525A se utilizó un sistema de auto-arranque denominado *house-keeping*. En principio se implementó un sistema tal que cuando apenas se encienda el circuito, el integrado tenga la energía suficiente para poder prender hasta que la salida de $16V$ se pueda estabilizar.

Por lo tanto, mediante dos resistencias en paralelo de $1M\Omega$ en la entrada de la alimentación del integrado y un capacitor de $100nF$ que almacena la energía, se pudo cumplir esta función. Gracias a un LED y un diodo *zener* en serie en paralelo al capacitor, se pudo comprobar cuando el capacitor se carga por completo. Una vez ocurrido este suceso, por la realimentación que viene de la salida de $16V$ se le puede dar una alimentación constante al integrado. Como consecuencia, cuando el LED se encuentra prendido, se informa que el integrado ya se alimenta desde la salida.

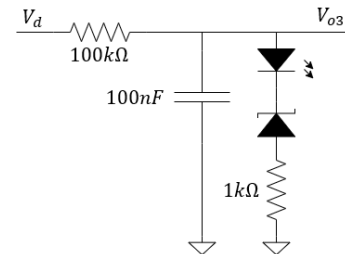


Figura 2: Circuito de auto-arranque

II-D. Conexión del SG3525A

En total, el integrado consta de 16 pines de los cuales se detallará el conexionado a cada uno. Según especifica el *datasheet* del fabricante, la salida V_{ref} (PIN 16) tiene una tensión de $5,124V$, la cuál, mediante un divisor resistivo con el uso de un *preset* para la resistencia a tierra, se pudo regular una tensión que fue utilizada para la entrada del comparador

con el fin de ajustar la tensión de salida. Cabe destacar que el cambio del valor resistivo se encuentra aquí ya que si se encontraba en la realimentación, éste cambiaba la ganancia de lazo.

Como ya se mencionó, al comparador de error le entra V_{ref} compensada al terminal no inversor (PIN 2) y la tensión de realimentación antes del control al terminal inversor (PIN 1). Esta tensión fue denominada V_{fb} (tensión de *feedback*) la cuál es producto de un divisor resistivo a la salida de 16V con valor medio del V_{ref} compensado.

Una de los conceptos más importantes del integrado es el cálculo de la frecuencia de la rampa. Para ello se conectaron una resistencia (PIN 6) y un capacitor (PIN 5) con los valores necesarios para que la frecuencia sea la deseada. Por otro lado, existe un circuito de descarga dentro del integrado (PIN 7) el cual debe ir conectado al capacitor de oscilación. Se debe aclarar que esta frecuencia es el doble de la de *switching*, ya que dos rampas equivalen a un ciclo de pulso del *gate*.

$$f_{tri} = \frac{1}{C_t(0,7R_t + 0,3R_D)} \quad (12)$$

Sabiendo que la frecuencia de *switching* deseada es $100kHz$, $R_D = 0$ y fijando el capacitor $C_t = 5,6nF$, utilizando la Ecuación 12 se calculó que $R_t = 1,2k\Omega$.

Además, se encuentra conectado un capacitor de $1\mu F$ para *soft-start* (PIN 8). Esto permite un encendido mucho más lento al transitorio sabiendo que la tensión mínima de alimentación es de 8V y la corriente de $100\mu A$, por lo tanto, usando la Ecuación 13, es de aproximadamente $10ms$.

$$i_c = C \frac{\Delta V_c}{\Delta T} \quad (13)$$

Por otro lado, se interconectó la salida de 16V a la alimentación del integrado como ya se mencionó en la Subsección II-C (PIN 15 y PIN 13).

En la realimentación, existe una etapa de compensación de polos y ceros que hace que el sistema no oscile en su régimen (más en detalle en la Subsección II-E). Es por este motivo que la salida de esta etapa fue conectada con la compensación del integrado para sumar esto al PWM resultante (PIN 9).

Por último, en la salida *Output B* se obtiene la PWM deseada compensada (PIN 14). Esta tiene en serie una resistencia de 47Ω (elegida con criterio para las conmutaciones) que se conecta a la *gate* del MOS.

Luego, los pines de GND (PIN 12) y *shut-down* (PIN 10) fueron conectados a tierra, mientras que los pines *sync* (PIN 3), oscilación (PIN 4) y *Output A* (PIN 11) no fueron utilizados ya que eran irrelevantes.

II-E. Transferencia

Una parte importante del análisis del circuito es incorporar la transferencia del mismo al criterio del diseño. Para ello, a partir del circuito en la Figura 1, planteando el comportamiento para t_{on} y t_{off} y utilizando el recorrido de las mallas se puede llegar a:

$$i_{L1} = \frac{V_d - i_{L1}r_{L1}}{L1} \quad (14)$$

$$v_C = \frac{1}{C(r_C + R_L)}(i_{L2}R_L - v_C) \quad (15)$$

Ambas ecuaciones como puede apreciarse se corresponden con el encendido de una *Boost* y el apagado de una *Buck*, exactamente como se espera que se comporte el circuito. Con un poco de aritmética se llega a que:

$$\begin{bmatrix} \dot{i}_{L1} \\ \dot{v}_C \end{bmatrix} = \begin{bmatrix} 0 & -\frac{N_2(1-D)}{N_1 L_2} \\ \frac{N_1(1-D)}{N_2 C} & -\frac{1}{CR_L} \end{bmatrix} \begin{bmatrix} i_{L1} \\ v_C \end{bmatrix} + \begin{bmatrix} \frac{D}{L_1} \\ 0 \end{bmatrix} V_d \quad (16)$$

Donde $\bar{A} = DA_{on} + (1-D)A_{off}$, replicándose lo mismo para \bar{B} y \bar{C} . Fijando $I_{med} = 129mA$ y $V_{med} = 16V$ la transferencia resultante calculada es:

$$\frac{\tilde{V}_o}{\tilde{d}} = \frac{-13090(s - 5,631 \cdot 10^5)}{s^2 + 664,9s + 7,209 \cdot 10^7} \quad (17)$$

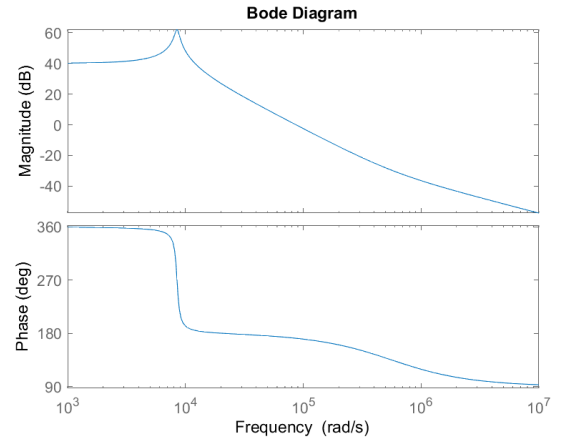


Figura 3: Transferencia Teórica $\frac{\tilde{V}_o}{\tilde{d}}$.

Sin embargo, tras simulaciones en *LTSpice* se observó que con los valores de calculados de forma teórica el sistema oscilaba, por lo tanto se llegó a la conclusión de que como el error de ganancia era lo suficientemente pequeño, no era imprescindible agregar un control integral. Entonces, se eligió una frecuencia del polo en $0,1f_{sw} = 10kHz$ y fijando la resistencia en serie en $10k\Omega$ y utilizando la Ecuación 18, el valor del capacitor en serie es de $63nF$ el cuál se utilizó el más próximo a su valor comercial ($68nF$).

$$f_p = \frac{1}{2\pi R_p C_p} \quad (18)$$

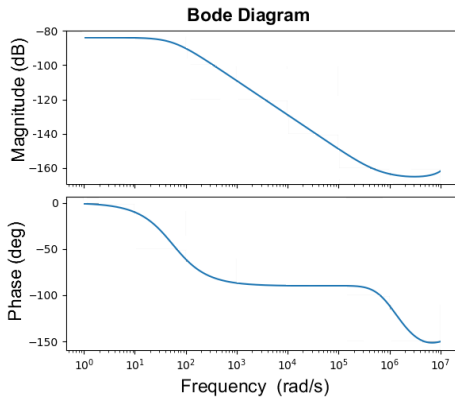


Figura 4: Transferencia del circuito simulado $\frac{V_{o3}}{V_d}$

II-F. Simulación

Antes de realizar las pruebas en PCB se realizaron simulaciones en el programa *LTSpice* donde se agregaron la mayor cantidad de componentes parásitos a la simulación en pos de obtener una simulación más cercana a lo que luego se iba a implementar. Dicha simulación se encuentra en Figura 18

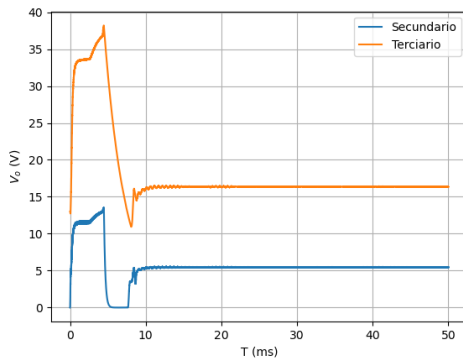


Figura 5: Salidas del secundario (V_{o2}) y el terciario (V_{o3}) simulados

III. IMPLEMENTACIÓN

III-A. PCB

Concluidos el análisis teórico y las simulaciones, se procedió a fabricar el PCB. En la Figura 19 del anexo se puede ver el esquemático utilizado.

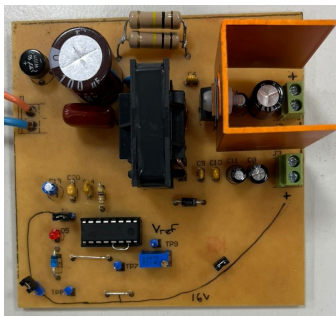


Figura 6: PCB Real vista superior.

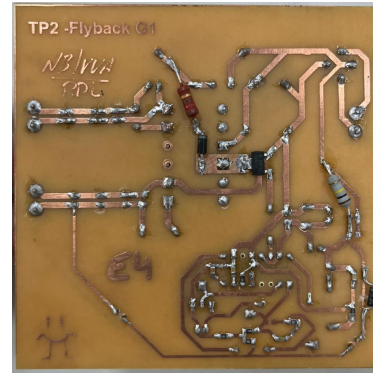


Figura 7: PCB Real vista inferior.

Para el análisis del *layout*, se tuvieron en cuenta los lazos de corriente que existen en el apagado y el encendido del transistor. Por esta razón, la configuración de los componentes y de las pistas se tuvieron que diseñar detalladamente para prevenir corrientes inducidas no deseadas, evitando lazos de corrientes englobados como se puede observar en la Figura 8.

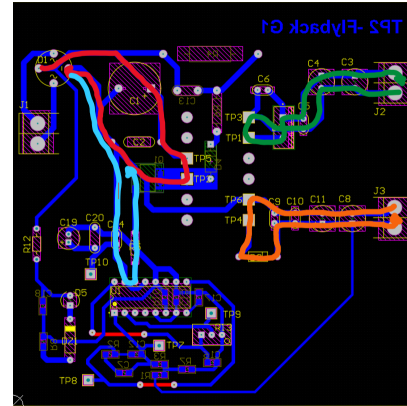


Figura 8: Lazos de Corrientes del PCB.

III-B. Implementaciones Distintivas del Circuito

Para minimizar los efectos parásitos de las pistas, se priorizó que los componentes que se conectaban al inductor se coloquen lo más cerca posible (evitando generar lazos de corriente) y es por eso que el snubber se colocó en la parte inferior de la placa así se lograba tener tanto el snubber como al drain del MOS lo mas cerca posible. Otra consideración importante de layout fueron los capacitores de salida. Al colocar varios de diferentes tecnologías se colocaron los mas pequeños cerca de la parte donde se tenían oscilaciones para filtrar las altas frecuencias y los mas grandes mas cerca de la salida ya que cerca de la misma se esperaba una tensión mucho mas estable por lo que no tienen que filtrar mucho.

En ambas salidas se decidió utilizar cuatro capacitores en paralelo en vez de uno ya que se busca minimizar los efectos de ESR. Dos de ellos son electrolíticos ($47\mu F$ de $100V$ y $22\mu F$ de $25V$) y los otros dos son cerámicos multi-cap ($1\mu F$ y $100nF$).

III-C. Método de puesta en marcha

Para probar el circuito luego de haber probado por separado el transformador y posteriormente soldado todos los componentes, se conectó la entrada del circuito a un *variatic* apagado y con salida mínima. Este a su vez está conectado a un transformador de aislación 1 : 1, que se conecta directamente a la red eléctrica. De este modo el circuito queda aislado y es seguro realizar mediciones sobre el circuito.

Luego de estar los cables y conectores colocados, se coloca una punta en modo $\times 10$ en el *gate* del MOS y otra en la salida del secundario de 16V, comprobando que conmuta conforme paulatinamente se incrementa la tensión del *variatic*, y que la salida se estabilice. Si en algún punto presenta signos de falla se apaga el *variatic* y se comprueba nuevamente el circuito.

III-D. Mediciones

Una vez armado el circuito, se procedió a realizar las mediciones correspondientes. El sistema se probó con una carga de potencia de 100Ω en la salida de 16V, mientras que a la salida de la de 5V se utilizó un reóstato para variar la carga y poder observar cuánto fue la corriente máxima de salida.

Las mediciones de salida se llevaron a situaciones límites, tal es así que a la salida aislada de potencia se le logró sacar una corriente de 4,5A, lo cuál equivalen a $\sim 25W$. Sin embargo, todas las mediciones correspondientes al modo continuo se realizaron con la carga correcta calculada (2Ω), resultando una corriente de 3A (la deseada).

Para el secundario que se realimenta de 16V, se ajustó el *preset* de la resistencia de V_{ref} para estabilizar la salida en la tensión deseada.

Por otro lado, el integrado SG3525A fue alimentado por una fuente de tensión de 16V simulando la tensión V_{o3} para que el mismo tenga una alimentación estable para las mediciones.

En principio se comenzó midiendo la salida de 16V junto a la tensión de *gate* para poder observar que a medida que se aumentaba V_d con el *variatic*, aumentaba la tensión de salida hasta llegar a la tensión correcta, y además, para poder observar como se reducía el *Duty Cycle* de la tensión de *gate* significando así su regulación. Esto se puede observar en la Figura 9.

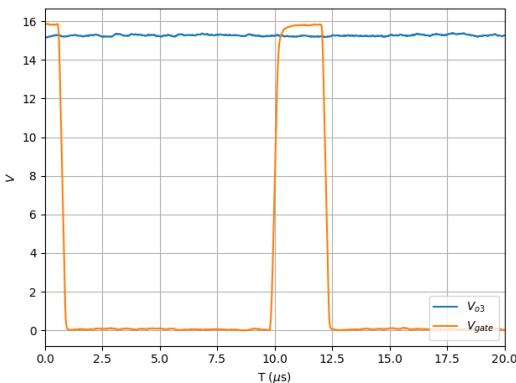


Figura 9: Tensiones V_{o3} y V_{gs} medidas.

Se observó que la frecuencia de oscilación del PWM es menor a la calculada. Esta resultó ser de $87kHz$ en comparación con los $100kHz$ deseados. Sin embargo, al ser una frecuencia relativamente alta, se decidió trabajar con esa frecuencia en las mediciones ya que estaba dentro del rango por la tolerancia de los componentes utilizados para la oscilación.

Luego de confirmar que el circuito regulaba de forma correcta, se midió la salida de 5V. Cabe destacar que al hacer los cálculos de relación de vueltas, uno de los tres bobinados iba a ser distinto a los demás, ya que el número de vueltas no resultó un número entero como se mencionó en la Subsubsección II-A2. Como consecuencia, se le dio prioridad al bobinado del secundario de 16V y se decidió redondear el número de vueltas del secundario de 5V. El resultado de esto fue una tensión mayor a la deseada. Como se puede observar en la Figura 10 la tensión en el secundario resultó ser 5,5V. También se observó la tensión reflejada de este secundario la cuál es vista desde el ánodo del diodo.

En adhesión, debido a una inyección intensa de ruido, se decidió medir con una punta con resorte directamente desde la bornera, la cuál se logró corregir satisfactoriamente (Figura 10).

Las oscilaciones que se observan pertenecen a la i_{rr} del diodo de potencia. En principio, el *ripple* medido es de aproximadamente $700mV$. Se debe mencionar que la tecnología de los capacitores no fue la suficientemente buena para mantener la salida de 5V constante con menor ripple. Aunque se implementaron capacitores electrolíticos de alta tensión para evitar el *derating*, para una frecuencia alta y un alto consumo, su rendimiento es malo.

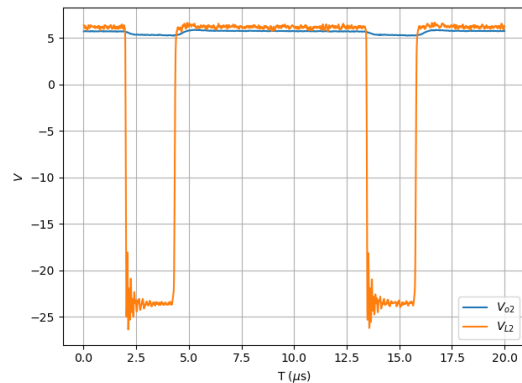


Figura 10: Tensiones V_{o2} y V_{L2} medidas.

Luego de observar ambas salidas, se pudo comprobar que los componentes de la realimentación seleccionados fueron los correctos ya que no oscilan.

Después, se midió la tensión de *drain* del MOS. Esta tiene valores muy altos ya que se está trabajando con mucha tensión, por lo cuál se trabajó con una punta $\times 100$ que fue de utilidad para que el osciloscopio llegue a medir los valores reales.

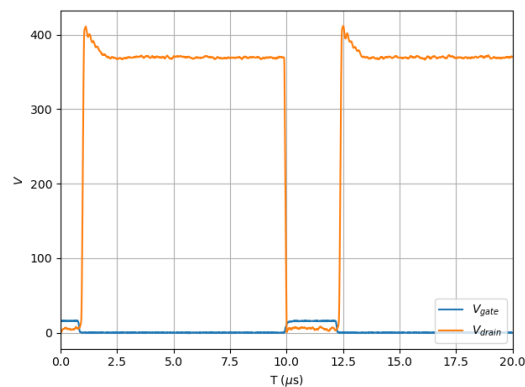


Figura 11: Tensiones V_{ds} y V_{gs} medidas.

En la Figura 11 se observó la tensión de *drain*, mientras que en la Figura 12 la entrada rectificada al primario.

En la tensión de *drain* se nota claramente que el sistema se encuentra trabajando en modo continuo, y además se observa un *overshoot* que se debe a la implementación del *snubber* el cual protege al MOS de la inductancia de dispersión. Además, se puede observar que la tensión máxima que llega el *drain* es de 400V, que es muy lejos a la tensión de ruptura del transistor (800V).

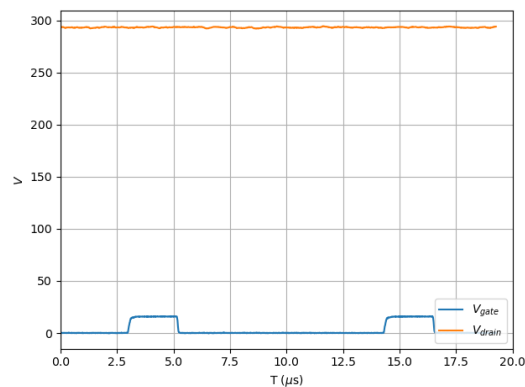


Figura 12: Tensiones V_d y V_{gs} medidas.

IV. CONCLUSIÓN

A través de un enfoque metódico de iteración y detallado, se logró diseñar, construir y probar un convertidor tipo *flyback* con alto rendimiento, cumpliendo con los objetivos establecidos.

El convertidor *flyback* diseñado mostró una notable capacidad para regular la tensión de salida, proporcionando el aislamiento galvánico necesario y manteniendo una alta eficiencia energética. Las pruebas realizadas validaron la funcionalidad del circuito, destacando su estabilidad bajo diversas condiciones de carga y su capacidad para responder adecuadamente a las demandas de regulación de voltaje auto-ajustando el PWM según correspondía.

Durante el proceso de diseño, se enfrentaron y superaron varios desafíos, incluyendo la selección de componentes

adecuados, el diseño del transformador y la implementación de un circuito de control eficiente. La simulación previa a la construcción física del circuito fue crucial para anticipar y resolver diversos posibles problemas, asegurando así un desarrollo más fluido y efectivo.

Este proyecto no solo proporcionó una experiencia práctica valiosa en el diseño y construcción de convertidores DC-DC, sino que también puso en evidencia la importancia de una planificación cuidadosa. Los conocimientos y habilidades adquiridos durante este proyecto servirán como una base sólida para futuros trabajos en el campo de la electrónica de potencia.

En resumen, el proyecto del convertidor *flyback* ha sido una experiencia enriquecedora y educativa. Los resultados obtenidos reflejan el éxito del proyecto y aportan una contribución significativa al conocimiento y a la práctica en el campo de la electrónica de potencia.

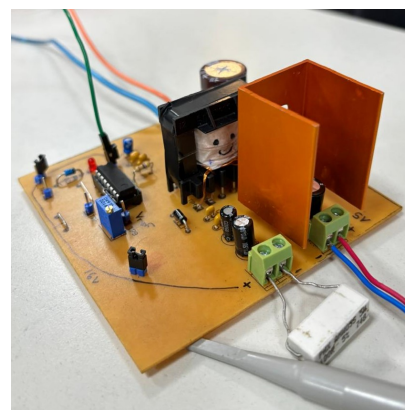


Figura 13: PCB implementado.

REFERENCIAS

- [1] William P. Robbins, Tore M. Undeland, Ned Mohan "Electrónica de Potencia: Convertidores, Aplicaciones Y Diseño" 3ra edición, 2009

ANEXO

IV-A. Formas de onda teóricas

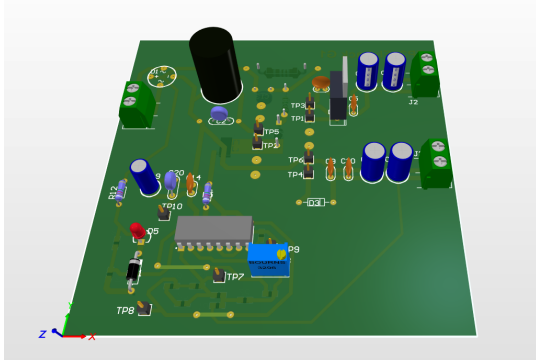


Figura 14: Vista en perspectiva del modelo 3D del PCB.

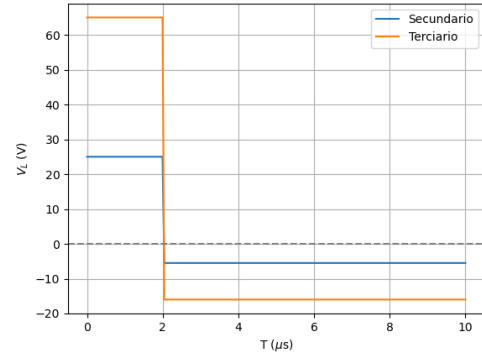


Figura 17: Tensiones de las inductancias N_2 y N_3

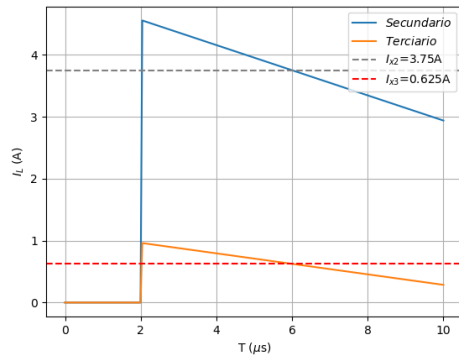


Figura 15: Corrientes de las inductancias de I_{L2} e I_{L3}

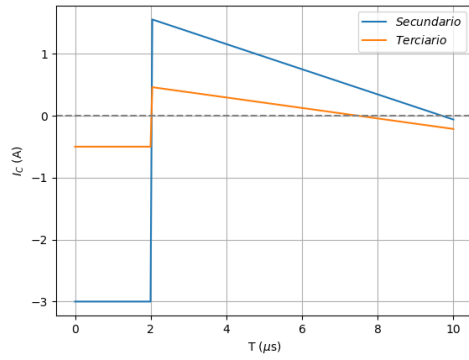
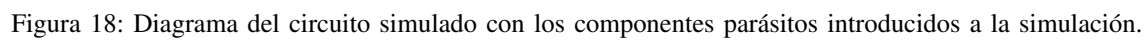


Figura 16: Corrientes de los capacitores de salida

IV-C. Esquemático de Altium

8



IV-C. Esquemático de Altium

