

TP N°3 - ELECTRÓNICA IV:

Convertidor Trifásico

Bustelo, Nicolás
61431

Venier Anache, Valentino
60097

Dalla Lasta, Pedro
59502

Resumen—El objetivo de este informe es el análisis del inverter y la importancia de su proceso de diseño.

Index Terms—Power Electronics, Circuit Analysis, Inverter, Switching Circuit, PWM Control, Inverter Testing and Measurement.

I. INTRODUCCIÓN

En este informe se detalla el diseño, implementación y análisis de un convertidor Inverter, detallado de forma ideal en la Figura 1 con las siguientes características:

m_f	m_a	F	MOS	Integrado
≤ 33	≤ 1.3	50Hz	IPD50R650CEAUMA1	UCC27710DR

Se considera a la tensión V_d como la tensión rectificada de la tensión de línea en Argentina ($\approx 310V \pm 20\%$).

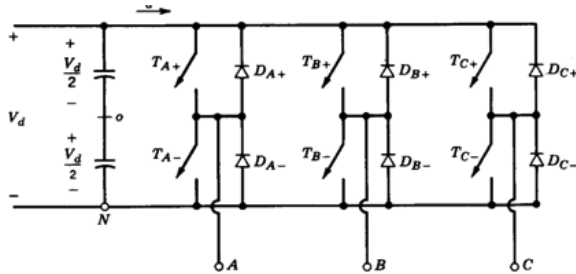


Figura 1: Inverter ideal genérico.

II. DISEÑO

II-A. Simulación

Para hallar los mejores parámetros para la modulación del inverter, se recurrió a la plataforma de Matlab, utilizando la biblioteca Simscape para armar mediante bloques en Simulink el modelo ideal propuesto en el Mohan, con $m_a = 0,8$ y $m_f = 15$.

Luego de corroborar el correcto funcionamiento utilizando una carga de $R = 20\Omega$, $L = 1mH$ idéntica para evitar el desbalanceo, se procedió a investigar los valores óptimos para lograr la salida buscada. Buscando que la amplitud de la salida pueda regularse de manera lineal, se optó por mantener m_a en 0.8 para operar en dicha zona ($m_a \leq 1$). Para eliminar la mayor cantidad de armónicos posibles, m_f debía ser impar y múltiplo de 3, por lo que finalmente se decidió utilizar $m_f = 33$. Esto se puede explicar puesto que para valores muy

grandes de m_f , subarmónicos en cero y cercanos a cero pese a su baja amplitud resultan en grandes corrientes que serían poco deseables, y a valores pequeños para eliminar a los armónicos pares m_f debe ser impar. En adición, si m_f es múltiplo de 3 entonces los armónicos más dominantes de la tensión línea-a-línea se cancelan. También se reduce la vibración en el motor, así como el calentamiento del mismo.

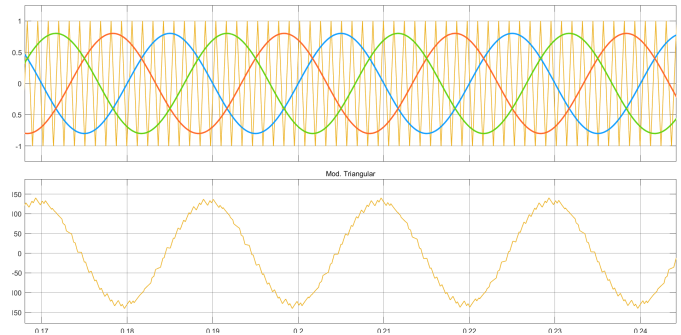


Figura 2: Salida de la simulación, contrastada con las señales del PWM

La tensión línea-a-línea, anteriormente mencionado, puede describirse como:

$$V_{LL} = \frac{\sqrt{3}}{\sqrt{2}} \hat{V}_{AN} = 0,612 m_a V_d = 152,327 V_{rms} \quad (1)$$

En la simulación puede apreciarse que V_{LL} alcanza valores cercanos a $138,8 V_{rms}$, lo cual es entendible puesto que la carga empleada al simular no es ideal. No obstante, como se observará más adelante, los resultados arrojados son bastante cercanos a lo visto al medir la placa.

Si se aumenta el valor de m_a a un valor muy grande (por ejemplo 100) se podría apreciar otro tipo de modulación: la modulación de onda cuadrada. En la misma cada switch está prendido durante 180° (un Duty del 50%) por lo tanto, en cualquier instante, siempre hay tres llaves encendidas. En este tipo de modulación, el inverter no puede controlar la amplitud de la salida de la tensión AC, por lo que se requiere que se controle la tensión de entrada V_d para controlar la misma. Consecuentemente, la tensión línea-a-línea ahora se describe como:

$$V_{LL} = \frac{\sqrt{3}}{2} \frac{4}{\pi} \frac{V_d}{2} = 0,78V_d = 242,679V_{rms} \quad (2)$$

Mientras que en la simulación la tensión resultante es $229,45V_{rms}$. Si comparamos ambas salidas una junto a la otra se puede ver cómo la modulación cuadrada tiene mayor amplitud, a coste de una distorsión armónica mucho mayor:

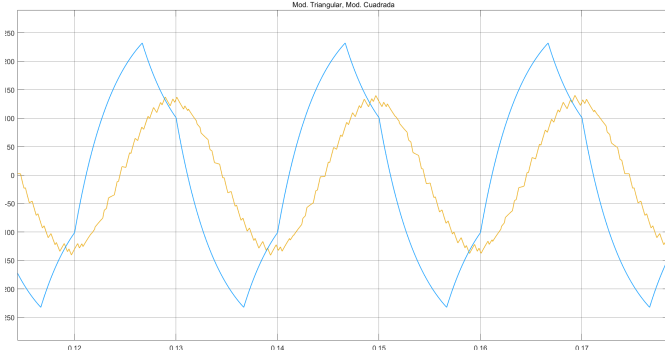


Figura 3: Comparación entre ambos métodos de modulación

III. CONTROL DE DISPARO

El sistema de control de disparo de las ramas se basa en la implementación de una placa UPduino v3.0 la cual contiene un módulo FPGA.

La programación se basa en tres módulos principales de los cuales se interconectan para lograr seis salidas.

El primer módulo *TriangularWaves* se encarga de generar una señal triangular la cuál tiene amplitud y frecuencia configurables ya que una de las funciones que debe poderse hacer es cambiar los índices de modulación, tanto m_f como m_a . Este bloque se basa en un contador de 12 bits signados que cuando llega a su máximo valor se decrementa y cuando llega a su mínimo valor se incrementa. De esta forma y con un divisor de *clock* a la mitad del valor real ($12MHz$) se genera una señal triangular de frecuencia $1490Hz$.

El segundo módulo *ModulatingWaves* es el más importante de los tres. Su función principal se basa en buscar datos en una LUT establecida en memoria SRAM con funcionamiento de $1MHz$. Son tres los punteros que recorren la tabla indicando la posición de cada valor correspondiente a las tres señales de un sistema trifásico, es decir, cada puntero se encuentra desfasado 120° en representación de una señal real.

En la LUT se encuentran 10000 muestras de medio ciclo de senoide en donde cada muestra es de 12 bits. Con este muestreo y con el módulo mencionado, se puede recrear una senoide completa de 20000 muestras ya que si se recorre la tabla de forma inversa y con el valor de la tabla negado, se obtiene el medio ciclo faltante. El primer puntero comienza en la posición 0 con el valor de la tabla contando en forma ascendente, el segundo puntero comienza en la posición 6666 con el valor de la tabla contando en forma ascendente, y el tercer puntero comienza con el valor de la tabla negado contando en forma descendente. Aquí se obtienen los valores iniciales de tres senoides desfasadas 120° .

Como no se pueden rescatar tres valores a la vez en un mismo ciclo de *clock*, se utiliza una máquina de estados en la cuál busca los valores de a uno para luego en el doceavo ciclo ponerlo en la salida. Esto se puede hacer ya que como la salida cambia cada $1\mu s$ y el *clock* interno trabaja en menos tiempo, se utiliza ese tiempo para poder rescatar los datos.

El tercer módulo *Comparator* es simplemente un comparador que observa dos valores de 12 bits y dependiendo cuál sea el valor, en la salida habrá un 1 o un 0. Si la entrada proveniente de la senoide generada es mayor que la señal de la triangular, la salida será un 1, caso opuesto la salida será 0. Como esta es la salida final de uno de los MOS de una rama, este módulo también tiene una salida extra que es exactamente la opuesta a la salida original. Dado con esto incluido, ya se obtienen las dos señales para una rama, una para el MOS superior y otra para el MOS inferior. Por lo tanto, habrá tres comparadores en total, lo cuál generan las seis salidas para las tres ramas correspondientes.

Una vez obtenidos los tres bloques, se designaron los pines de salida y se conectaron al PCB del *inverter*.

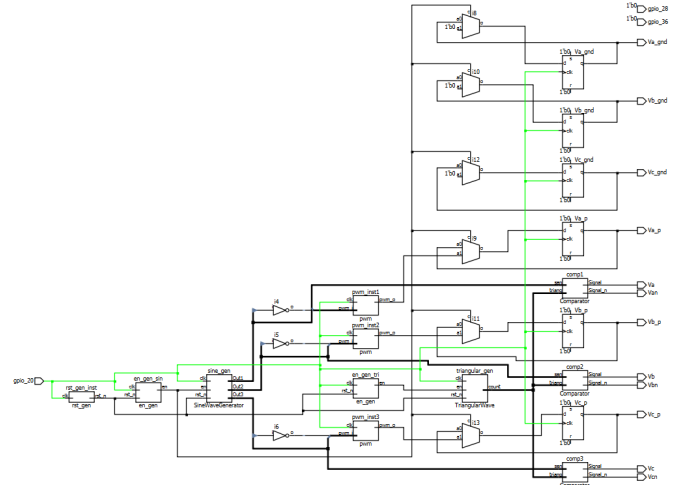


Figura 4: NetList de Programación.

IV. IMPLEMENTACIÓN

IV-A. PCB

Concluidos el análisis teórico y las simulaciones, se procedió a fabricar el PCB. En la Figura 16 del anexo se puede ver el esquemático utilizado.

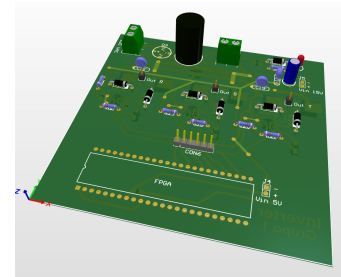


Figura 5: Modelo PCB en Altium.

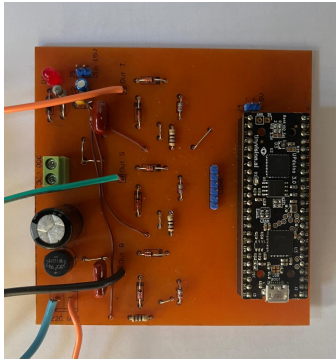


Figura 6: Placa vista superior.

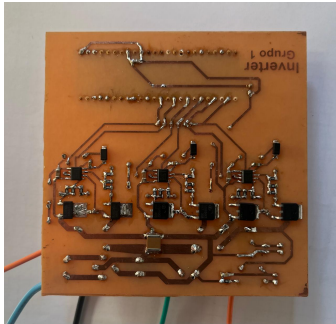


Figura 7: Placa vista inferior.

Para el análisis del *layout*, se tuvieron en cuenta los lazos de corriente que existen en el apagado y el encendido del transistor. Por esta razón, la configuración de los componentes y de las pistas se tuvo que diseñar detalladamente para prevenir corrientes inducidas no deseadas, evitando lazos de corrientes englobados. Tras numerosas iteraciones se logró obtener el *layout* deseado que se puede observar en la siguiente figura:

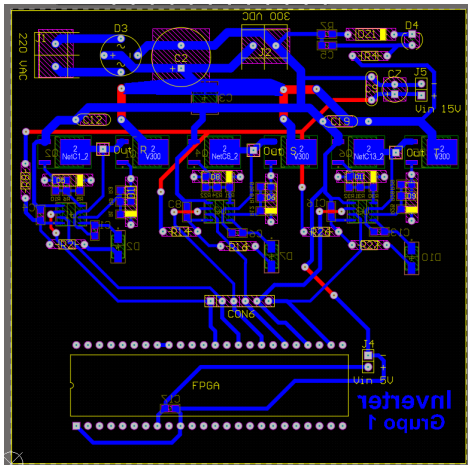


Figura 8: Layout del PCB

IV-B. Método de puesta en marcha

Para probar el circuito, se conectó la entrada del circuito a un *variac* apagado y con salida mínima. Este a su vez está

conectado a un transformador de aislamiento 1 : 1, que se conecta directamente a la red eléctrica. De este modo el circuito queda aislado y es seguro realizar mediciones sobre el circuito.

Luego de estar los cables y conectores seguramente colocados, se coloca una punta en modo $\times 10$ en el *gate* y en el *drain* del MOS. Si en algún punto presenta signos de falla se apaga el *variac* y se comprueba nuevamente el circuito.

V. MEDICIONES

Una vez armado el circuito, se procedió a realizar las mediciones correspondientes. Antes de medir se aisló el osciloscopio con otro transformador de aislamiento 1 : 1 por seguridad.

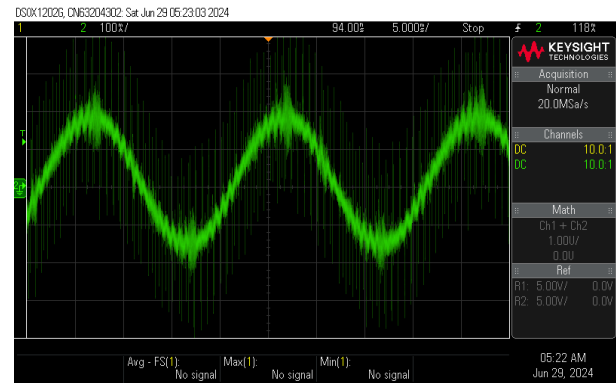


Figura 9: Corriente de una fase alimentando al inverter con 50VAC.

La corriente de fase es exactamente como se esperaba, con el ruido de conmutación reflejándose alrededor de la onda senoidal.

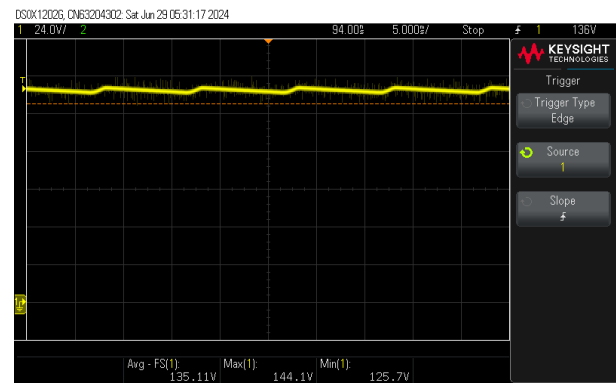


Figura 10: Vdrain con 100VAC

En la tensión del Drain se puede apreciar un *ripple* del 6,8 %, es aceptable considerando la magnitud de V_{drain}

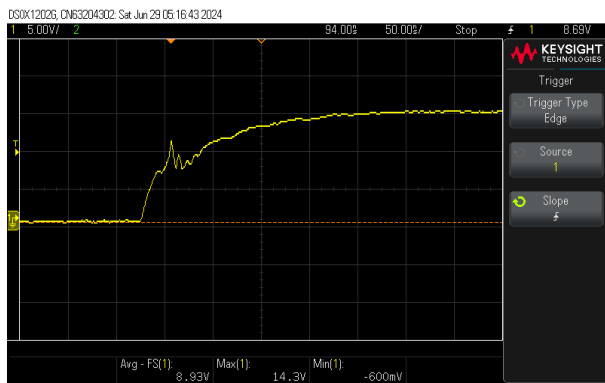


Figura 11: $V_{gate} Q_1$ ON

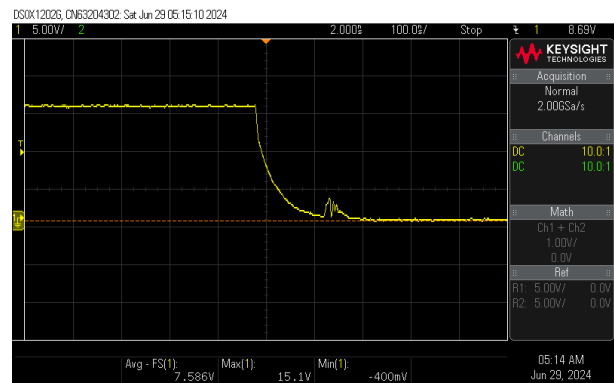


Figura 14: $V_{gate} Q_2$ OFF

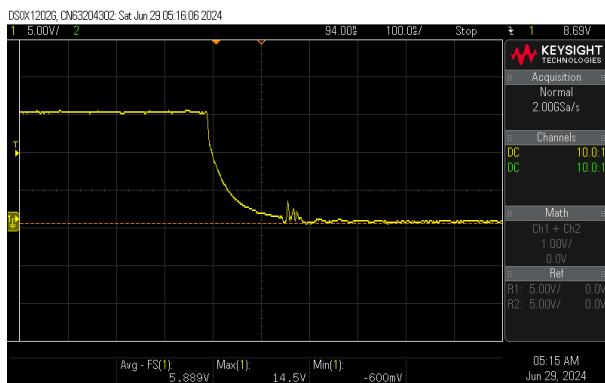


Figura 12: $V_{gate} Q_1$ OFF

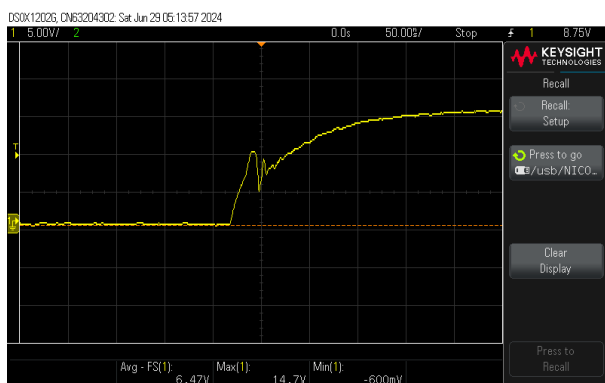


Figura 13: $V_{gate} Q_2$ ON

Tanto en la Figura 11 como en la Figura 13 se ve que luego del sobrepico disminuye la tensión. Esto es el transistor intentando apagarse. Pese a ello no es un impedimento para el funcionamiento del circuito.

El efecto opuesto ocurre en la Figura 12 y la Figura 14, con iguales resultados.

Una observación que cabe señalar fue que, durante las complicaciones que aparecieron en las mediciones, en ningún momento se quemaron los driver, por más que los MOS sí lo hicieron y quedara V_{gs} en corto estos componentes se mantuvieron intactos. Se los recomienda emplear para el disparo de los transistores.

VI. CONCLUSIÓN

A través de un enfoque metódico de iteración y detallado, se logró diseñar, construir y probar un convertidor tipo *Inverter trifásico*, cumpliendo con los objetivos establecidos.

REFERENCIAS

- [1] William P. Robbins, Tore M. Undeland, Ned Mohan “Electrónica de Potencia: Convertidores, Aplicaciones Y Diseño” 3ra. edición, 2009.

ANEXO

VI-A. Simulación de Matlab

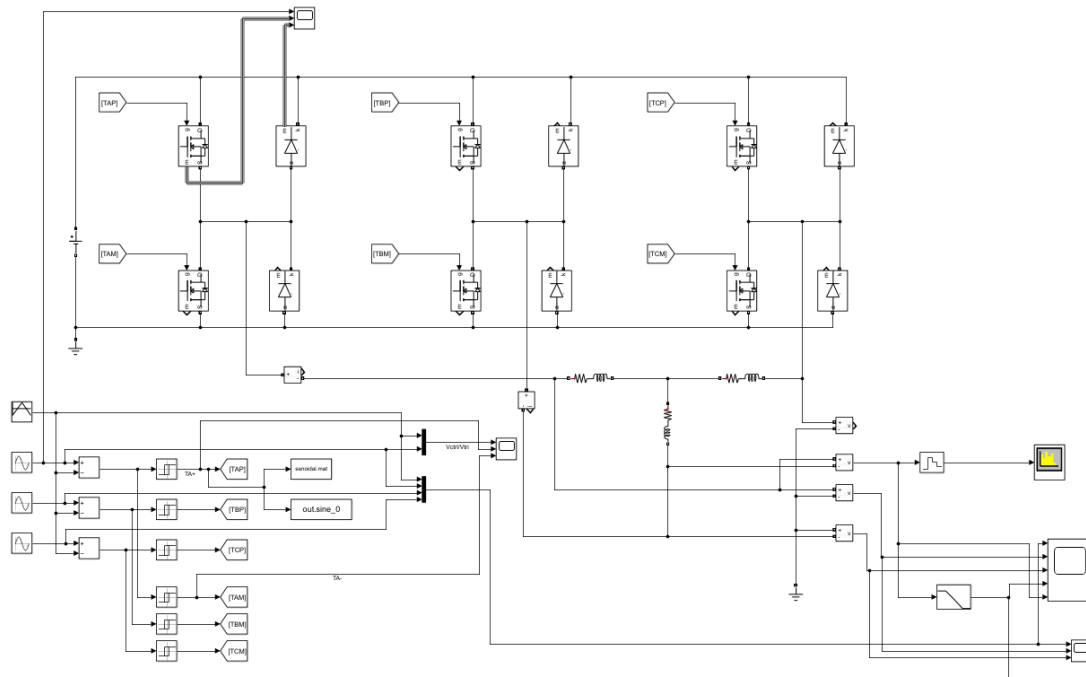


Figura 15: Esquema del diagrama de simulink

VI-B. Esquemático de Altium

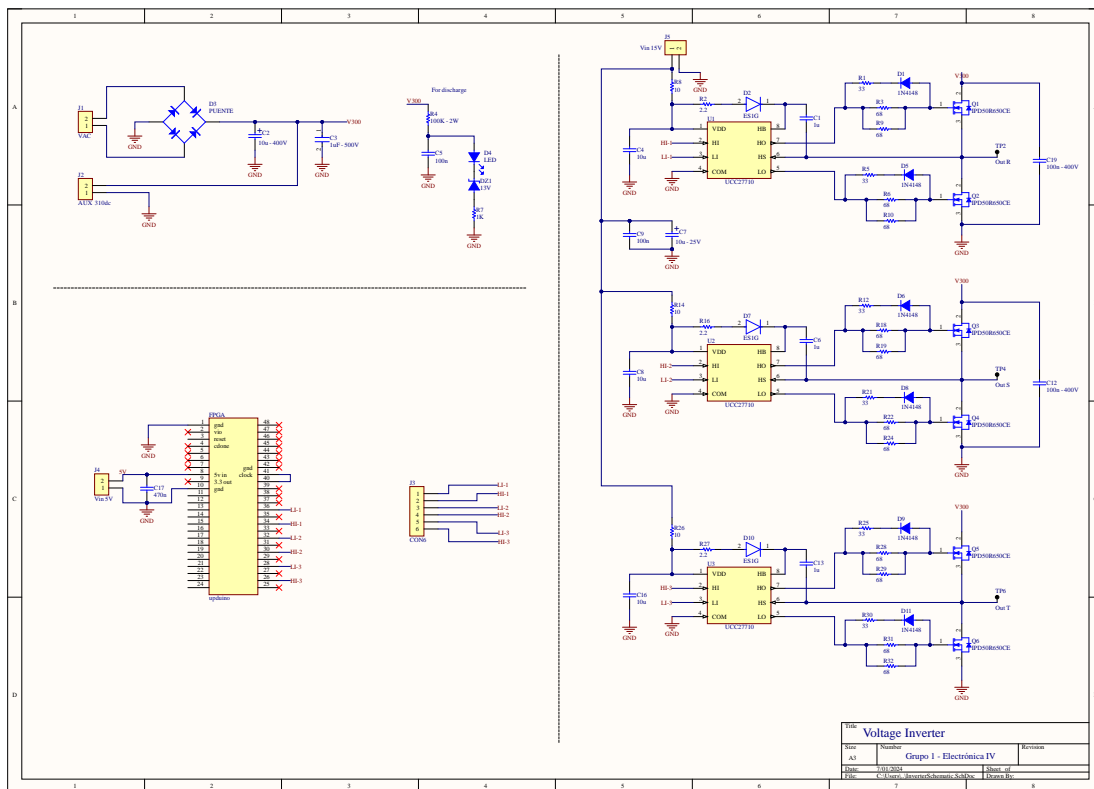


Figura 16: Esquemático del circuito implementado.