|  |
| --- |
| **實驗三** |
| *Adder, subtractor, multiplexer* |

|  |
| --- |
| 學生: 謝旻錡  學號: 313512078  日期: 2025/03/22 |

1. **實驗目的**

藉由實驗學會使用 FPGA 完成加法、減法及乘法的功能。Part1及part 5也順便複習lab1的full adder。

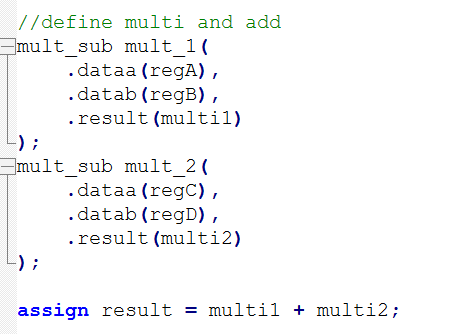
1. **實驗程式碼**

Part6 demo題，目標為 ，整體架構為兩個 8bit 乘法器的輸出相加得到答案，並將輸入及輸出顯示在7段顯示器上。

Table . input/ output table

|  |  |  |  |
| --- | --- | --- | --- |
| Input | | Output | |
|  | Reset |  | Carry out |
|  | clk |  | A or C |
| (select1) | 1: select A / B;  0: select C/ D |  | B or D |
| (change\_dis) | 1: display AB/CD  0: display S |  | sum |
|  | Write enable |  |  |
| (select2) | 1: display AB  0:display CD |  |  |
|  | Value of input |  |  |

* 先架構演算法主體 ，用LPM宣告兩個乘法器，竟將其輸出相加得到答案。

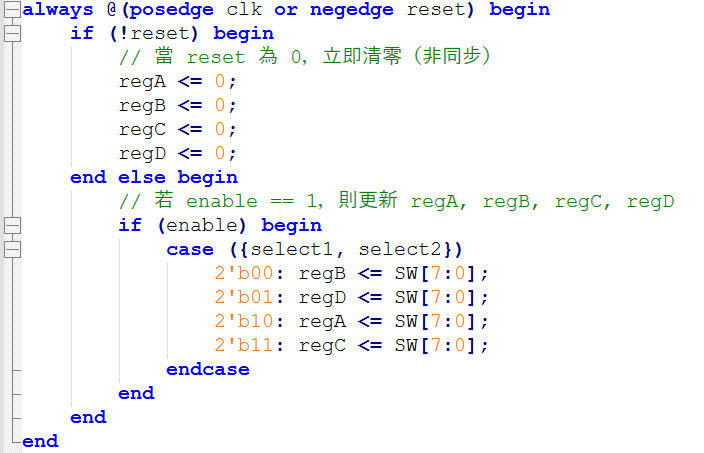


Figure

* 規定輸入與reset、enable、select1及select2的控制關係。

如果 reset 為TRUE，則輸入歸零。

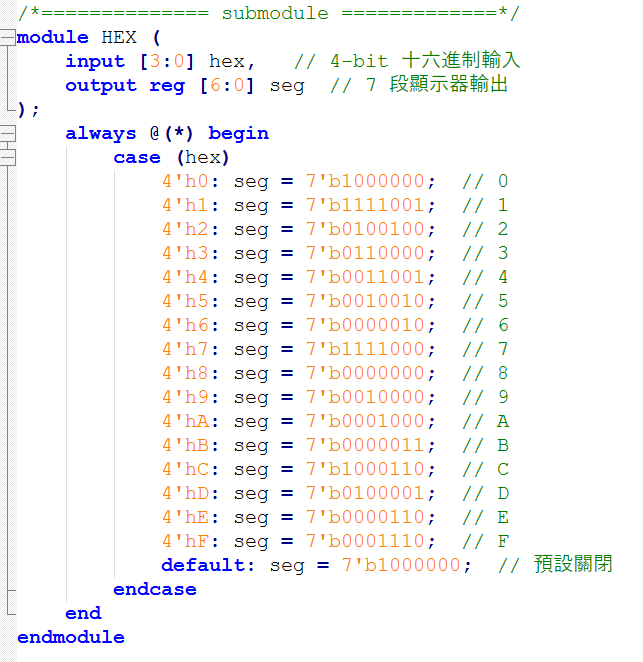
當enable為TRUE時，才能寫入輸入值，且依據select1及select2之值，選擇將輸入值，賦予A/B/C/D。



Figure

* 7段顯示器模組

2進制轉16進制的顯示器功能。

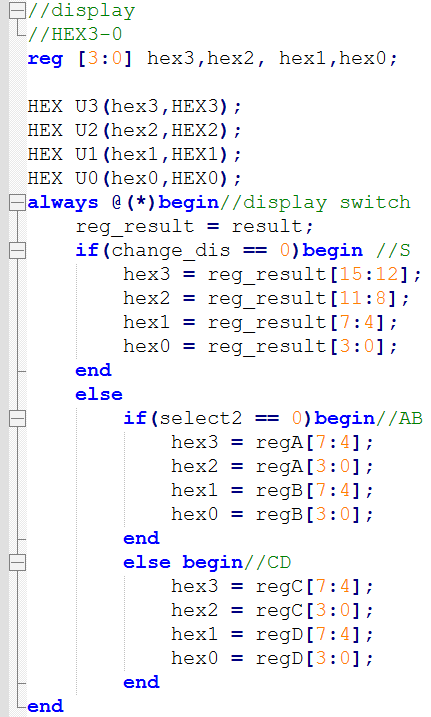


Figure

* 設計7段顯示器切換顯式的功能(A/ B/ C/ D/ S)

如果Cchange\_dis 為FAULSE，則顯示S算術結果。

如果Cchange\_dis 為TRUE，則顯示輸入值。且當select2為FAULSE，顯示AB值；當select2為TRUE，顯示CD值。



Figure

* Overflow LED



1. **實驗結果照片(optional)**

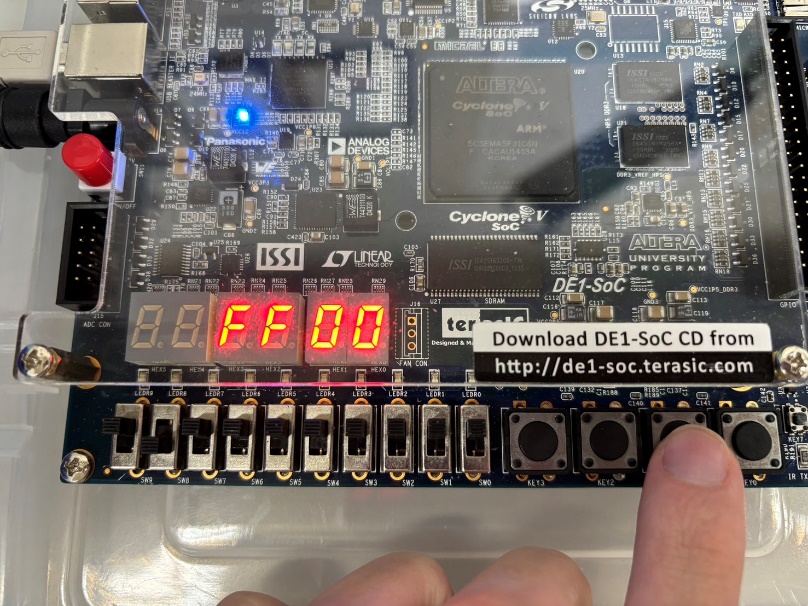


Figure . 設定A值

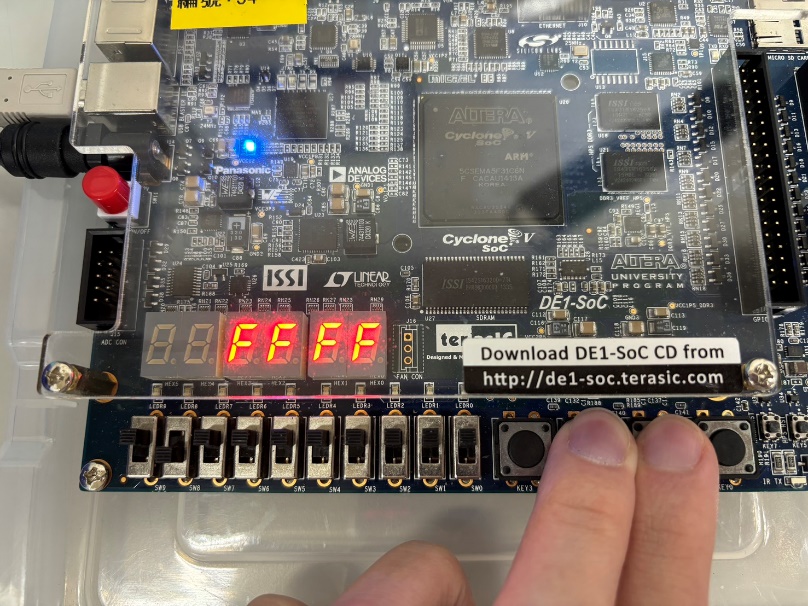


Figure . 設定B值

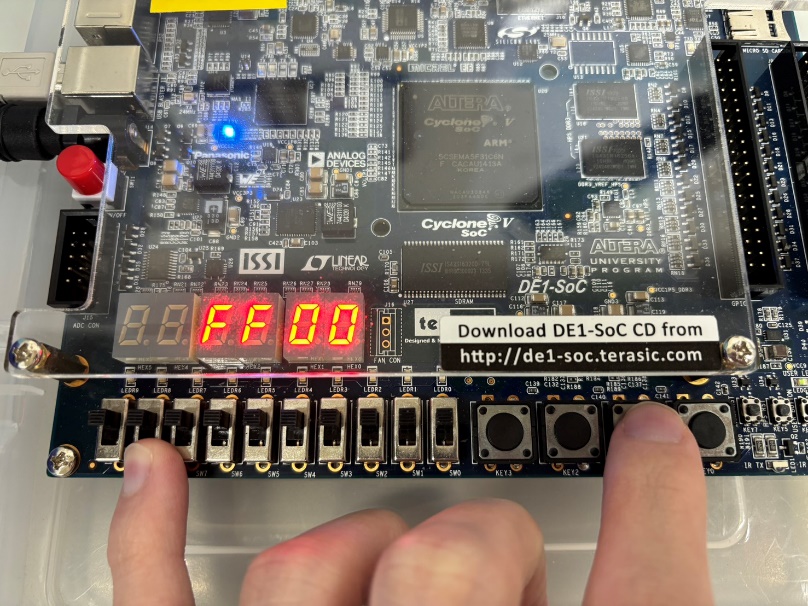


Figure . 設定C值

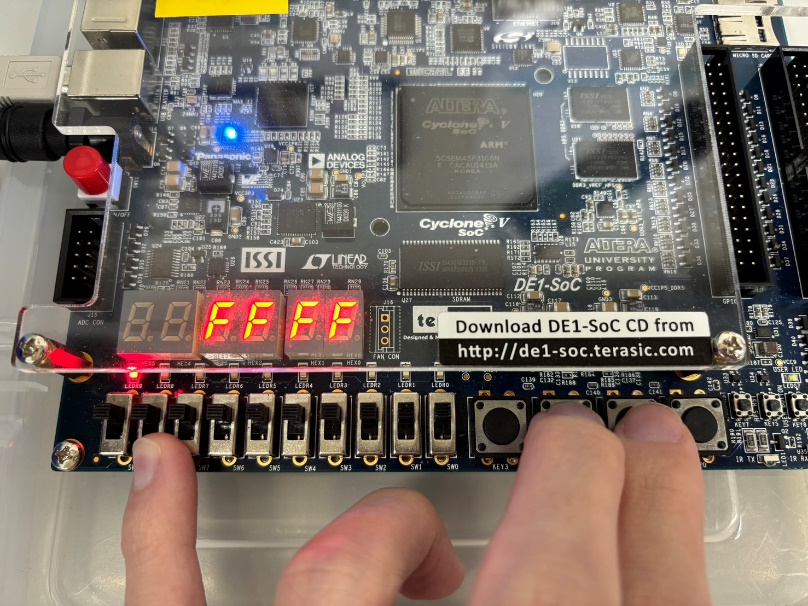


Figure . 設定D值

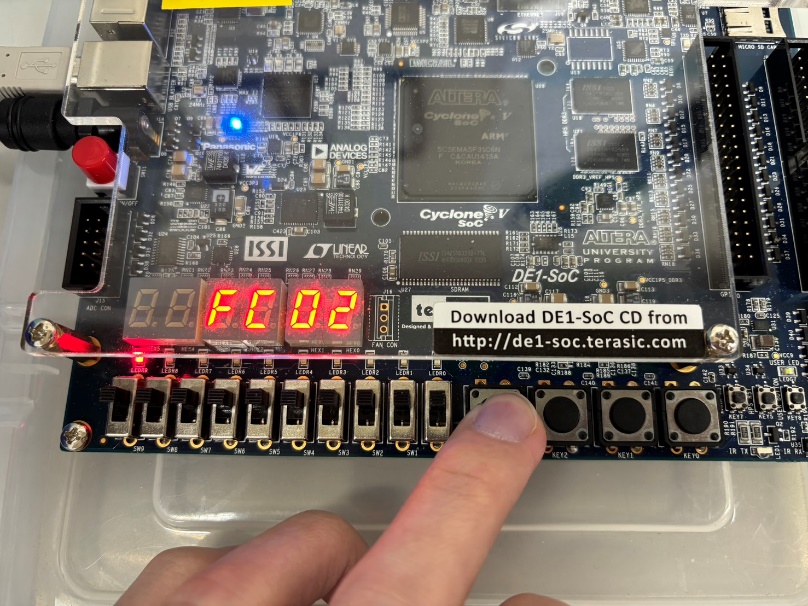


Figure . 顯示S值(overflow)

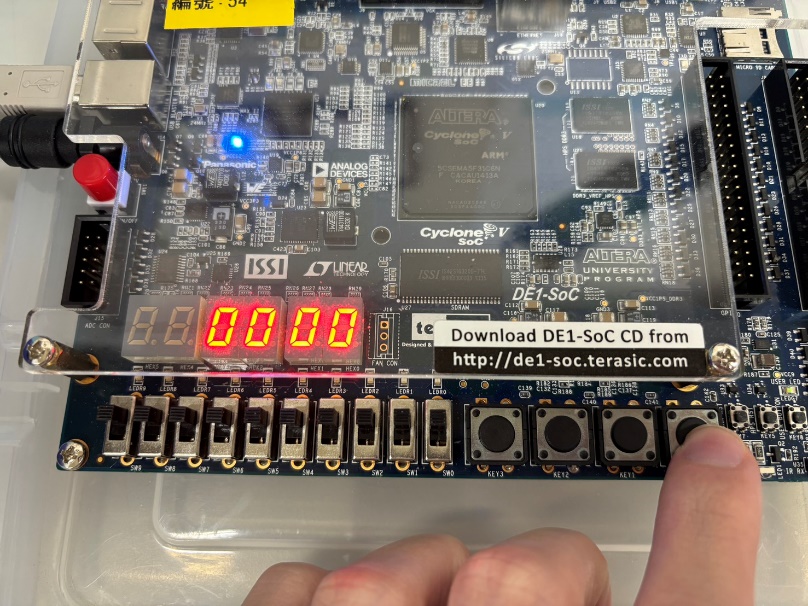
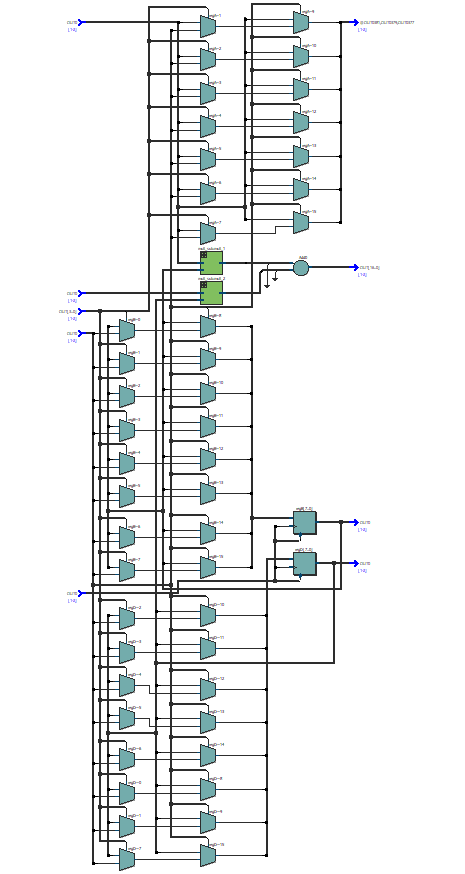
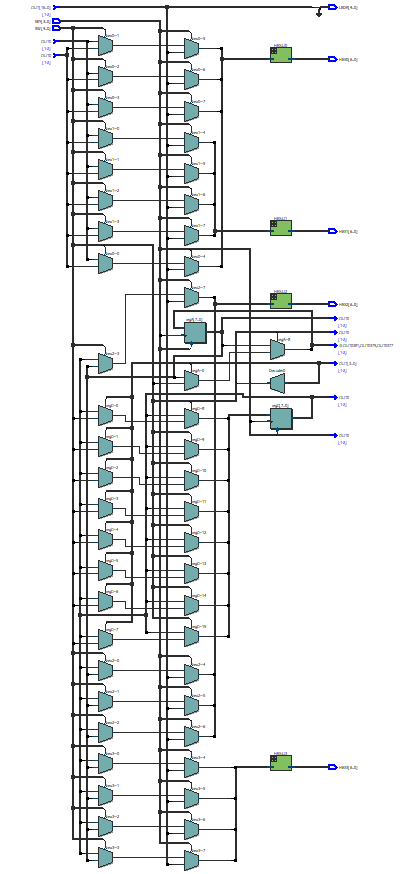


Figure . reset

1. **RTL布局(optional)**





1. **問題與討論**
2. 須注意 assign 或 設定一個變數，其不能同時出現在多個always中。
3. 模組如果較為複雜，我覺得使用LPM可以節省時間及程式複雜度。
4. Overflow有兩種方法達成，1為使用LPM的加法器有包含這個port，2直接將輸出的regist或wire設大一點，在overflow的位數直接做判斷。此次demo我是使用第二種方法。