

學號:B06902136

系級:資工四

姓名:賴冠毓

(a) Simulation

1. minimum cycle time: 9.1 ns
2. which strategy I used: recursive
3. the screenshot of the summary:

```
=====
Simulation passed
=====

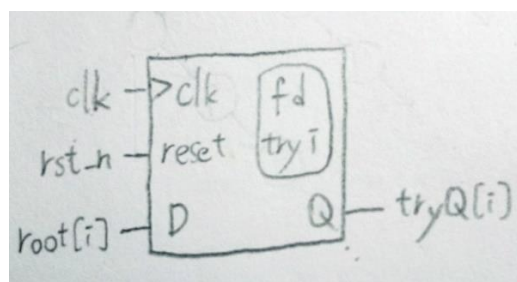
Summary
=====

Clock cycle:          9.1 ns
Number of transistors: 1637
Total excution cycle: 11416
Correctness Score:    40.0
Performance Score:    170060727.2
=====

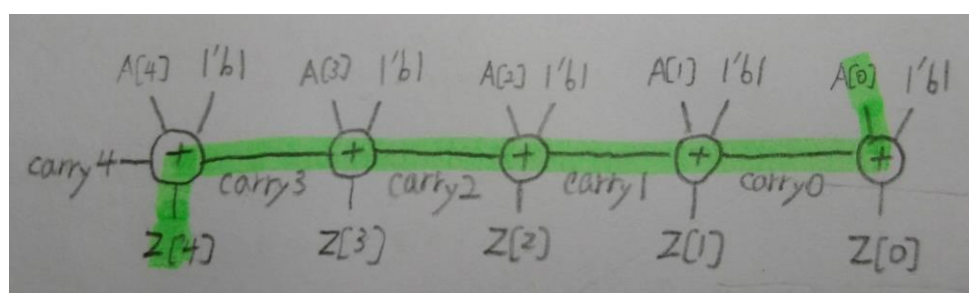
Simulation complete via $finish(1) at time 122090150 PS + 0
./tb.v:174      $finish;
ncsim> exit
[b6902136@cad29 ~/HW4_2020]$
```

(b) Circuit diagram

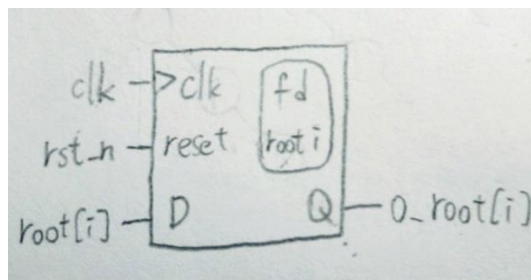
1. Plot the gate-level circuit diagram of my design:  
try number flip-flop: 5 個(1 bit 1 個)



5-bit unsigned 減 1 器(把某個數字減 1):

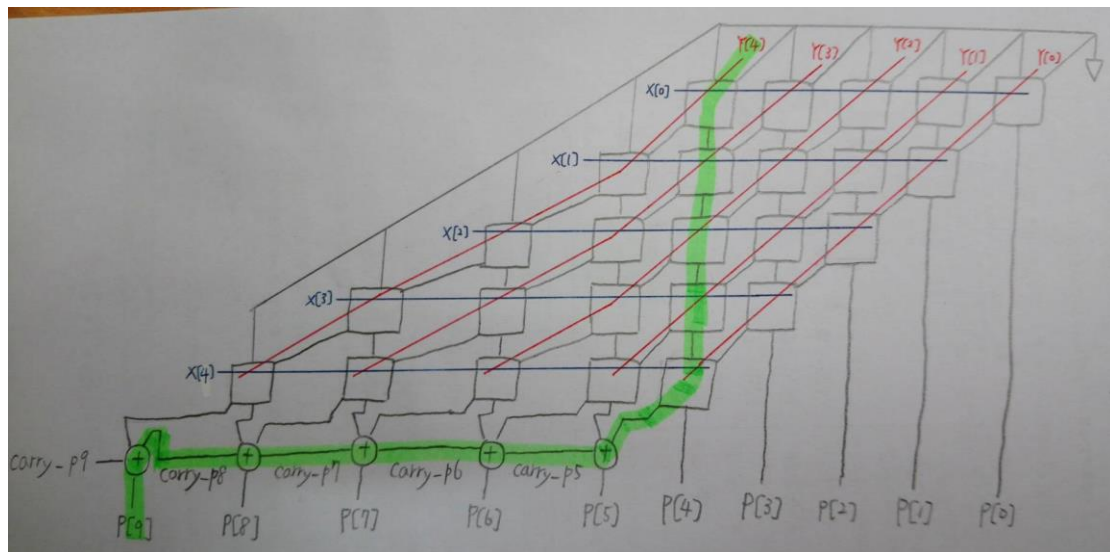


root flip-flop: 5 個(1 bit 1 個)

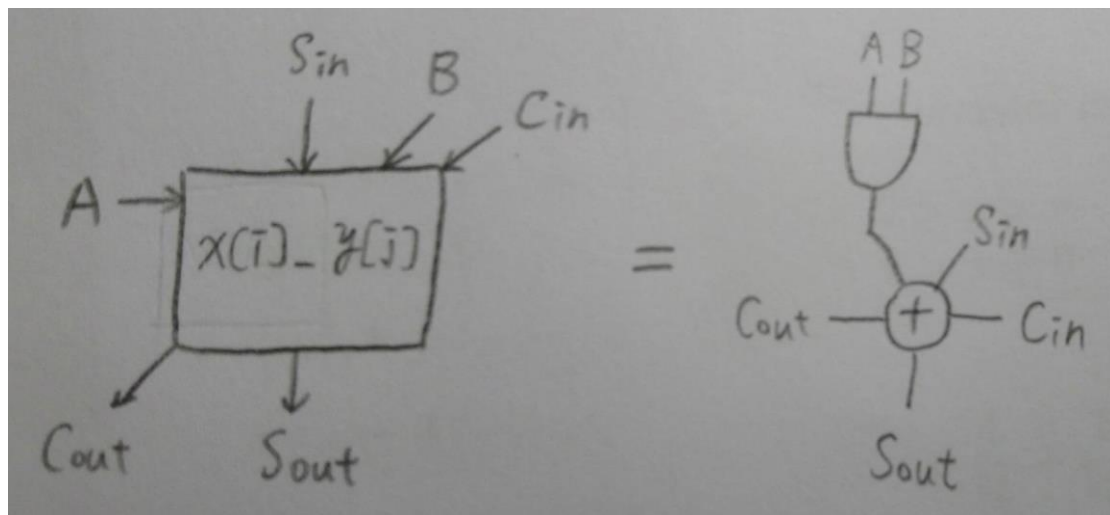


10-bit unsigned multiplier: 方格為 CSA Array

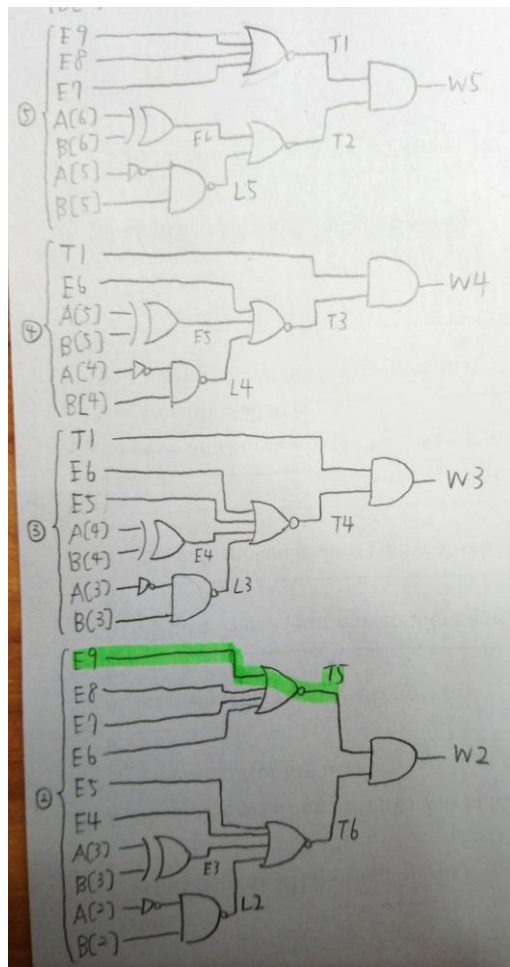
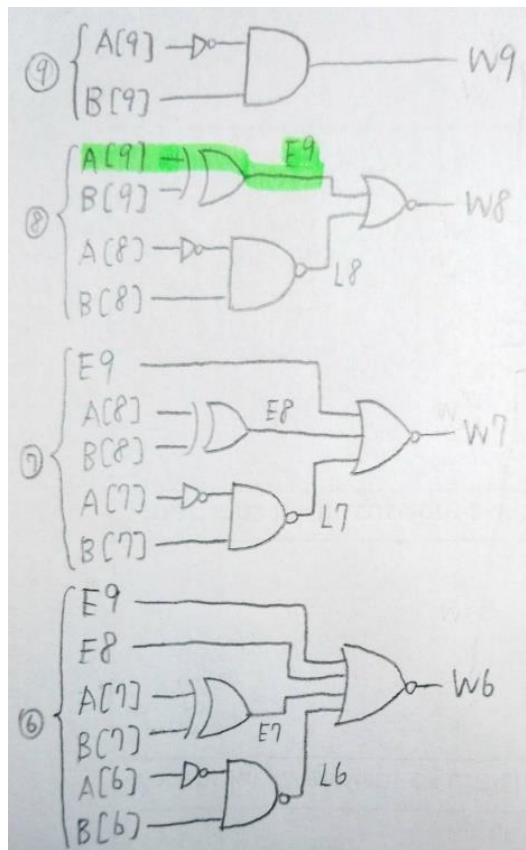
藍線由上到下為  $X[0:4]$ ；紅線由右到左為  $Y[0:4]$

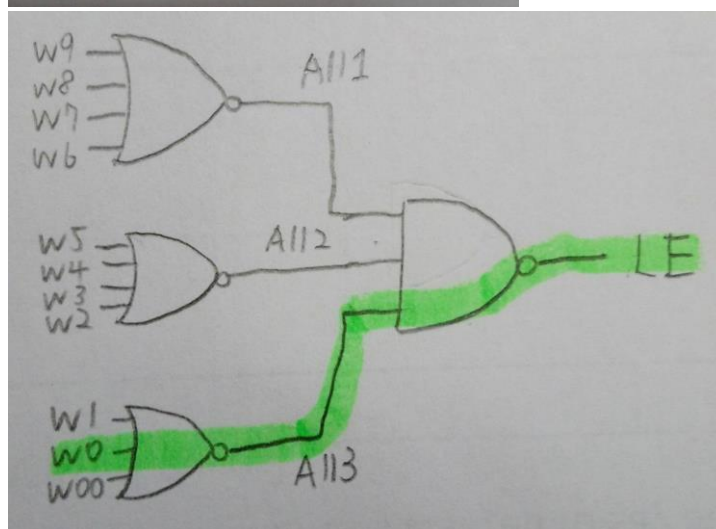
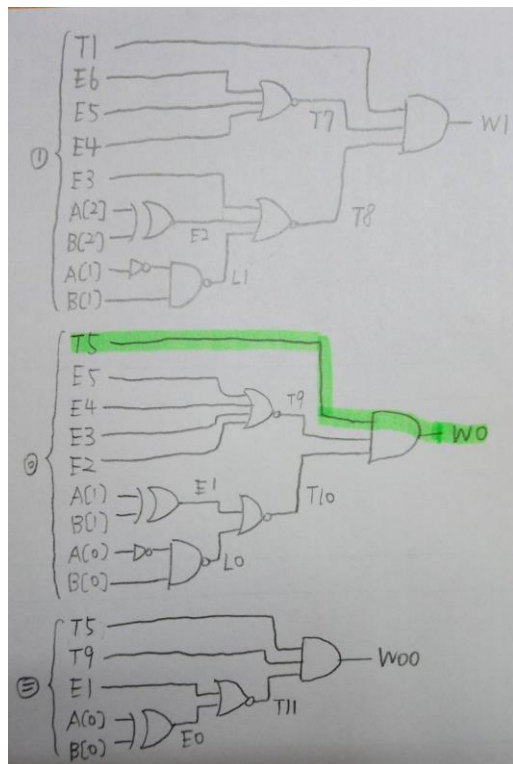


CSA Array: 乘法器所需，共 25 個



10-bit unsigned comparator:





2. Plot critical path on the diagram above:

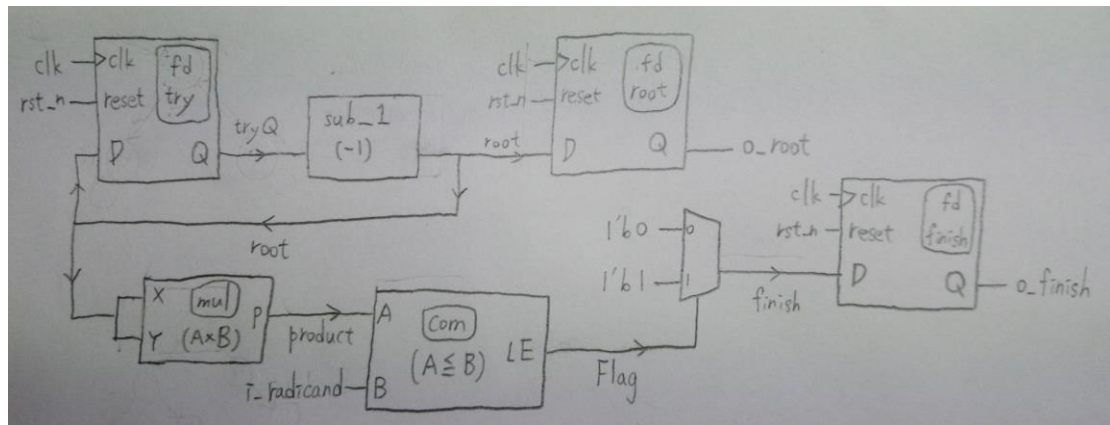
上面所有電路圖裡綠色螢光筆跡連起來為 critical path。

### (c) Discussion

#### 1. Introduce my design:

使用最基本的 try & error algorithm，用假設 root 的方式，從最大數 11111 開始 try。若假設的 root 平方後小於等於 i\_radicand 的話，表示它是對的，那 o\_finish 為 1，否則將 root 減 1，重新遞迴測試。

整個電路的架構如下圖：



因為 lib.v 裡的 flip flop 只能 reset 成 00000，所以用一個 try number 去存數字，然後先進行減 1 後，再把減 1 後的數字當成 root 去測試。根據 2' s complement，減 1 即為把所有 bit 顛倒再加 1，那 reset 後 try number 為 00000，減 1 的話會變成  $00000 + 11110 + 1 = 11111$ ，這樣就能得到我們要的最大數，把 11111 當 root 再遞迴做測試才是對的。

5-bit unsigned 減 1 器(把某個數字減 1): 使用 2' s complement

10-bit unsigned multiplier: 用最基本的直式乘法

10-bit unsigned comparator: 方法如同上次作業三，用 MSD radix sort 看兩個數在第幾位判斷出大小，只是這次從判斷大於變成判斷小於等於。

另外 transistor 數則透過 sum 的 reg，搭配 always 去做迴圈加法，最後 assign 回 output number。

2. How I cut my pipeline:

因為採用的 algorithm 是最基本的 try & error，而這個方法只能用 recursive，無法透過 pipeline 實現，所以沒有切 pipeline。

3. How I improve my critical path and the number of transistors:

比較器透過 bubble pushing 換成 delay 比較少的 gate。

如果 full adder 有一個 input 固定接 0，那移除該 input 不影響結果，把它換成 transistor 數比較少的 half adder。

把一些不必要的 driver 拿掉，減少 transistor 數。

4. How I trade-off between area and speed:

由於期末事情太多，如此權衡之下就犧牲時間換取空間，所以決定採用最簡單的 algorithm，並且沒有切 pipeline。這樣需要刻的元件少，大量省下 transistor 數，所以速度就不理想。

省下面積後，速度的部分就只能盡量換 delay 少的 gate 加快。

5. Compare with other architectures I have designed:

沒有特別設計其它種的架構，但一開始弄 flip flop 線有接錯幾次，加了好幾個 driver 在 root 的 wire 上，後來搞清楚了後把它拿掉，就省了幾十個 transistor。