

# Platform Workflow

---

## 1. FPGA設計

透過Vivado進行FPGA設計，產生bitstream與.xsa檔案

## 2. 彙整IP與取得device tree

將IP(附檔名.xsa)匯入Vitis獲得device tree中介檔 .dtbo 以獲得device tree

```
dtbo = device tree binary overlay
```

## 3. 用petalinux打包OS image。

打包內容：

- 影像處理的bitstream，即vivado產生的bitstream與DPU
- LinuxCore 與 Xilinx Stacks
- App

## 4. 執行用的model

匯入pretrain過的model後進行優化與資料的quantize，進行編譯以建立執行用的model  
於編譯後進行model的打包

## 5. 將model部署到Edge端 (kv260)

透過OTA ( Over-the-Air Technology ) 的方式進行部署

## 6. 調用 bitstream

透過xmutil進行load/unload

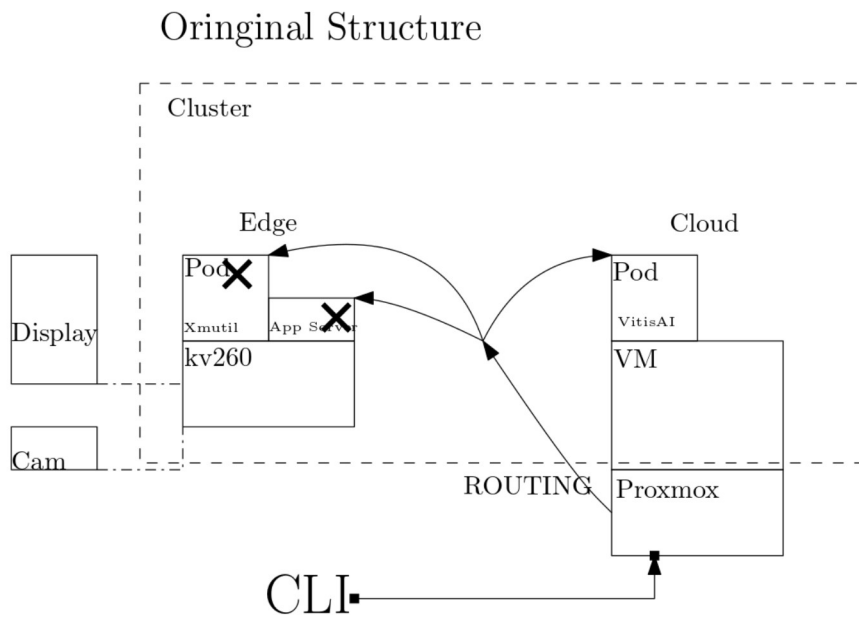
## 7. 執行App

透過gstreamer進行App的建構

## 8. 更新App中的model

# Structure

## Original



## Now

