

## **PRÁCTICA 7: CIRCUITOS COMBINACIONALES: FUNCIONES LÓGICAS**

### **OBJETIVOS:**

- Realizar e implementar funciones lógicas, mediante puertas lógicas, decodificadores y multiplexores, comprobando el funcionamiento del circuito en los pupitres de prácticas y en simulación.
- Familiarizarse con los equipos de prácticas de electrónica digital y el uso básico de entradas lógicas (Niveles 1-HI y 0-LO), interruptores), visualización de niveles lógicos de salidas (LEDs) y uso de puertas lógicas básicas.
- Manejo de hojas de características de los componentes y obtención de la información de los circuitos integrados.
- Instalar las librerías de circuitos de electrónica digital y familiarizarse con el uso de componentes digitales en el simulador LTSpice.
- Saber plantear las simulaciones para obtener la tabla de verdad de una función lógica

### **GUIÓN:**

#### Parte 1. Implementación de una función lógica con puertas NAND minimizando la función mediante el método del mapa de Karnaugh

a) Se quiere implementar una función lógica  $f_1$  que indique cuándo un dígito hexadecimal, codificado en binario natural, es un número primo (es decir, sólo es divisible por 1 y por sí mismo; el 0 no es primo y el 1, por convenio, se considera que no es primo). La función debe proporcionar un uno cuando se cumpla esta condición, y un cero en caso contrario. Realizar la función empleando únicamente puertas NAND.

Pasos a seguir:

1. Obtener la tabla de verdad de la función lógica  $f_1 = f_1(D,C,B,A)$ , siendo D el bit de mayor peso, y minimizar la función lógica según el método del mapa de Karnaugh.
  2. Realizar la función lógica utilizando las puertas lógicas NAND necesarias.
  3. Utilizando el simulador LTSpice, realizar una simulación temporal que vaya introduciendo sucesivamente todas las combinaciones, y observar la salida con el simulador, empleando únicamente las puertas digitales de la librería digital que ofrece el simulador, visualizando los valores introducidos en las entradas en decimal en una gráfica y comprobar la tabla de verdad.
- b) Repetir los pasos anteriores para implementar una función lógica  $f_2$  que exprese cuándo un número, codificado en código BCD es un número primo (igual que el caso anterior, pero con código BCD). La función debe proporcionar un uno cuando se cumpla esta condición, y un cero en caso contrario.

1. Observar como el uso de los términos indiferentes permite mayor simplificación y repetir las simulaciones.
2. Realizar la función lógica utilizando las puertas lógicas NAND necesarias.
3. (Opcional) Realizar el montaje del circuito en el pupitre de prácticas y comprobar la(s) tabla(s) de verdad, observando el valor que toman los términos indiferentes.
4. (Opcional) Realizar la simulación del circuito obtenido, visualizando los valores introducidos en las entradas en decimal en una gráfica y comprobar la tabla de verdad:
  - a) Utilizando las puertas necesarias de la librería Digital.
  - b) Utilizando las puertas necesarias de la librería 74HC.
  - b) Utilizando las puertas necesarias de la librería CD4000.

## Parte 2. Síntesis de funciones lógicas con decodificadores con salidas activas a nivel bajo.

Dado un código de tres bits, se va a generar la función lógica:

- $f_3$ : bit de paridad par.

Para realizar la función anterior se va a utilizar el circuito 74HC138 (o HCT138) y la puerta lógica adicional que sea necesaria necesaria para la implementación. El 74xx138 es un decodificador de 3 entradas y 8 salidas de nivel activo bajo, cuyas hojas de características se adjuntan al final de la práctica, y que está disponible en el pupitre de prácticas y en simulación (en la librería 74HC o en la 74HCT).

Los pasos a seguir son:

1. Obtener la tabla de verdad de la función lógica
2. Dibujar el esquema del circuito a utilizar para generar la función lógica, utilizando las salidas del decodificador necesarias, y teniendo en cuenta cuál es el nivel activo del circuito utilizado. Prestar atención al uso de las entradas de habilitación del circuito
3. (Opcional) Realizar el montaje del circuito, prestando especial atención a las características y forma de conexión que el fabricante indica en las hojas de características, y comprobar la(s) tabla(s) de verdad.
4. (Opcional) Utilizando el simulador LTSpice, realizar una simulación temporal que vaya introduciendo sucesivamente todas las combinaciones, y observar la salida y comprobar la(s) tabla(s) de verdad, con las diferentes librerías.

### Parte 3. Implementación de funciones lógicas con multiplexores.

Dado un código de cuatro bits, generar la función lógica siguiente, utilizando multiplexores:

- $f_4$ : detectar si el número binario es mayor que tres y menor que nueve ( $3 < x < 9$ )

Para realizar la función anterior se va a utilizar el circuito 74HC151 (o 74HCT151). Se trata de un multiplexor de 8 entradas (con 3 entradas de selección) en el que la salida se puede escoger entre activa a nivel bajo o activa a nivel alto, y cuyas hojas de características se adjuntan al final de la práctica, y que está disponible en la librería 74HC.

Con este circuito y las puertas adecuadas, realizaremos la función lógica. Los pasos a seguir son:

1. Obtener la tabla de verdad de la función lógica
2. Dibujar el esquema del circuito a utilizar para generar la función lógica, utilizando un multiplexor de 8 entradas.
3. (Opcional) Realizar el montaje del circuito, prestando especial atención a las características y forma de conexión que el fabricante indica en las hojas de características y comprobar la(s) tabla(s) de verdad.
4. (Opcional) Utilizando el simulador LTSpice, realizar una simulación temporal que vaya introduciendo sucesivamente todas las combinaciones, y observar la salida y comprobar la(s) tabla(s) de verdad.

### **TRABAJO PREVIO**

1. Se sugiere realizar previamente todas las funciones lógicas que se indican en el enunciado de la práctica, obteniendo los circuitos que luego se deberán comprobar, para centrar el desarrollo de la práctica en el proceso de simulación.
2. Revisar el uso del simulador con las librerías de digital, e instalar las librerías (o verificar su instalación), comprobando su funcionamiento (por ejemplo, simular alguna puerta sencilla y obtener la tabla de verdad, comprobando que todo funciona correctamente (ver el proceso de instalación en la presentación de uso de LTSpice)

### **DOCUMENTACIÓN DE LA PRÁCTICA**

- Documentar todos los apartados de la práctica, incluyendo las tablas de verdad y los circuitos necesarios.
- Presentar los resultados en los circuitos propuestos realizados físicamente y/o simulados.

# CD54/74HC138, CD54/74HCT138, CD54/74HC238, CD54/74HCT238

## High-Speed CMOS Logic 3- to 8-Line Decoder/ Demultiplexer Inverting and Noninverting

### Features

- Select One Of Eight Data Outputs  
Active Low for 138, Active High for 238
- I/O Port or Memory Selector
- Three Enable Inputs to Simplify Cascading
- Typical Propagation Delay of 13 ns at  $V_{CC} = 5\text{ V}$ ,  
 $C_L = 15\text{ pF}$ ,  $T_A = 25^\circ\text{C}$
- Fanout (Over Temperature Range)
  - Standard Outputs . . . . . 10 LSTTL Loads
  - Bus Driver Outputs . . . . . 15 LSTTL Loads
- Wide Operating Temperature Range . . .  $-55^\circ\text{C}$  to  $125^\circ\text{C}$
- Balanced Propagation Delay and Transition Times
- Significant Power Reduction Compared to LSTTL  
Logic ICs
- HC Types
  - 2 V to 6 V Operation
  - High Noise Immunity:  $N_{IL} = 30\%$ ,  $N_{IH} = 30\%$  of  $V_{CC}$   
at  $V_{CC} = 5\text{ V}$
- HCT Types
  - 4.5-V to 5.5-V Operation
  - Direct LSTTL Input Logic Compatibility,  
 $V_{IL} = 0.8\text{ V (Max)}$ ,  $V_{IH} = 2\text{ V (Min)}$
  - CMOS Input Compatibility,  $I_I \leq 1\mu\text{A}$  at  $V_{OL}$ ,  $V_{OH}$

### Description

The 'HC138, 'HC238, 'HCT138, and 'HCT238 are high-speed silicon-gate CMOS decoders well suited to memory address decoding or data-routing applications. Both circuits feature low power consumption usually associated with CMOS circuitry, yet have speeds comparable to low-power Schottky TTL logic. Both circuits have three binary select inputs (A0, A1, and A2). If the device is enabled, these inputs determine which one of the eight normally high outputs of the HC/HCT138 series go low or which of the normally low outputs of the HC/HCT238 series go high.

Two active low and one active high enables ( $\overline{E1}$ ,  $\overline{E2}$ , and  $E3$ ) are provided to ease the cascading of decoders. The decoder's eight outputs can drive ten low-power Schottky TTL equivalent loads.

### Ordering Information

PART NUMBER	TEMP. RANGE ( $^\circ\text{C}$ )	PACKAGE
CD54HC138F3A	-55 to 125	16 Ld Cerdip
CD54HC238F3A	-55 to 125	16 Ld Cerdip
CD54HCT138F3A	-55 to 125	16 Ld Cerdip
CD54HCT238F3A	-55 to 125	16 Ld Cerdip
CD74HC138E	-55 to 125	16 Ld PDIP
CD74HC138M	-55 to 125	16 Ld SOIC
CD74HC138MT	-55 to 125	16 Ld SOIC
CD74HC138M96	-55 to 125	16 Ld SOIC
CD74HC238E	-55 to 125	16 Ld PDIP
CD74HC238M	-55 to 125	16 Ld SOIC
CD74HC238MT	-55 to 125	16 Ld SOIC
CD74HC238M96	-55 to 125	16 Ld SOIC
CD74HC238NSR	-55 to 125	16 Ld SOP
CD74HC238PW	-55 to 125	16 Ld TSSOP
CD74HC238PWR	-55 to 125	16 Ld TSSOP
CD74HC238PWT	-55 to 125	16 Ld TSSOP
CD74HCT138E	-55 to 125	16 Ld PDIP
CD74HCT138M	-55 to 125	16 Ld SOIC
CD74HCT138MT	-55 to 125	16 Ld SOIC
CD74HCT138M96	-55 to 125	16 Ld SOIC
CD74HCT238E	-55 to 125	16 Ld PDIP
CD74HCT238M	-55 to 125	16 Ld SOIC
CD74HCT238M96	-55 to 125	16 Ld SOIC

NOTE: When ordering, use the entire part number. The suffixes 96 and R denote tape and reel. The suffix T denotes a small-quantity reel of 250.

# CD54/74HC138, CD54/74HCT138, CD54/74HC238, CD54/74HCT238

## Pinout

CD54HC138, CD54HCT138, CD54HC238, CD54HCT238

(CERDIP)

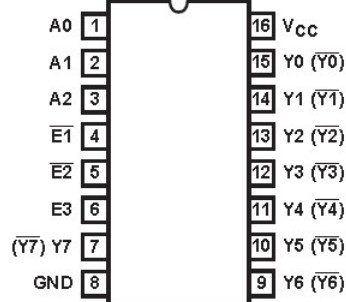
CD74HC138, CD74HCT138, CD74HCT238

(PDIP, SOIC)

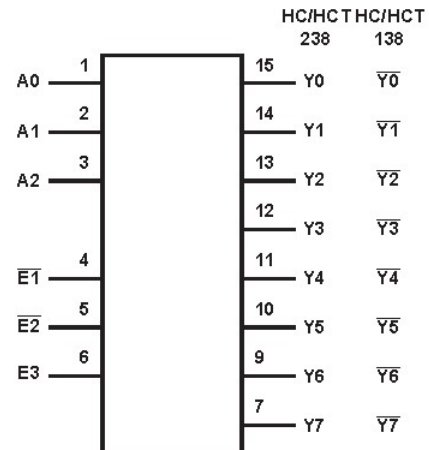
CD74HC238

(PDIP, SOIC, SOP, TSSOP)

TOP VIEW



## Functional Diagram



Signal names in parentheses are for 'HC138 and 'HCT138.

TRUTH TABLE 'HC138, 'HCT138

INPUTS						OUTPUTS							
ENABLE			ADDRESS										
E3	E2	E1	A2	A1	A0	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	H	L	H	H	H	H
H	L	L	H	L	L	H	H	H	H	L	H	H	H
H	L	L	H	L	H	H	H	H	H	H	L	H	H
H	L	L	H	H	L	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L

H = High Voltage Level, L = Low Voltage Level, X = Don't Care

TRUTH TABLE 'HC238, 'HCT238

INPUTS						OUTPUTS							
ENABLE			ADDRESS										
E3	E2	E1	A2	A1	A0	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	X	H	X	X	X	L	L	L	L	L	L	L	L
L	X	X	X	X	X	L	L	L	L	L	L	L	L
X	H	X	X	X	X	L	L	L	L	L	L	L	L
H	L	L	L	L	L	H	L	L	L	L	L	L	L
H	L	L	L	L	H	L	H	L	L	L	L	L	L
H	L	L	L	H	L	L	L	H	L	L	L	L	L
H	L	L	L	H	H	L	L	L	H	L	L	L	L
H	L	L	H	L	L	L	L	L	L	H	L	L	L
H	L	L	H	L	H	L	L	L	L	L	H	L	L
H	L	L	H	H	L	L	L	L	L	L	L	H	L
H	L	L	H	H	H	L	L	L	L	L	L	L	H

H = High Voltage Level, L = Low Voltage Level, X = Don't Care

# CD54HC151, CD74HC151, CD54HCT151, CD74HCT151

## High-Speed CMOS Logic 8-Input Multiplexer

### Features

- Complementary Data Outputs
- Buffered Inputs and Outputs
- Fanout (Over Temperature Range)
  - Standard Outputs ..... 10 LSTTL Loads
  - Bus Driver Outputs ..... 15 LSTTL Loads
- Wide Operating Temperature Range ... -55°C to 125°C
- Balanced Propagation Delay and Transition Times
- Significant Power Reduction Compared to LSTTL Logic ICs
- Alternate Source is Philips/Signetics
- HC Types
  - 2V to 6V Operation
  - High Noise Immunity:  $N_{IL} = 30\%$ ,  $N_{IH} = 30\%$  of  $V_{CC}$  at  $V_{CC} = 5V$
- HCT Types
  - 4.5V to 5.5V Operation
  - Direct LSTTL Input Logic Compatibility,  $V_{IL} = 0.8V$  (Max),  $V_{IH} = 2V$  (Min)
  - CMOS Input Compatibility,  $I_I \leq 1\mu A$  at  $V_{OL}$ ,  $V_{OH}$

### Description

The 'HC151 and 'HCT151 are single 8-channel digital multiplexers having three binary control inputs, S0, S1 and S2 and an active low enable ( $\bar{E}$ ) input. The three binary signals select 1 of 8 channels. Outputs are both inverting ( $\bar{Y}$ ) and non-inverting (Y).

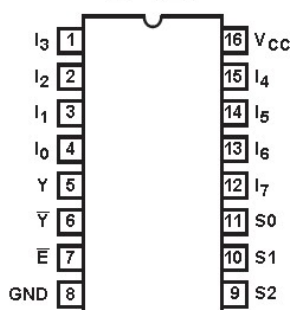
### Ordering Information

PART NUMBER	TEMP. RANGE (°C)	PACKAGE
CD54HC151F3A	-55 to 125	16 Ld CERDIP
CD54HCT151F3A	-55 to 125	16 Ld CERDIP
CD74HC151E	-55 to 125	16 Ld PDIP
CD74HC151M	-55 to 125	16 Ld SOIC
CD74HC151MT	-55 to 125	16 Ld SOIC
CD74HC151M96	-55 to 125	16 Ld SOIC
CD74HCT151E	-55 to 125	16 Ld PDIP
CD74HCT151M	-55 to 125	16 Ld SOIC
CD74HCT151MT	-55 to 125	16 Ld SOIC
CD74HCT151M96	-55 to 125	16 Ld SOIC

NOTE: When ordering, use the entire part number. The suffix 96 denotes tape and reel. The suffix T denotes a small-quantity reel of 250.

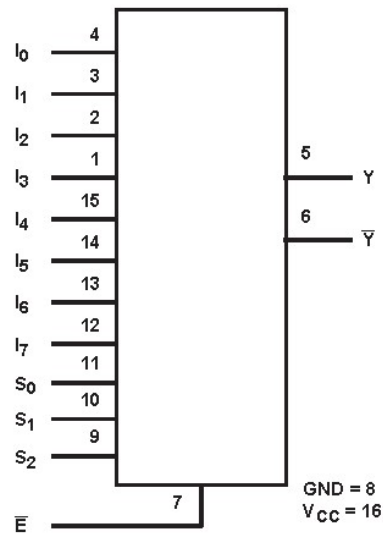
### Pinout

CD54HC151, CD54HCT151  
(CERDIP)  
CD74HC151, CD74HCT151  
(PDIP, SOIC)  
TOP VIEW



# **CD54HC151, CD74HC151, CD54HCT151, CD74HCT151**

## **Functional Diagram**



**TRUTH TABLE**

SELECT INPUTS			DATA INPUTS								ENABLE	OUTPUT	
S2	S1	S0	I0	I1	I2	I3	I4	I5	I6	I7	E	Y	Y
X	X	X	X	X	X	X	X	X	X	X	H	H	L
L	L	L	L	X	X	X	X	X	X	X	L	H	L
L	L	L	H	X	X	X	X	X	X	X	L	L	H
L	L	H	X	L	X	X	X	X	X	X	L	H	L
L	L	H	X	H	X	X	X	X	X	X	L	L	H
L	H	L	X	X	L	X	X	X	X	X	L	H	L
L	H	L	X	X	H	X	X	X	X	X	L	L	H
L	H	H	X	X	X	L	X	X	X	X	L	H	L
L	H	H	X	X	X	H	X	X	X	X	L	L	H
H	L	L	X	X	X	X	L	X	X	X	L	H	L
H	L	L	X	X	X	X	H	X	X	X	L	L	H
H	L	H	X	X	X	X	X	L	X	X	L	H	L
H	L	H	X	X	X	X	X	H	X	X	L	L	H
H	H	L	X	X	X	X	X	X	L	X	L	H	L
H	H	L	X	X	X	X	X	X	H	X	L	L	H
H	H	H	X	X	X	X	X	X	X	L	L	H	L
H	H	H	X	X	X	X	X	X	X	H	L	L	H

H = High Voltage Level, L = Low Voltage Level, X = Don't Care