

TECNOLOGÍA ELECTRÓNICA DE COMPUTADORES

2º Curso – GRADO EN INGENIERÍA INFORMÁTICA
EN TECNOLOGÍAS DE LA INFORMACIÓN

*Tema 7: Circuitos digitales combinacionales y
secuenciales*

*Lección 12. Circuitos digitales secuenciales.
Contadores*

Lección 12. Circuitos digitales secuenciales. Contadores

12.1 Bloques MSI secuenciales

12.2 Contadores asíncronos ascendentes

12.3 Aplicaciones: divisores de frecuencia y temporizadores

12.4. Contadores asíncronos descendentes

12.5. Contadores síncronos

12.6 Contadores síncronos especiales: en anillo y Johnson

Bibliografía de la lección

Lectura clave:

Thomas L.Floyd. Fundamentos de sistemas digitales.
Ed. Prentice Hall – Pearson Education.
Tema 8. Contadores

Otros:

Enlaces a características de circuitos integrados digitales de vendedores o fabricantes

Ejemplos:

- Serie 74xxx <http://www.futurlec.com/IC74Series.shtml>
- Serie 40xxx <http://www.futurlec.com/IC4000Series.shtml>
- NXP Serie 74HC/T: <http://ics.nxp.com/products/hc/all/>

12.1 Bloques MSI secuenciales

Se verán los siguientes:

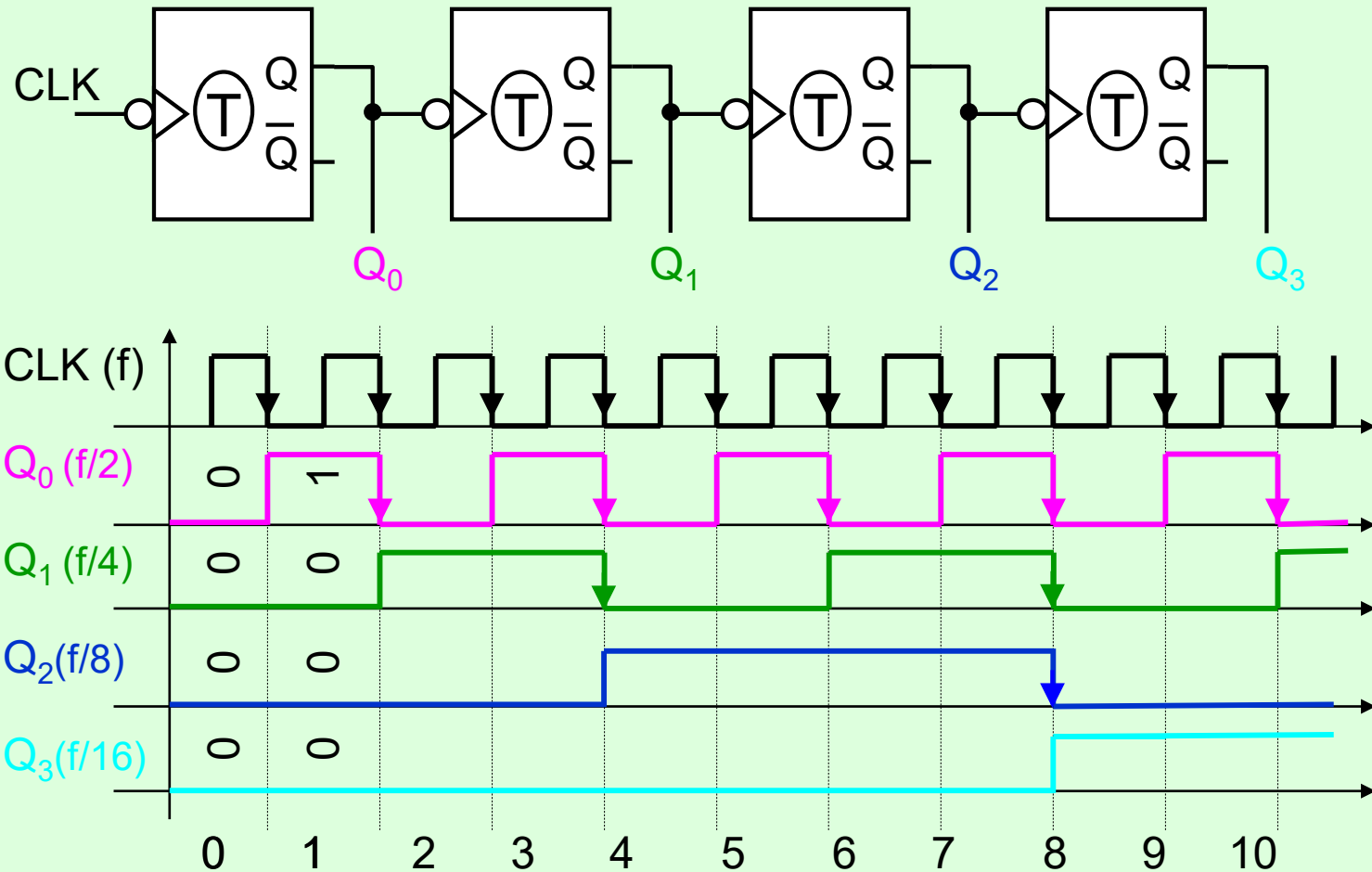
- Contadores asíncronos y contadores síncronos
- Aplicaciones de contadores: divisores de frecuencia y temporizadores
- Registros
- Aplicaciones de los registros: puertos serie y paralelo

CONTADORES: tipos

- ASCENDENTES O DESCENDENTES: Según que el valor de la salida en binario se incremente o se decremente con cada pulso activo de la señal de reloj
- ASÍNCRONOS O SÍNCRONOS, dependiendo de si las salidas cambian simultáneamente o no:
 - ASINCRONOS: La señal de reloj se transmite de forma secuencial
 - SINCRONOS: La señal de reloj llega a todos los biestables a la vez
- BINARIOS, BCD, ESPECIALES, según la forma de contar

12.2 Contadores asíncronos ascendentes

Contador binario asíncrono ascendente

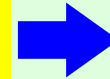


¡¡ **Importante** !! Como se puede observar en el anterior cronograma, la frecuencia de cada salida del contador está relacionada con la frecuencia de la señal de reloj según la ecuación:

$$f(Q_0) = f_{\text{clock}}/2$$

$$f(Q_1) = f_{\text{clock}}/2^2$$

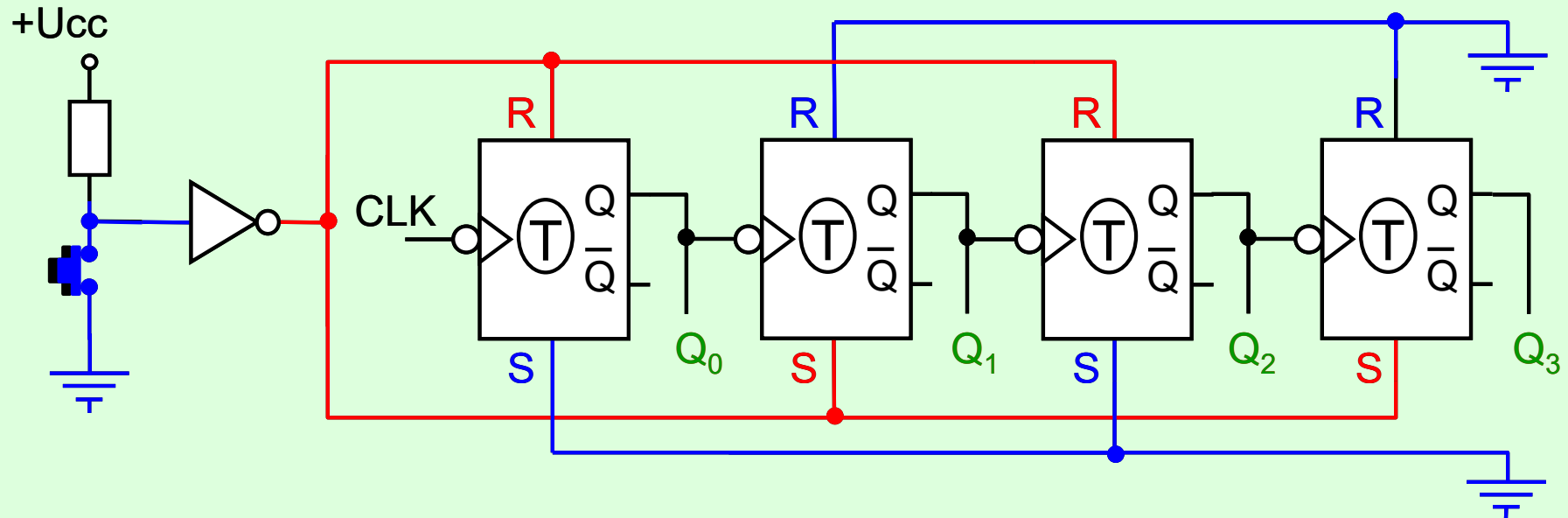
...



$$f(Q_i) = f_{\text{clock}}/2^{(i+1)}$$

Inicialización o precarga de un contador

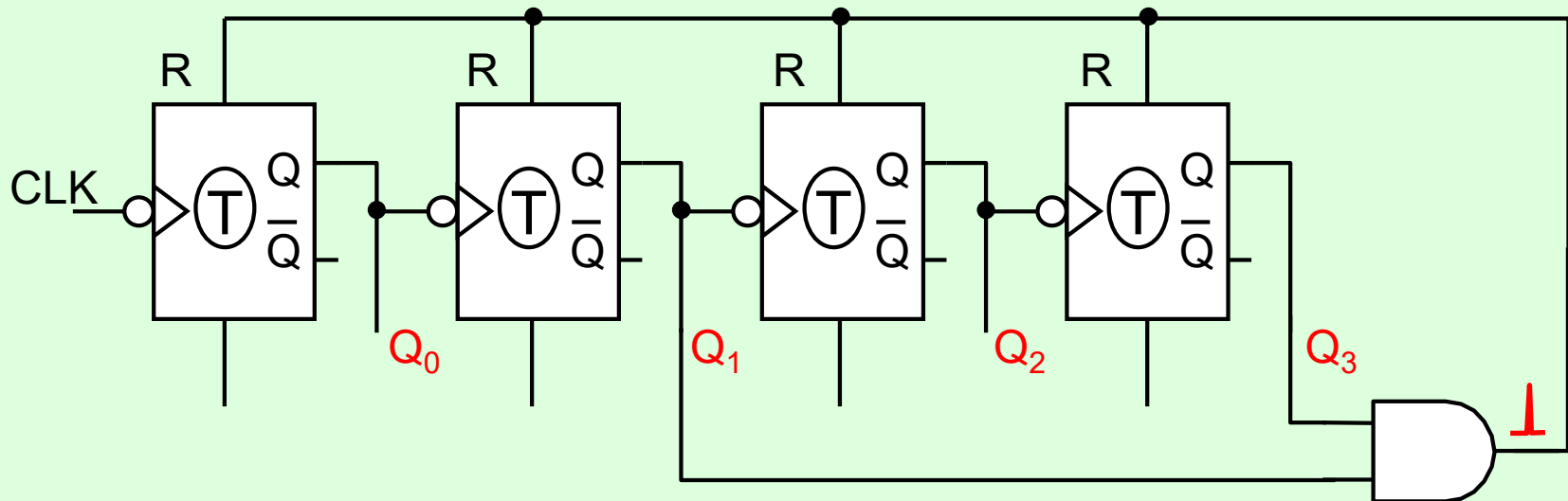
(Se activan las entradas asíncronas, Set o Reset, de los biestables, fijando su valor)



Ejemplo: Inicialización en el número "10" decimal: $Q_3Q_2Q_1Q_0=1010$

Contar sólo hasta cierto valor: Ejemplo con contador “BCD”

- Los contadores son cíclicos: para “n” bits cuentan desde “0” hasta “ $2^n - 1$ ”.
- Si se desea interrumpir la cuenta en un número intermedio “x” (por ejemplo, en un contador BCD, en el “9”) hay que resetear los biestables al detectarse el número siguiente “X+1” (en el ejemplo, al detectarse el “10”=“1010” en binario).

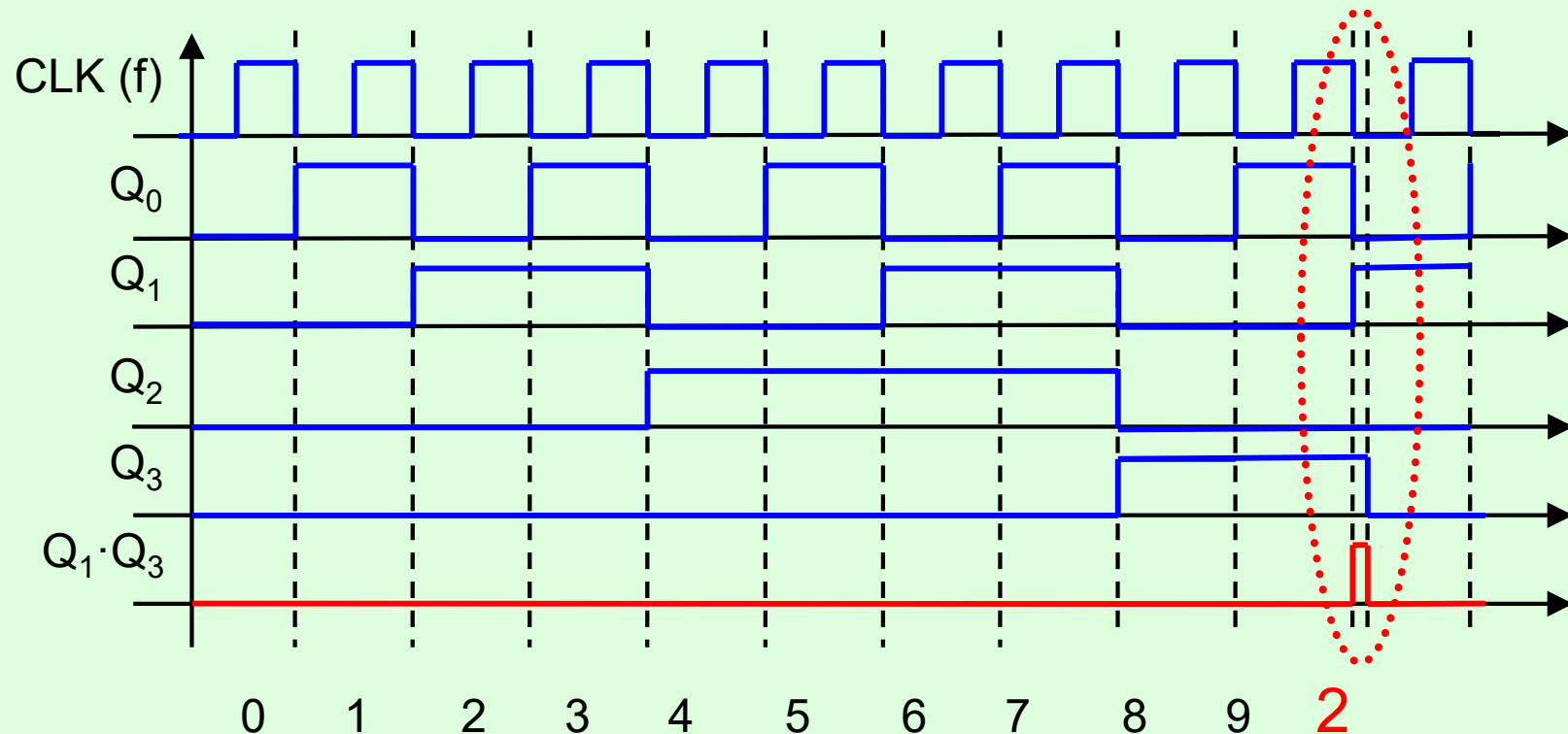


Nota 1: El pulso de Reset es muy estrecho por lo que se desprecia a nivel práctico la presencia del número “X+1” en las salidas del contador (en el ejemplo del contador BCD, el número “10”. Así la cuenta va de 0 a 9, y vuelve al 0).

Nota 2: Observar que basta con usar los unos de la salida para hacer el RESET

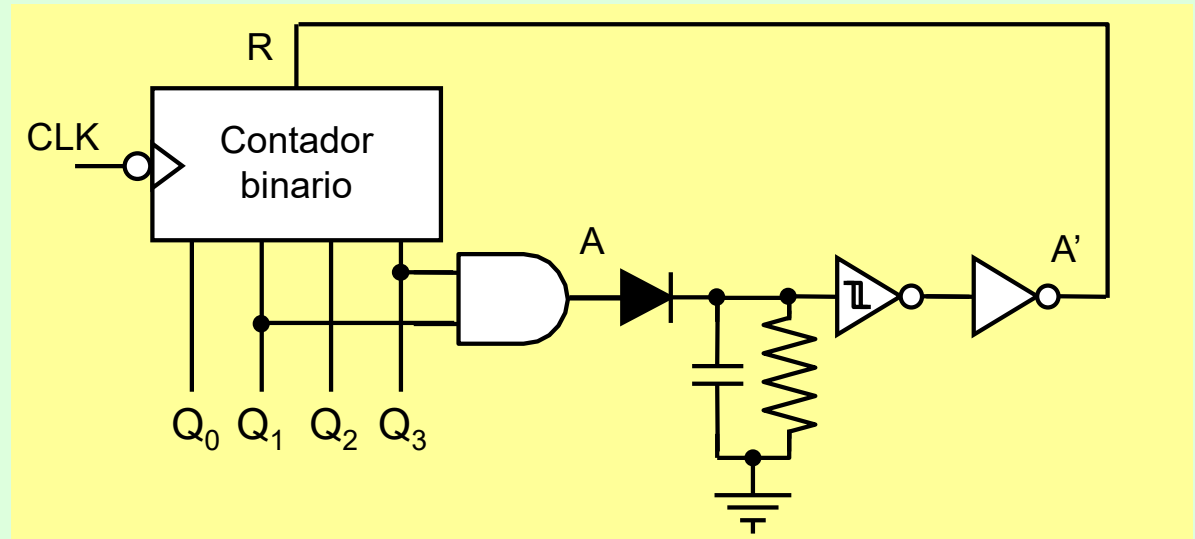
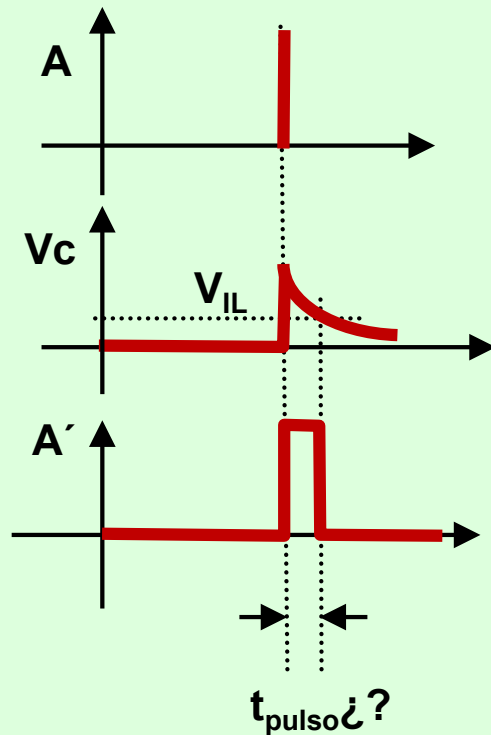
Problemática de un pulso estrecho: Puesto que todos los biestables no tienen exactamente el mismo tiempo de respuesta, el pulso de Reset podría finalizar antes de que todos los biestables estuvieran correctamente “reseteados”.

¿Qué ocurriría si el primer biestable en “resetearse” fuera el Q_3 sin llegar a hacerlo Q_1 ?



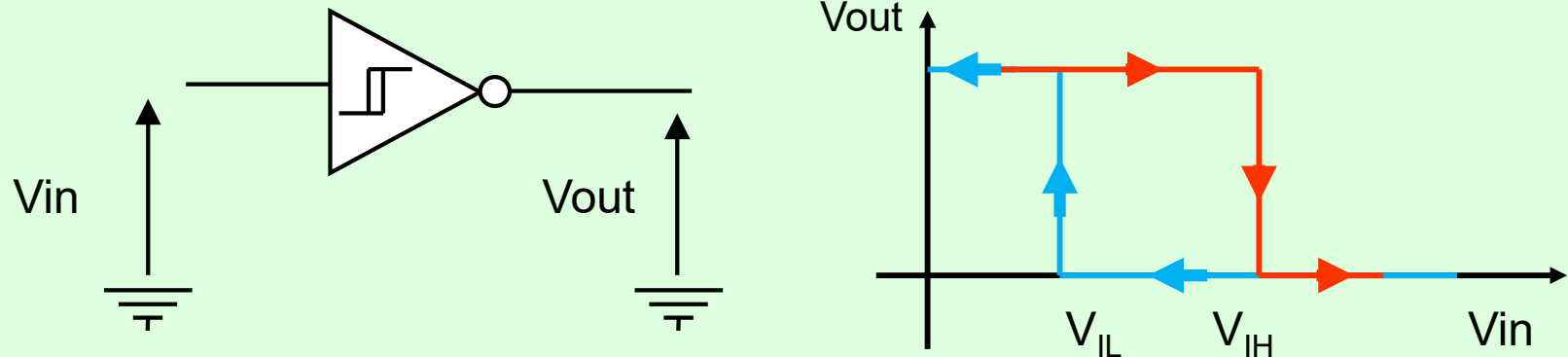
Cuenta: $Q_3Q_2Q_1Q_0 = \dots, 1001, \boxed{1010} \Rightarrow 0010$. Pasa al “2”, no al “0”

Solución: Alargar la duración del pulso de Reset. En el esquema se presenta un circuito que permite ensanchar un pulso a un tiempo predeterminado.

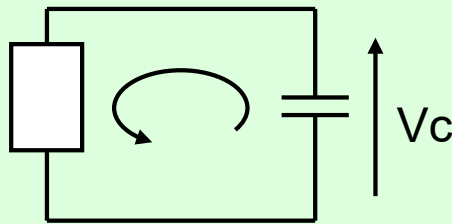


Cuando A se pone a "1", el condensador se carga a $+V_{cc}$ "sin resistencia" (corriente limitada a la máxima de salida de la puerta lógica) => En A' aparece un "1" que resetea el contador y "A" vuelve a "0" casi de forma inmediata.

A partir de ahí, el condensador se descarga a través de la resistencia. Cuando Vc cae por debajo de V_{IL} , la puerta Schmitt Trigger coloca un "1" en su salida y la señal A' pasa a "0".



El tiempo que dura el pulso se calcula a partir del circuito de la figura:



$$V_C(t) = V_C(\infty) + [V_C(0) - V_C(\infty)] e^{-t/RC}$$

$$V_C(t_{\text{pulso}}) = V_{IL} = 0 + [V_{CC} - 0] e^{-t_{\text{pulso}}/RC}$$

$$t_{\text{pulso}} = RC \ln(V_{CC}/V_{IL})$$

Nota: Otra posible solución sería introducir una red de retardo entre las señales “A” y “Reset”, por ejemplo una red RC.

12.3 Aplicaciones: divisores de frecuencia y temporizadores

Divisor de frecuencia

Divisor de frecuencia: circuito que, a partir de una señal de reloj de una frecuencia dada, permite obtener una señal cuya frecuencia es la original dividida por un cierto valor X .

Dos casos:

- a) Si X es de la forma $X=2^n$, la salida es directamente la de un contador binario (ya visto): Q_0 divide por 2, Q_1 divide por 2^2 , Q_i divide por 2^{i+1}
- b) Para dividir una frecuencia por un número “ X ” que no es de la forma $X=2^n$
 - 1º) Se resetea el contador al llegar al número “ X ”.
 - 2º) Se selecciona la salida Q_i que cumple $2^i < X \leq 2^{i+1}$

¡¡ OJO !! Se pierde la simetría de las señales

Divisor de frecuencias por $X \neq 2^n$

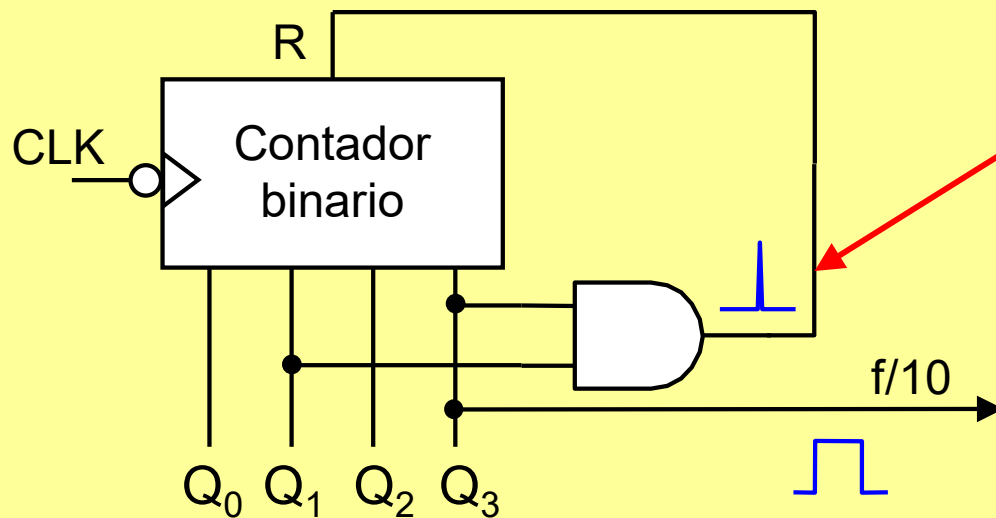
Para dividir una frecuencia por un número “X” que no es de la forma “ 2^n ”:

1º) Se “resetea” el contador al llegar al número “X”.

2º) Se selecciona la salida del contador Q_i que cumple $2^i < X \leq 2^{i+1}$

NOTA: En efecto, ésta es la única señal que garantiza que sólo se ha puesto a 1 un solo ciclo, y vuelve a 0 (como todos los “1”) al hacer un RESET.

Ejemplo: Divisor de frecuencia por $10_d = 1010_b$

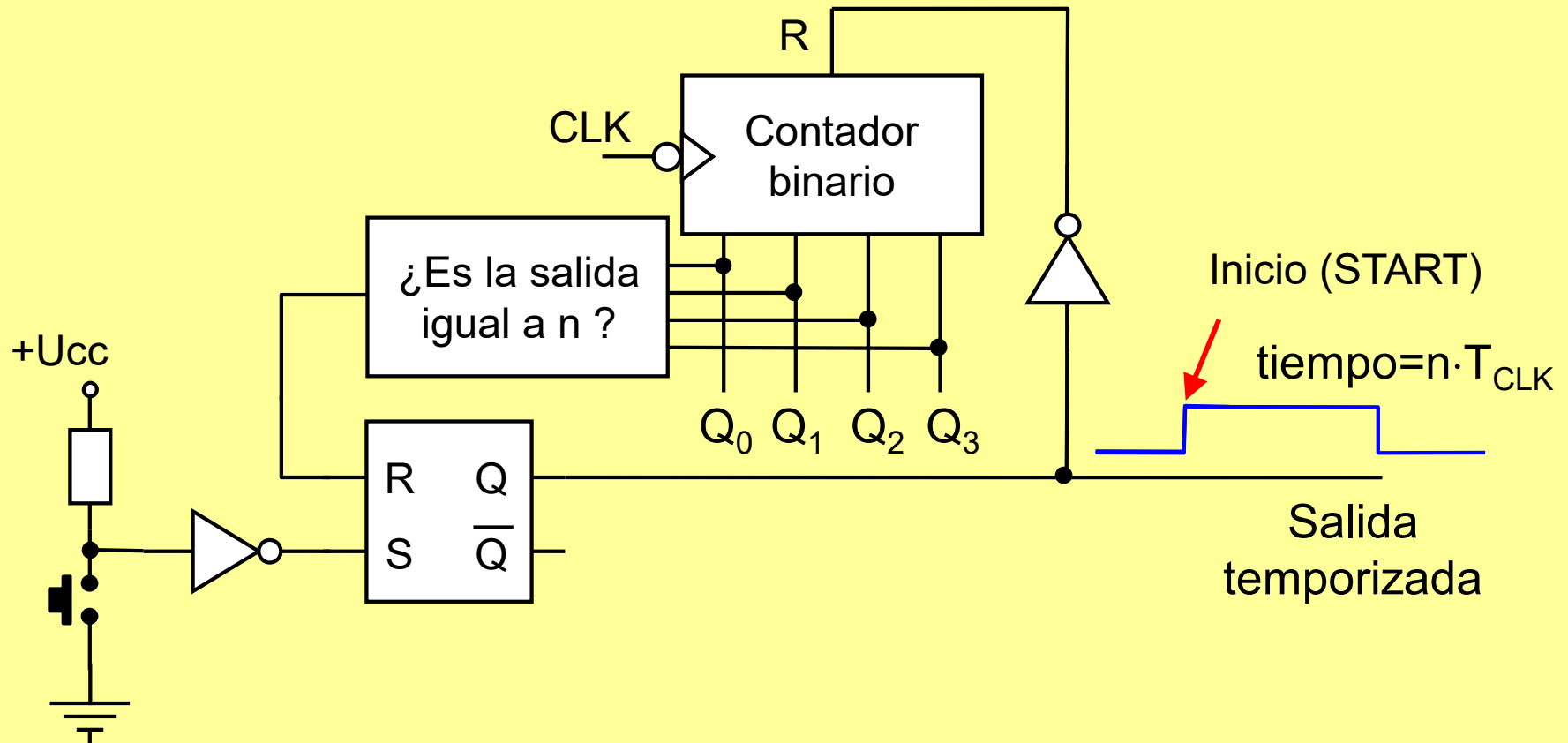


La frecuencia de estos pulsos también es “ $f/10$ ”; sin embargo, como ya se ha visto son pulsos muy estrechos y podrían dar lugar a metaestabilidad.

En cambio, esta señal (la de mayor peso que se puso a 1) está a “1” al menos un ciclo de la señal de reloj

Temporizadores

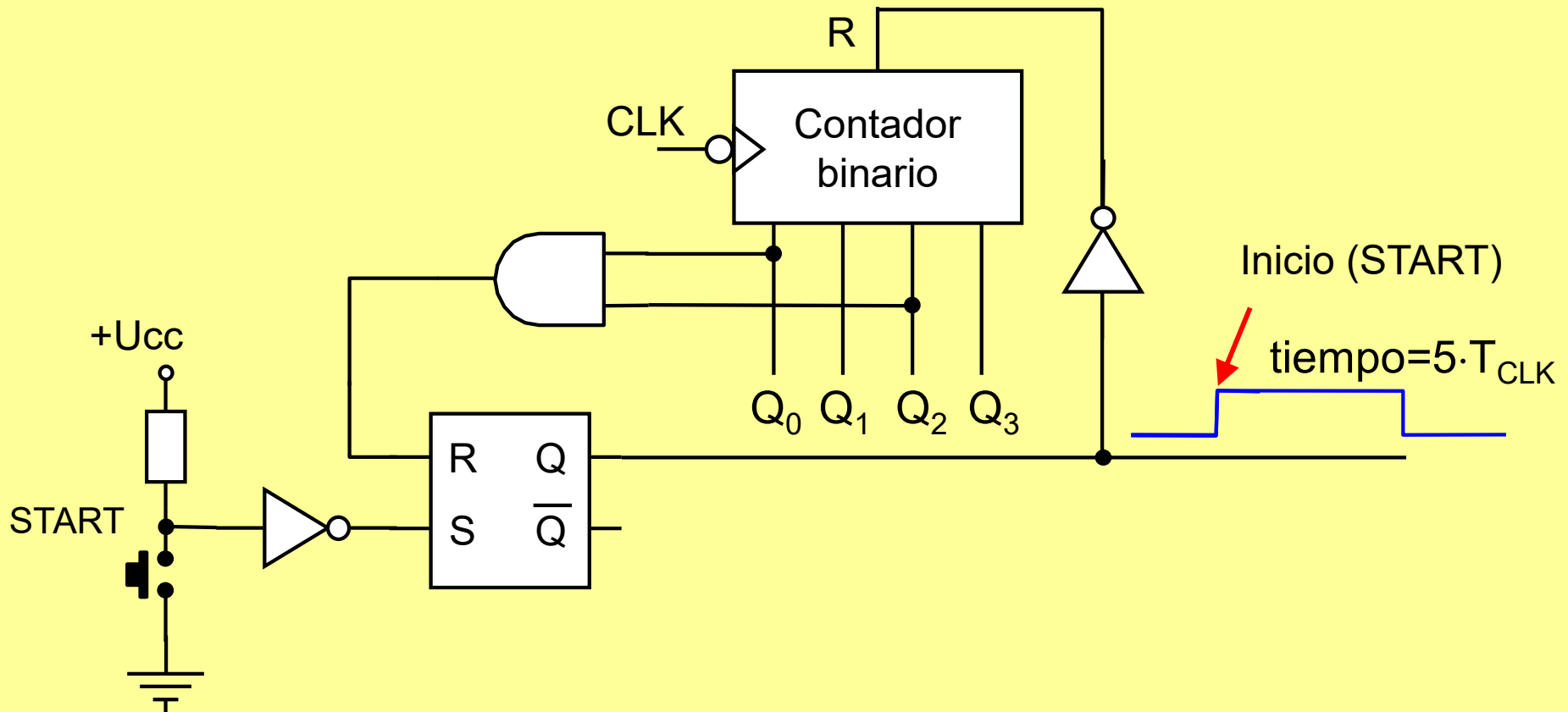
Temporizador: circuito que proporciona una señal que está activa durante un número de ciclos “n” determinado. La temporización dura un tiempo $= n \cdot T_{CLK}$



Ejemplo: temporizador de 5 ciclos de reloj

Para contar 5 ciclos:

- El pulsador inicia la cuenta: SET del biestable, libera RESET del contador
- RESET del biestable al aparecer el 5 decimal: $Q_3Q_2Q_1Q_0=0101$



12.4. Contadores asíncronos descendentes

Contadores descendentes

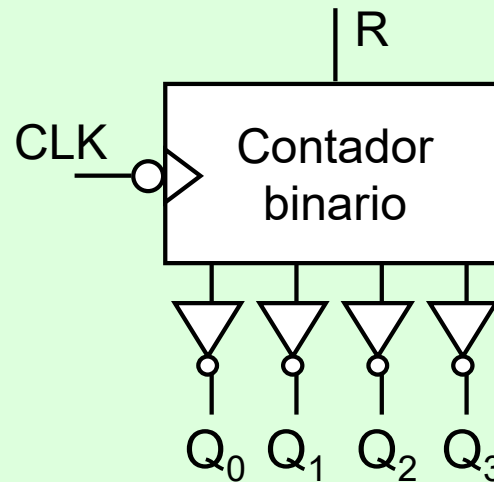
Solución 1:

Observando las salidas de un contador descendente frente al ascendente:

Ascendente Descendente

Q_2	Q_1	Q_0	Q_2	Q_1	Q_0
0	0	0	1	1	1
0	0	1	1	1	0
0	1	0	1	0	1
0	1	1	1	0	0
1	0	0	0	1	1
1	0	1	0	1	0
1	1	0	0	0	1
1	1	1	0	0	0

Basta negar las salidas de un contador ascendente:

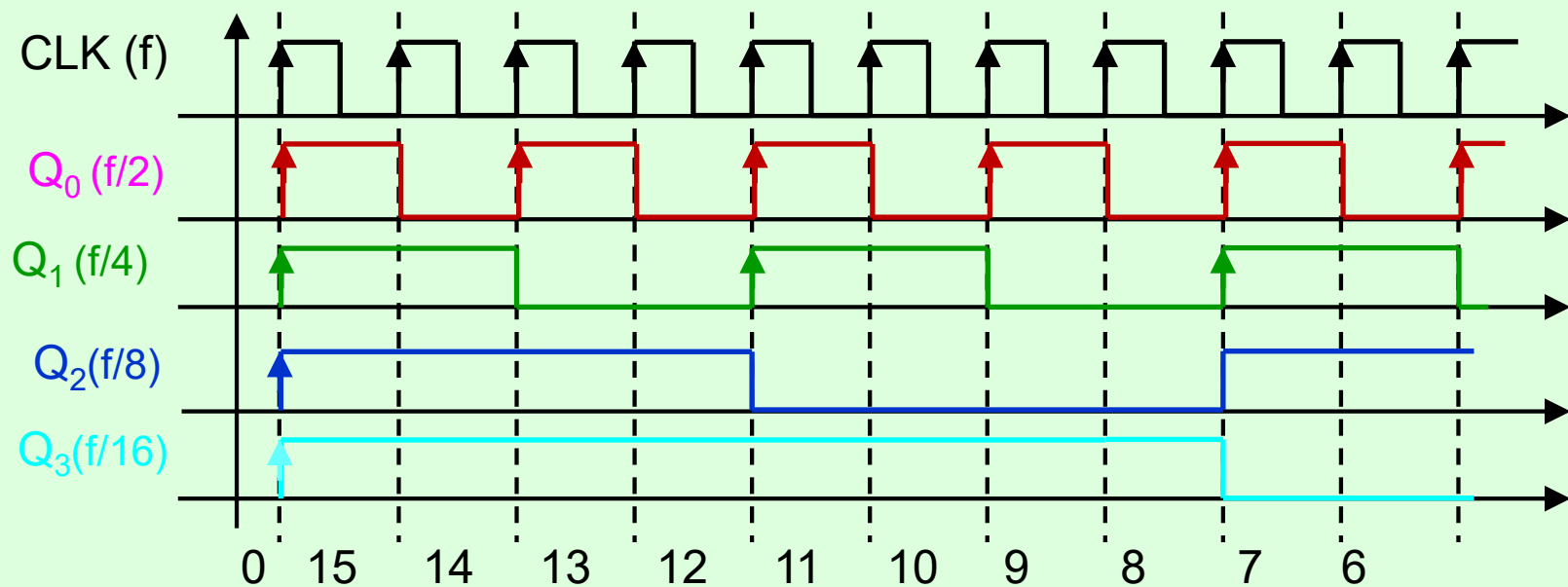
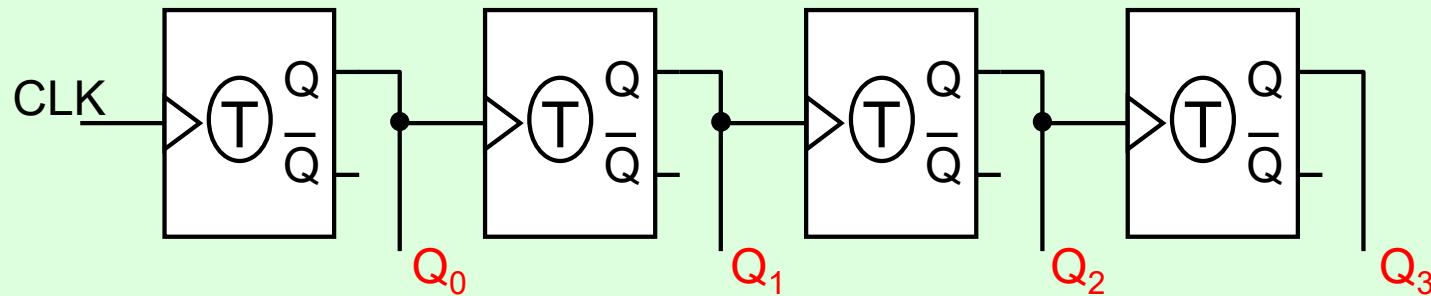


Ejercicio: Construir un contador que se pueda configurar como ascendente o descendente en función de la señal de control C ("0" y "1" respectivamente).

Contadores descendentes

Solución 2:

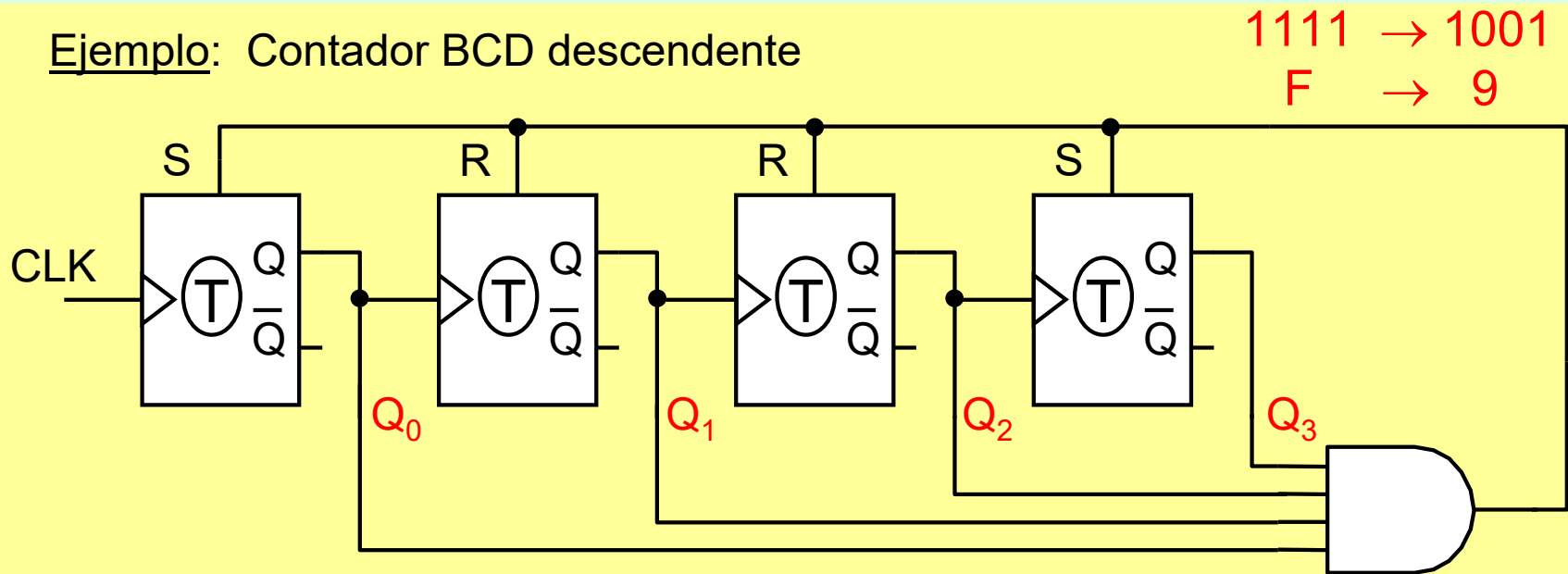
Encadenar biestables T activos por flanco ascendente.



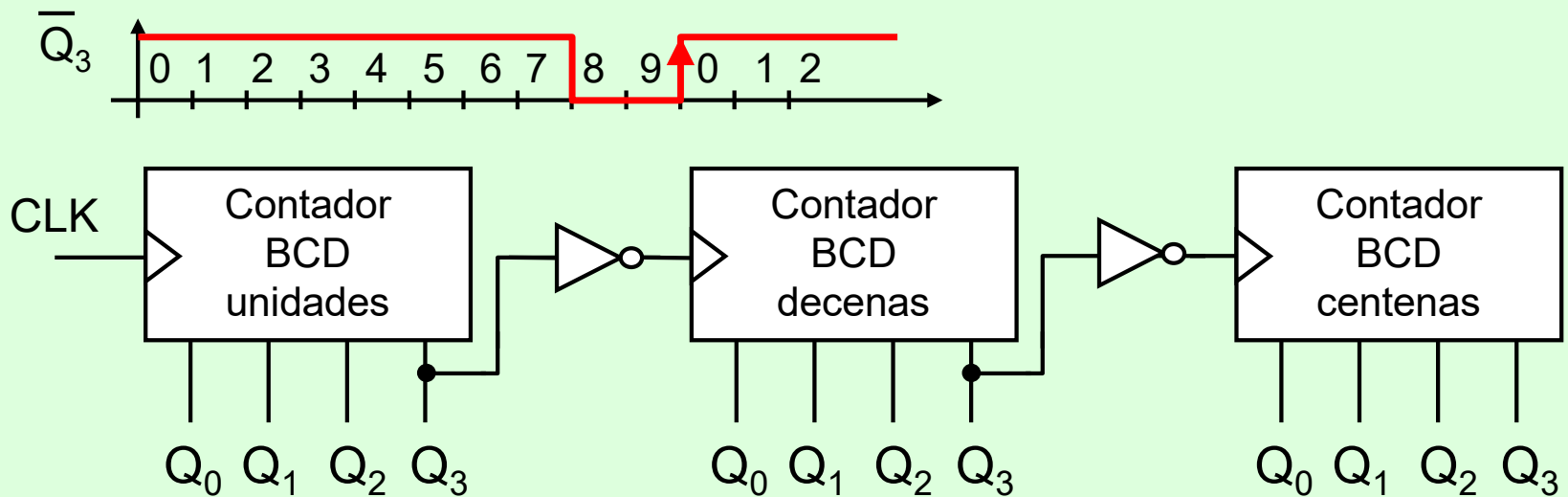
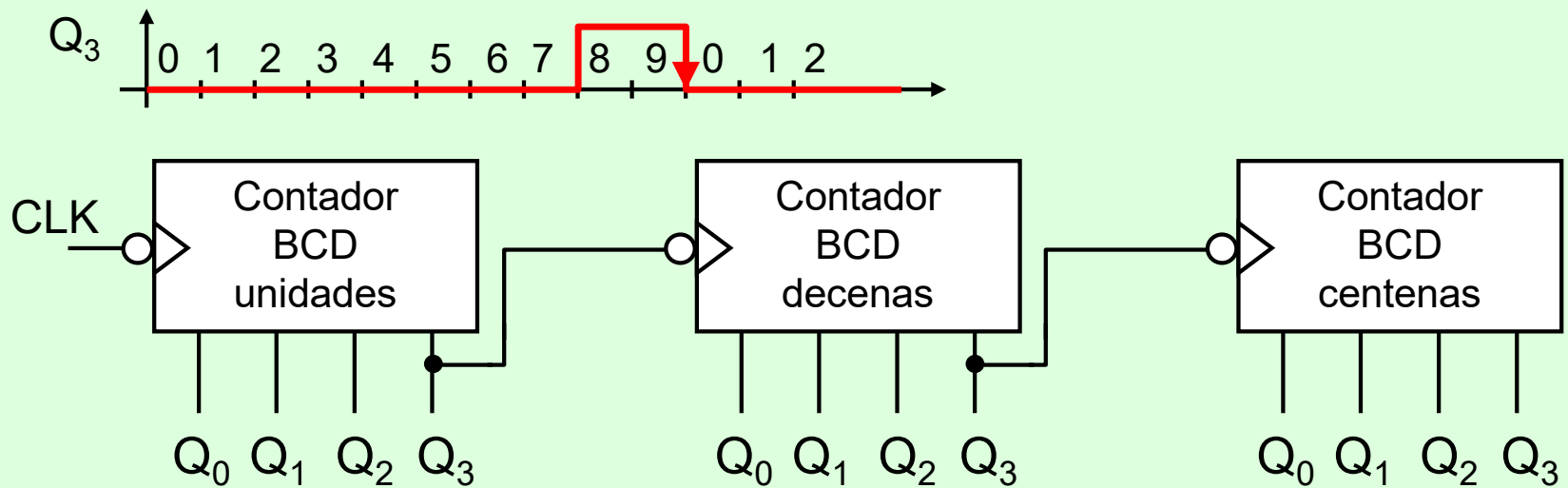
Características específicas de los contadores descendentes

- a) Para detectar un determinado número hay que seleccionar todas las salidas del contador (o bien buscar los ceros, que aparecen antes que los unos en la cuenta descendente)
- b) Inicializar el contador implica colocar todas las salidas a “1” mediante el Set (si es hexadecimal) o colocar un “9” si es BCD mediante la precarga o la activación de los Set y Reset de los biestables “T”.

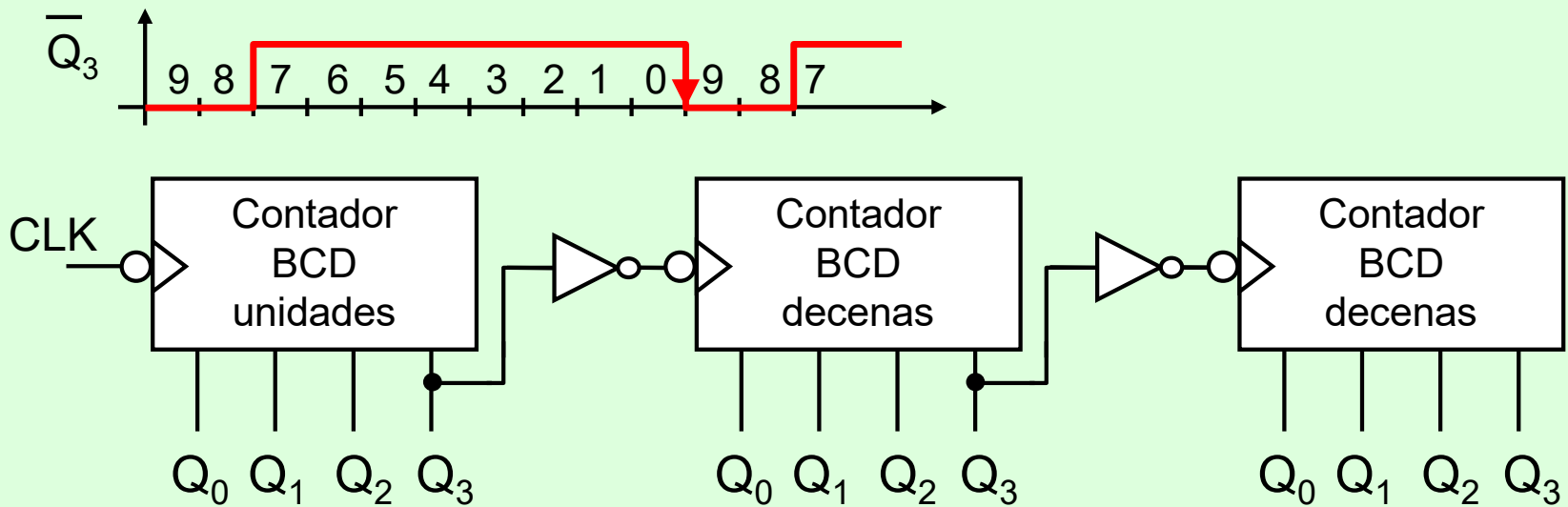
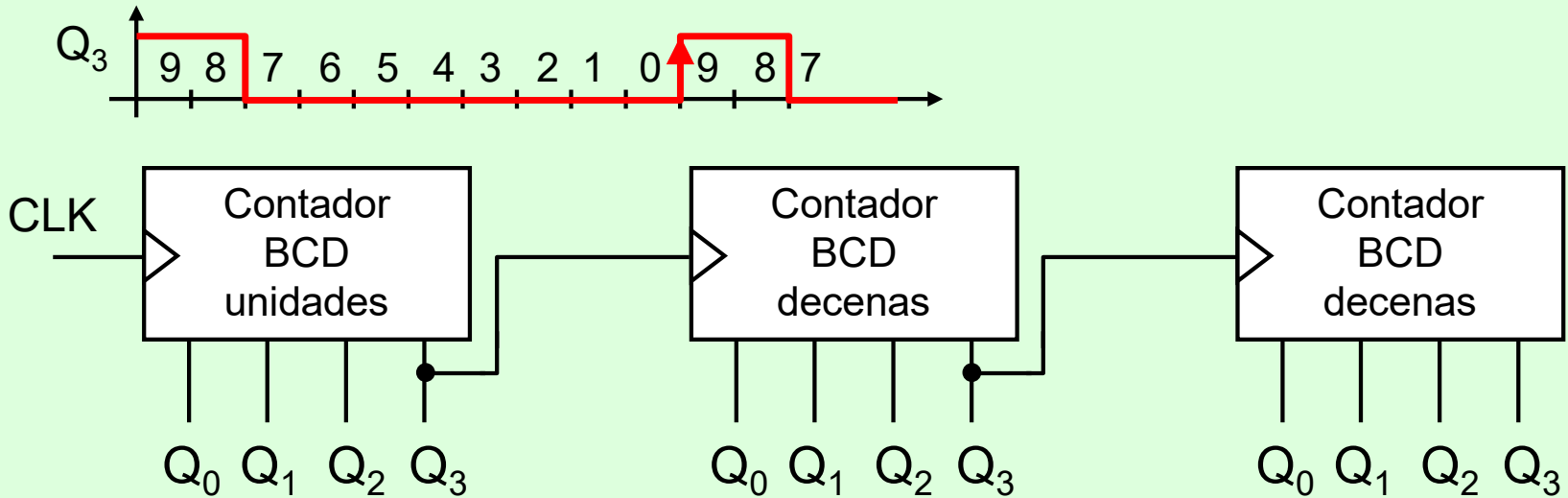
Ejemplo: Contador BCD descendente



Encadenado de contadores ascendentes



Encadenado de contadores descendentes

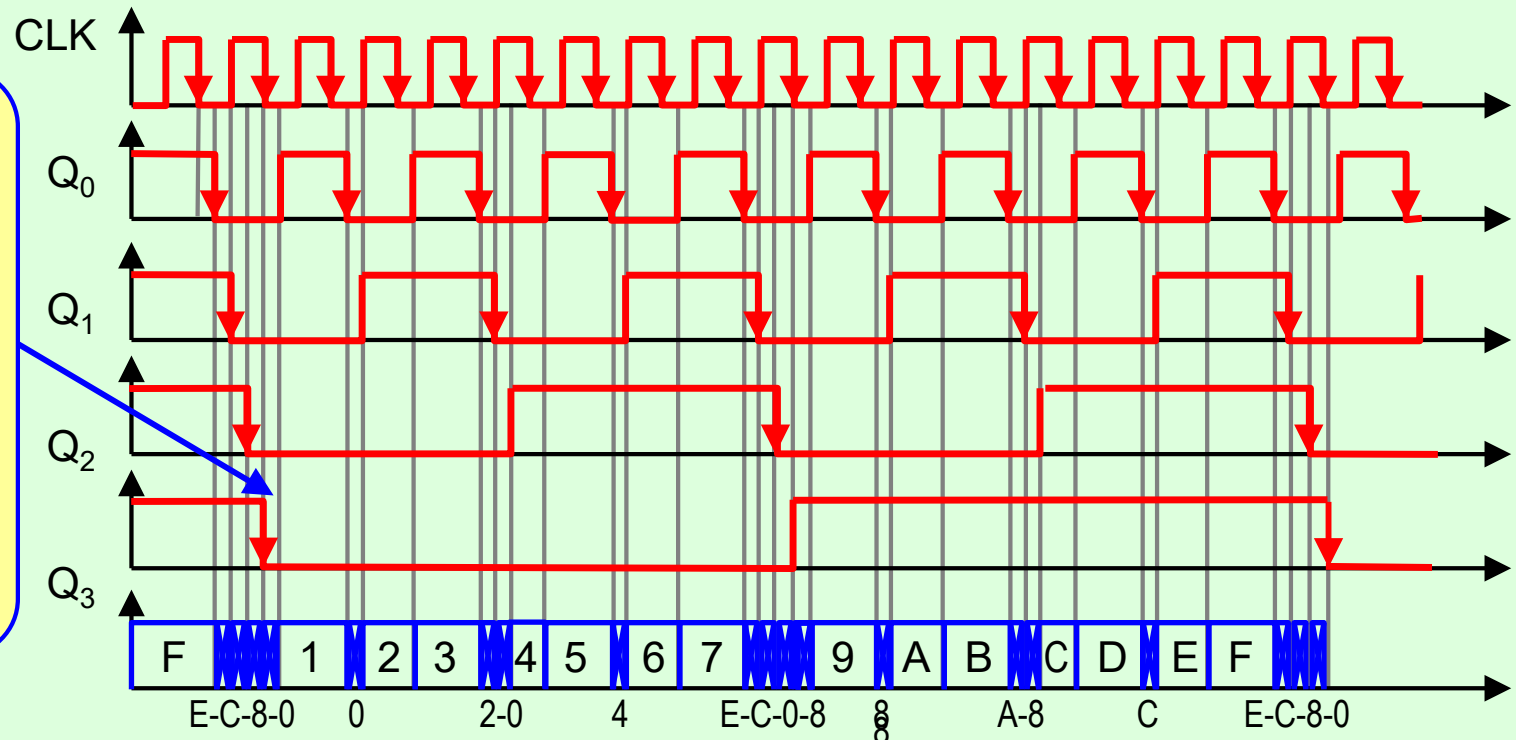


12.5. Contadores síncronos

Problemática en los contadores asíncronos

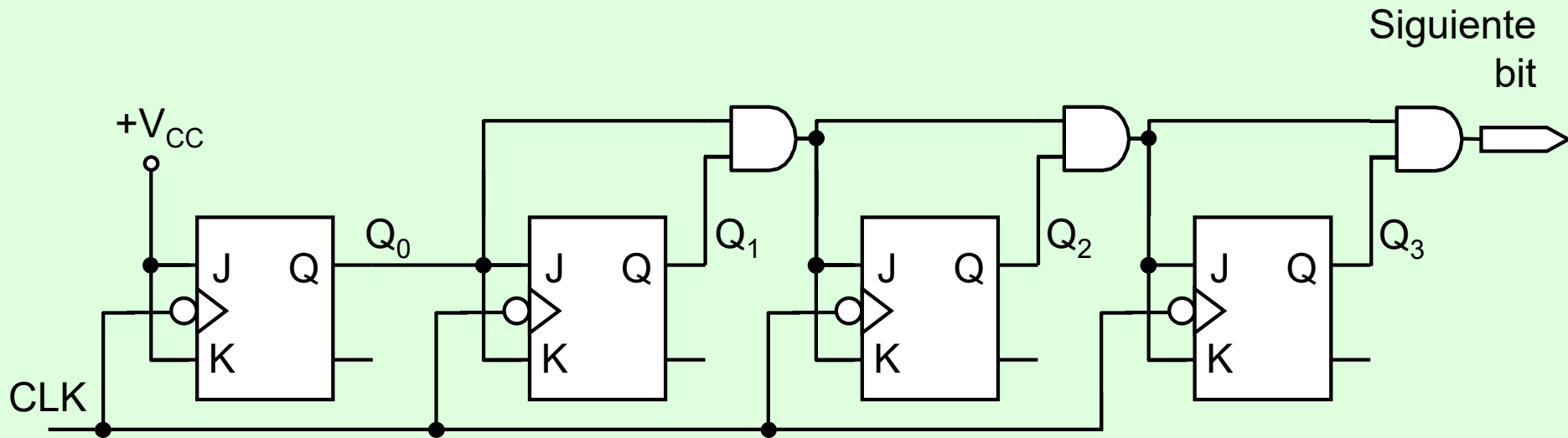
El retardo en la propagación de la señal (t_p) en cada biestable de la cadena se suma: el retardo total (=“n biestables” * t_p) limita la frecuencia máxima de trabajo (f_{CLK})

El cambio en esta señal lleva un ciclo de reloj de retraso. No se llega a ver el número 0 de la secuencia



A frecuencias elevadas de trabajo se necesita que la señal de reloj llegue a todos los biestables a la vez: **Contadores Síncronos**

Contadores síncronos: contador binario síncrono

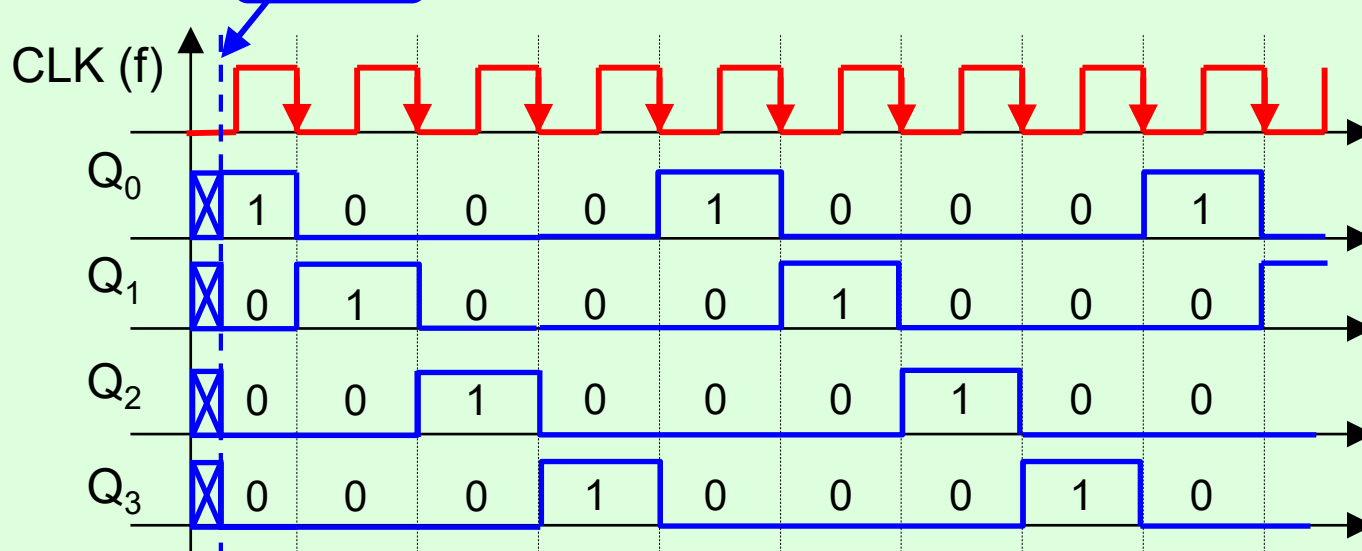
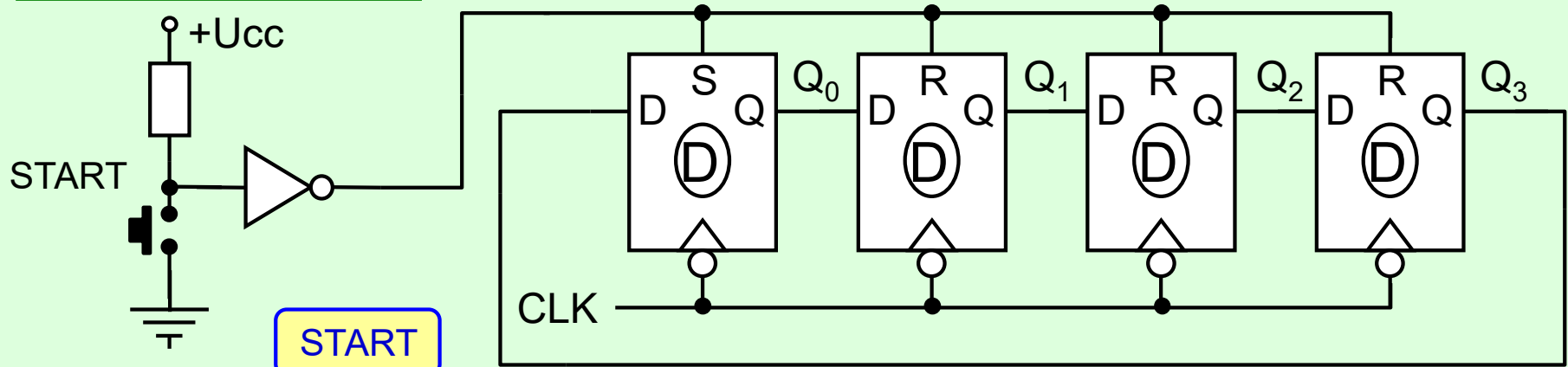


Idea: Si para un biestable dado, todos los bits de menor peso son 1, las entradas J-K del biestable son unos, y al llegar el flanco activo, el biestable cambia, por lo que se incrementa el valor presente en las salidas

Puede verse que TODAS las salidas cambian con el mismo retraso, al recibir el flanco activo **SIMULTÁNEAMENTE**

12.6 Contadores síncronos especiales: en anillo y Johnson

Contador en anillo

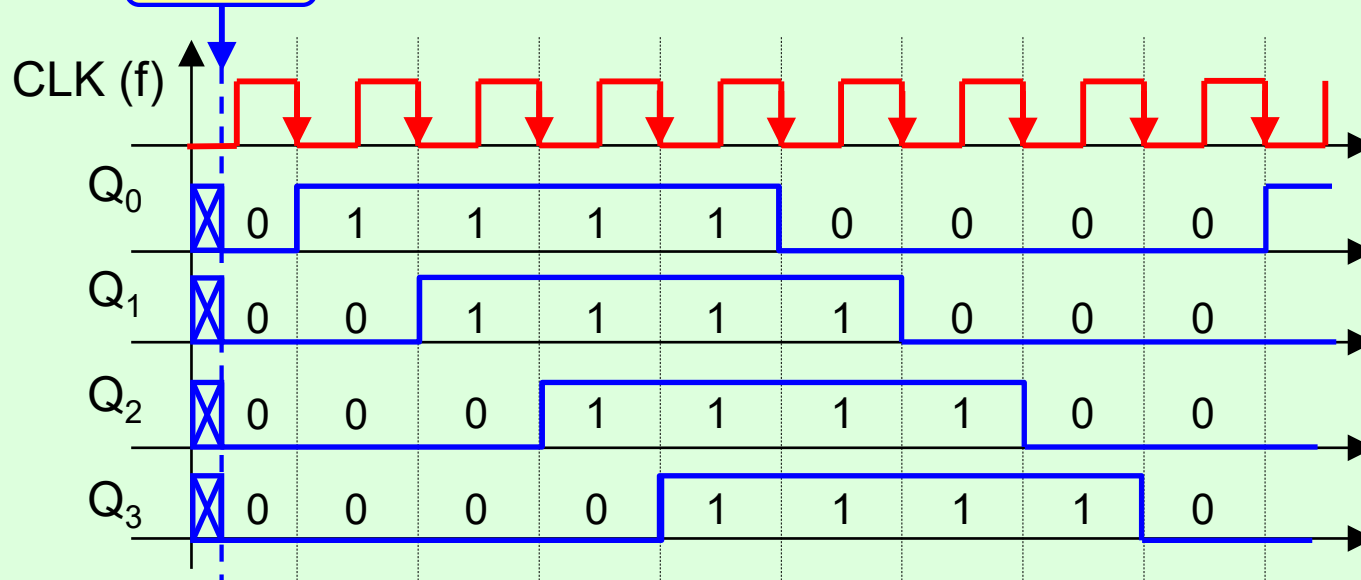
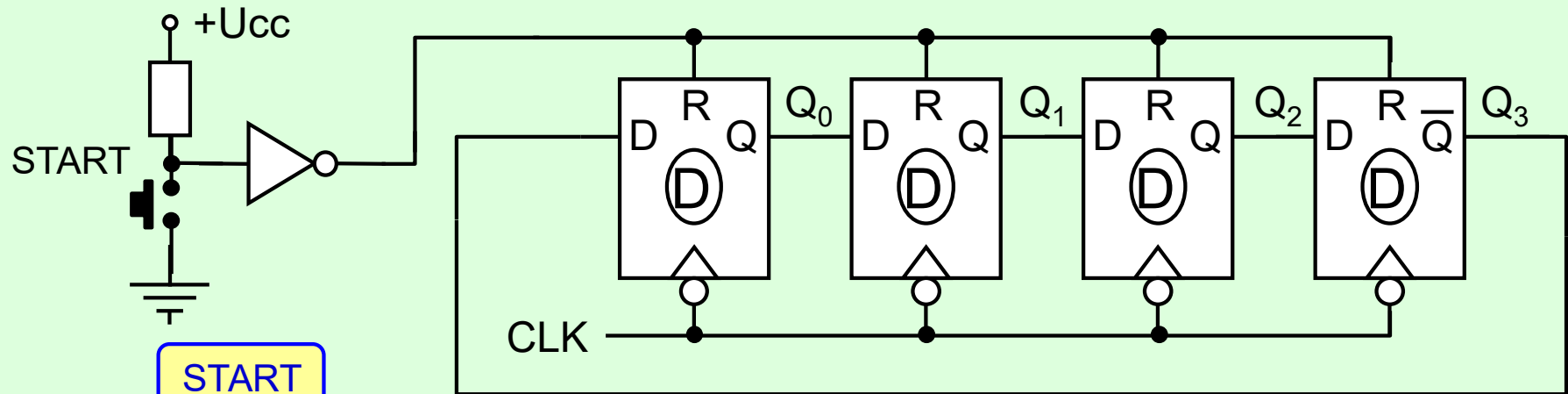


Secuencia:

Q_3	Q_2	Q_1	Q_0
0	0	0	1
0	0	1	0
0	1	0	0
1	0	0	0

Puede verse también como una aplicación de los registros de desplazamiento

Contador Johnson



	Q ₃	Q ₂	Q ₁	Q ₀
→	0	0	0	0
	0	0	0	1
	0	0	1	1
	0	1	1	1
	1	1	1	1
	1	1	1	0
	1	1	0	0
	1	0	0	0

Puede verse como una aplicación de los registros de desplazamiento