

Universidad de Oviedo. Escuela Politécnica de Ingeniería de Gijón Tecnología Electrónica. Grado en Ingeniería en Tecnologías Industriales

APELLIDOS Y NOMBRE

Mier Montole, Jun Francisco 21777658V

GRUPO PA1

DNI

MODELO A

EJERCICIO 1

Sintetizar la función lógica f(A,B,C,D) cuya tabla de verdad se adjunta en la figura, dibujando el esquema del circuito correspondiente en cada caso, utilizando:

- a) El mínimo número posible de puertas NAND (no olvidar dibujar el circuito)
- b) Un decodificador 4 a 16 con salidas activas a nivel bajo y una puerta lógica apropiada con el número de entradas que sea preciso, indicando de qué puerta se trata

D	С	В	Α	f
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	X
1	0	1	1	X
1	1	0	0	X
1	1	0	1	1 X X X X
1	1	1	0	X
1	1	1	1	Х

a) 5/5b) 5/5

TOTAL: 10/10

EJERCICIO 2

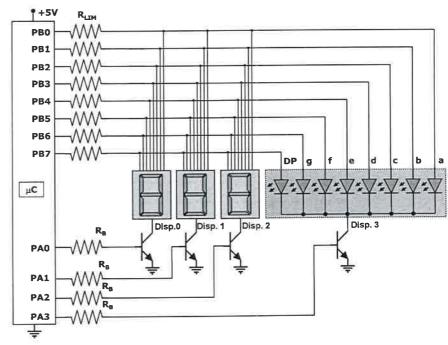
La figura muestra la conexión de varios displays de cátodo común a los puertos de salida digitales de un microcontrolador, de forma que su encendido se realizará mediante un procedimiento de barrido. Los puertos son de tipo CMOS, siendo además las características de salida las siguientes:

Puerto A (salidas PAi) I_{OL}=25 mA, I_{OH}=-25 mA.

Todo mal: 0/10

Puerto B (salidas PBi) IoL=50 mA, IoH=-50 mA

Datos de los LED del display para que luzcan: $I_{D(MEDIA)}=10$ (mA); $V_D=2(V)$



Si los transistores tienen β =250, se pide:

- a) Corriente por el LED cuando está encendido (máxima)
- b) Corriente por el display en conducción (máxima)
- c) Resistencia limitadora Rum
- d) Máxima resistencia de base del transistor que garantice la saturación $R_{\textrm{B}}\;y$
- e) Corriente de base mínima correspondiente I_{B(MIN)}

ILED(MAX)	IDISPLAY(MAX)	RLIM	R _B (MAXIMA)	I _B (MINIMA)
125mA	ILED. C=	0,31	62,51	0.08m4
533	(00m)	12.06-4	7	277
•	?	21417	7	
NO	NO	NO	NO	NO

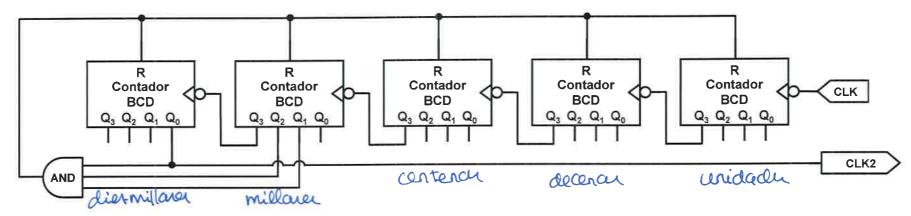
EJERCICIO 3

Las figuras muestran los circuitos necesarios para realizar una temporización, que incluyen un divisor de frecuencia y un temporizador. Si el circuito de reloj proporciona una señal de reloj de frecuencia f_{CLK} = 32 kHz, se pide:

Divisor	f _{CLK2}
10000	32110=3,2HZ

Ciclos	Temporización
45	4513,2=14,06259

a) Divisor de frecuencia. Valor por el que divide el divisor de frecuencia, y frecuencia de la señal f_{CLK2}.



b) Temporizador. Número de ciclos que cuenta el temporizador y duración de la temporización.

