

TECNOLOGÍA ELECTRÓNICA DE COMPUTADORES

2º Curso – GRADO EN INGENIERÍA INFORMÁTICA
EN TECNOLOGÍAS DE LA INFORMACIÓN

Tema 9: Circuitos integrados: microcontroladores

*Lección 20. Microcontroladores PIC 16xxx:
Puertos de Entrada/Salida*

Lección 20. Microcontroladores PIC 16xxx: Puertos de E/S

20.1. Características generales de los puertos de E/S en el PIC16F877

20.2. Características eléctricas

20.3. Registros de puertos (PORTx) y de dirección de datos (TRISx)

20.4. Puerto A

20.5. Puerto B

20.6. Puerto C

20.7. Puerto D y Puerto E

20.8. Anexo: Diagrama de bloques y esquema interno de los puertos

20.1. Características generales de los puertos de E/S en el PIC16F877

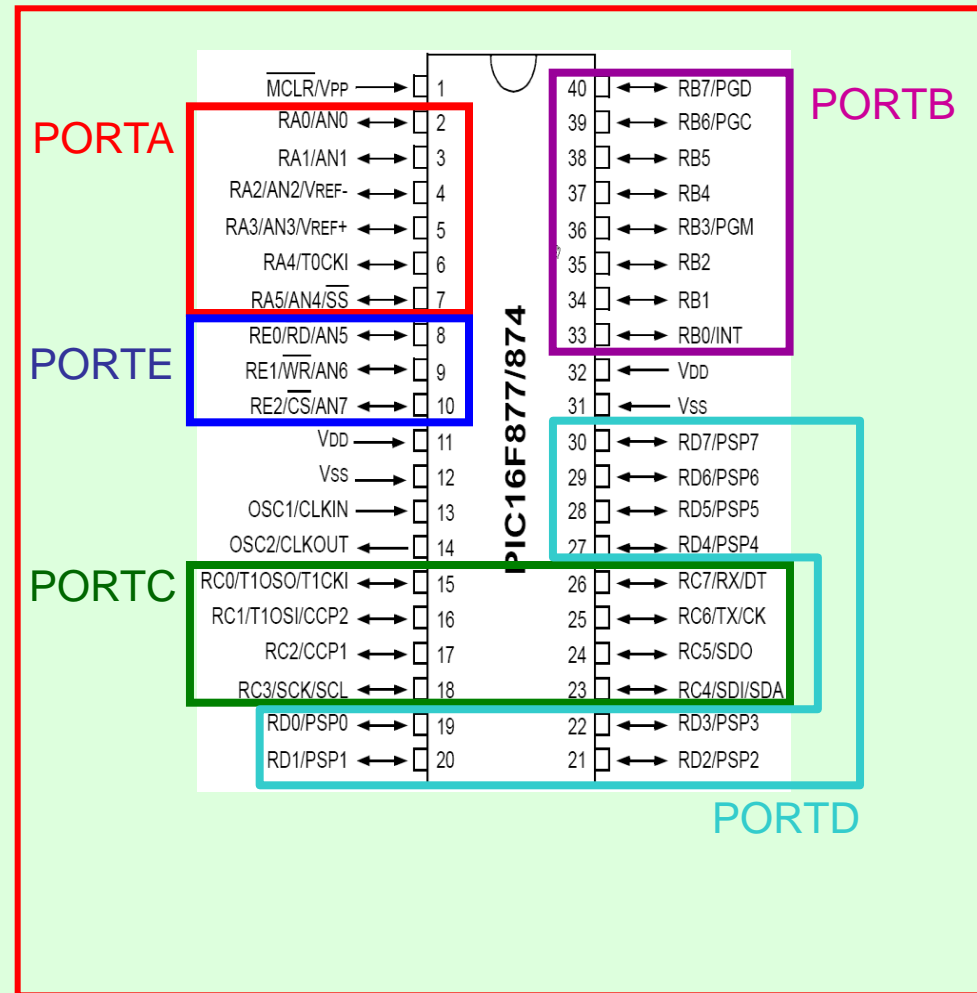
Dispone de 5 Puertos de E/S configurables

PORTA: 6 pines (dir 0x05)
PORTB: 8 pines (dir 0x06 y 0x106)
PORTC: 8 pines (dir 0x07)
PORTD: 8 pines (dir 0x08)
PORTE: 3 pines (dir 0x09)

TOTAL: 33 pines de E/S

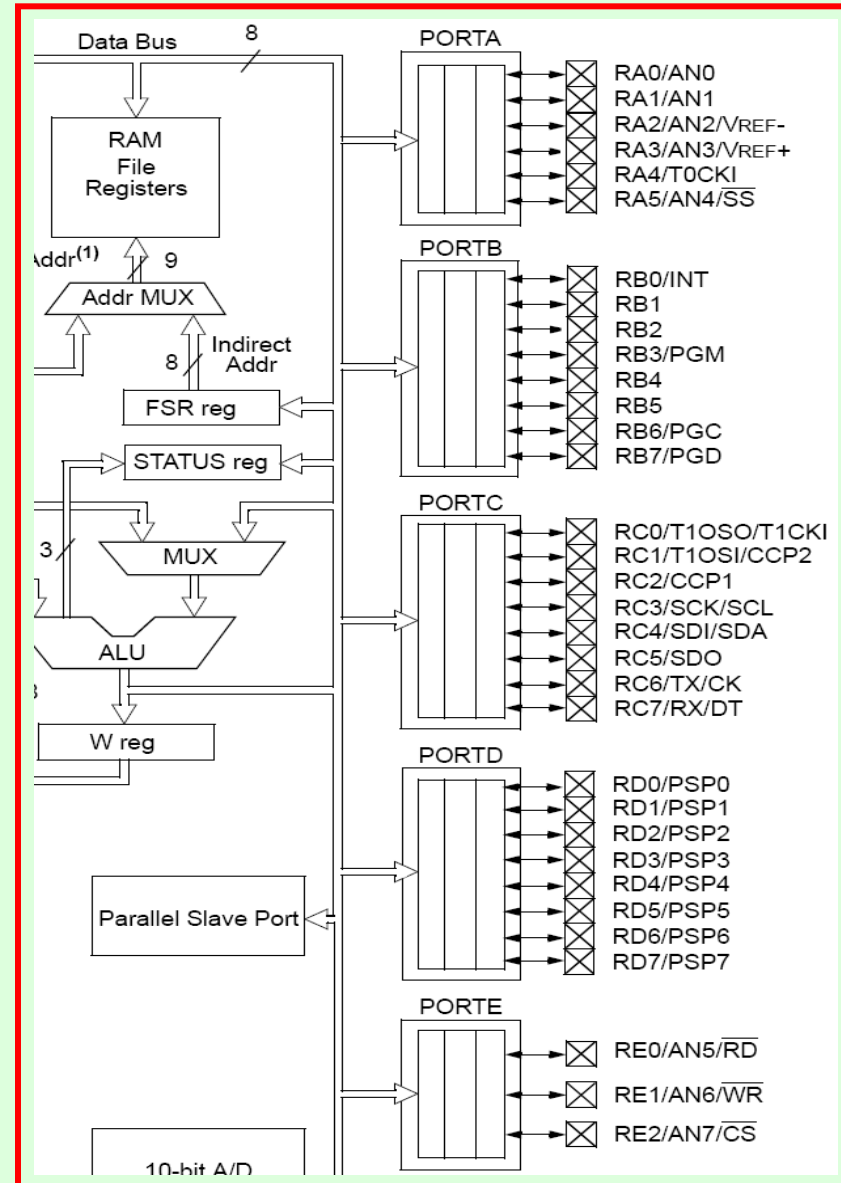
La configuración de la **dirección de los datos** (entrada o salida) se hace en los registros de dirección de datos:

TRISA (dir 0x85)
TRISB (dir 0x86 y 0x186)
TRISC (dir 0x87)
TRISD (dir 0x88)
TRISE (dir 0x89)



Patillaje y funciones:

- Funciones múltiples en cada patilla:
Las funciones de los puertos están multiplexadas con otros módulos:
 - PWM (Pulse Width Modulator)
 - PSP (Parallel Slave Port)
 - Anx: Entradas analógicas
 - TX, RX (Puerto serie)
 - Etc...
- Es necesario CONFIGURAR en el inicio (o durante el programa) el funcionamiento de cada patilla



Funcionamiento Multiplexado con otros módulos

20.2. Características eléctricas

Principales características:

Alimentación del PIC:

Circuitos 16F87X: 4 a 5,5 V

Circuitos 16LF87X: 2 a 5,5 V

Rango de frecuencias:

Circuitos 16F87X: Hasta 20 MHz

Circuitos 16LF87X: Hasta 4 a 10 MHz (depende de la tensión de alimentación)

Corrientes máximas:

Por pin de Entrada/Salida: $I_{OL}=25$ mA; $I_{OH}= - 25$ mA

Total pines PORTA, PORT B y PORT E: +/-200 mA

Total pines PORTC y PORT D: +/-200 mA

Otras características más específicas:

Consultar las hojas de características (datasheet)

Otras características eléctricas (datasheet)

15.0 ELECTRICAL CHARACTERISTICS

Absolute Maximum Ratings †

Ambient temperature under bias	-55 to +125°C
Storage temperature	-65°C to +150°C

Voltage on any pin with respect to Vss (except VDD, MCLR, and RA4) -0.3 V to (VDD + 0.3 V)

Voltage on VDD with respect to Vss -0.3 to +7.5 V

Voltage on MCLR with respect to Vss (Note 2) 0 to +14 V

Voltage on RA4 with respect to Vss 0 to +8.5 V

Total power dissipation (Note 1) 1.0 W

Maximum current out of Vss pin 300 mA

Maximum current into VDD pin 250 mA

Input clamp current, I_{IK} (V_I < 0 or V_I > VDD) ± 20 mA

Output clamp current, I_{OK} (V_O < 0 or V_O > VDD) ± 20 mA

Maximum output current sunk by any I/O pin 25 mA

Maximum output current sourced by any I/O pin 25 mA

Maximum current sunk by PORTA, PORTB, and PORTE (combined) (Note 3) 200 mA

Maximum current sourced by PORTA, PORTB, and PORTE (combined) (Note 3) 200 mA

Maximum current sunk by PORTC and PORTD (combined) (Note 3) 200 mA

Maximum current sourced by PORTC and PORTD (combined) (Note 3) 200 mA

Características de salida

DC CHARACTERISTICS			Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial $0^{\circ}\text{C} \leq T_A \leq +70^{\circ}\text{C}$ for commercial Operating voltage V_{DD} range as described in DC specification (Section 15.1)					
Param No.	Sym	Characteristic	Min	Typ†	Max	Units	Conditions	
D080	VOL	Output Low Voltage						
		I/O ports	—	—	0.6	V	$I_{OL} = 8.5\text{ mA}$, $V_{DD} = 4.5\text{V}$, -40°C to $+85^{\circ}\text{C}$	
D083		OSC2/CLKOUT (RC osc config)	—	—	0.6	V	$I_{OL} = 1.6\text{ mA}$, $V_{DD} = 4.5\text{V}$, -40°C to $+85^{\circ}\text{C}$	
D090	VOH	Output High Voltage						
		I/O ports ⁽³⁾	$V_{DD} - 0.7$	—	—	V	$I_{OH} = -3.0\text{ mA}$, $V_{DD} = 4.5\text{V}$, -40°C to $+85^{\circ}\text{C}$	
D092		OSC2/CLKOUT (RC osc config)	$V_{DD} - 0.7$	—	—	V	$I_{OH} = -1.3\text{ mA}$, $V_{DD} = 4.5\text{V}$, -40°C to $+85^{\circ}\text{C}$	
D150*	VOD	Open-Drain High Voltage	—	—	8.5	V	RA4 pin	

Características de entrada

DC CHARACTERISTICS			Standard Operating Conditions (unless otherwise stated)				
			Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial $0^{\circ}\text{C} \leq T_A \leq +70^{\circ}\text{C}$ for commercial				
			Operating voltage VDD range as described in DC specification (Section 15.1)				
Param No.	Sym	Characteristic	Min	Typ†	Max	Units	Conditions
D030 D030A D031 D032 D033 D034 D034A	VIL	Input Low Voltage					
		I/O ports					
		with TTL buffer	Vss	—	0.15VDD	V	For entire VDD range
			Vss	—	0.8V	V	$4.5\text{V} \leq \text{VDD} \leq 5.5\text{V}$
		with Schmitt Trigger buffer	Vss	—	0.2VDD	V	
		MCLR, OSC1 (in RC mode)	Vss	—	0.2VDD	V	
		OSC1 (in XT, HS and LP)	Vss	—	0.3VDD	V	(Note 1)
		Ports RC3 and RC4		—			
		with Schmitt Trigger buffer	Vss	—	0.3VDD	V	For entire VDD range
		with SMBus	-0.5	—	0.6	V	for VDD = 4.5 to 5.5V
D040 D040A D041 D042 D042A D043 D044 D044A	VIH	Input High Voltage					
		I/O ports		—			
		with TTL buffer	2.0	—	VDD	V	$4.5\text{V} \leq \text{VDD} \leq 5.5\text{V}$
			0.25VDD + 0.8V	—	VDD	V	For entire VDD range
		with Schmitt Trigger buffer	0.8VDD	—	VDD	V	For entire VDD range
		MCLR	0.8VDD	—	VDD	V	
		OSC1 (XT, HS and LP)	0.7VDD	—	VDD	V	(Note 1)
		OSC1 (in RC mode)	0.9VDD	—	VDD	V	
		Ports RC3 and RC4					
		with Schmitt Trigger buffer	0.7VDD	—	VDD	V	For entire VDD range
with SMBus	1.4	—	5.5	V	for VDD = 4.5 to 5.5V		
D070	IPURB	PORTB Weak Pull-up Current	50	250	400	μA	VDD = 5V, VPIN = VSS, -40°C TO +85°C
D060 D061 D063	IIL	Input Leakage Current^(2, 3)					
		I/O ports	—	—	±1	μA	Vss ≤ VPIN ≤ VDD, Pin at hi-impedance
		MCLR, RA4/T0CKI	—	—	±5	μA	Vss ≤ VPIN ≤ VDD
		OSC1	—	—	±5	μA	Vss ≤ VPIN ≤ VDD, XT, HS and LP osc configuration

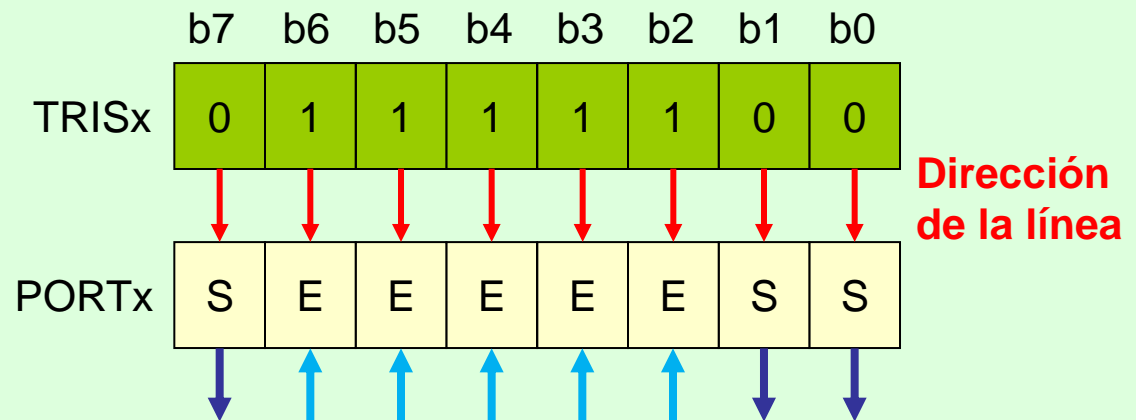
20.3. Registros de puertos (PORTx) y de dirección de datos (TRISx)

- Un puerto (**PORT**) es una **agrupación lógica** de pines de E/S direccionado en la memoria RAM de datos, el **tamaño máximo** de un puerto es de 8 bits (1 byte)
- Muchos de los pines de los puertos de E/S están **multiplexados** con otras funciones alternativas asociadas a los **módulos internos del microcontrolador**. Cada función posible aparece separada del resto mediante un carácter “/”: **RC3/SCK/SCL**
- Cada **registro de puerto (PORTx)**, lleva asociado un **registro de dirección de datos (TRISx)** que configura la dirección (entrada o salida) de cada uno de los pines del puerto. El **bit n de TRISx** controla el sentido del **bit n de PORTx** (si es “1”: entrada , si “0”:salida)

Para acordarse:

1 = I = Input (Entrada E)

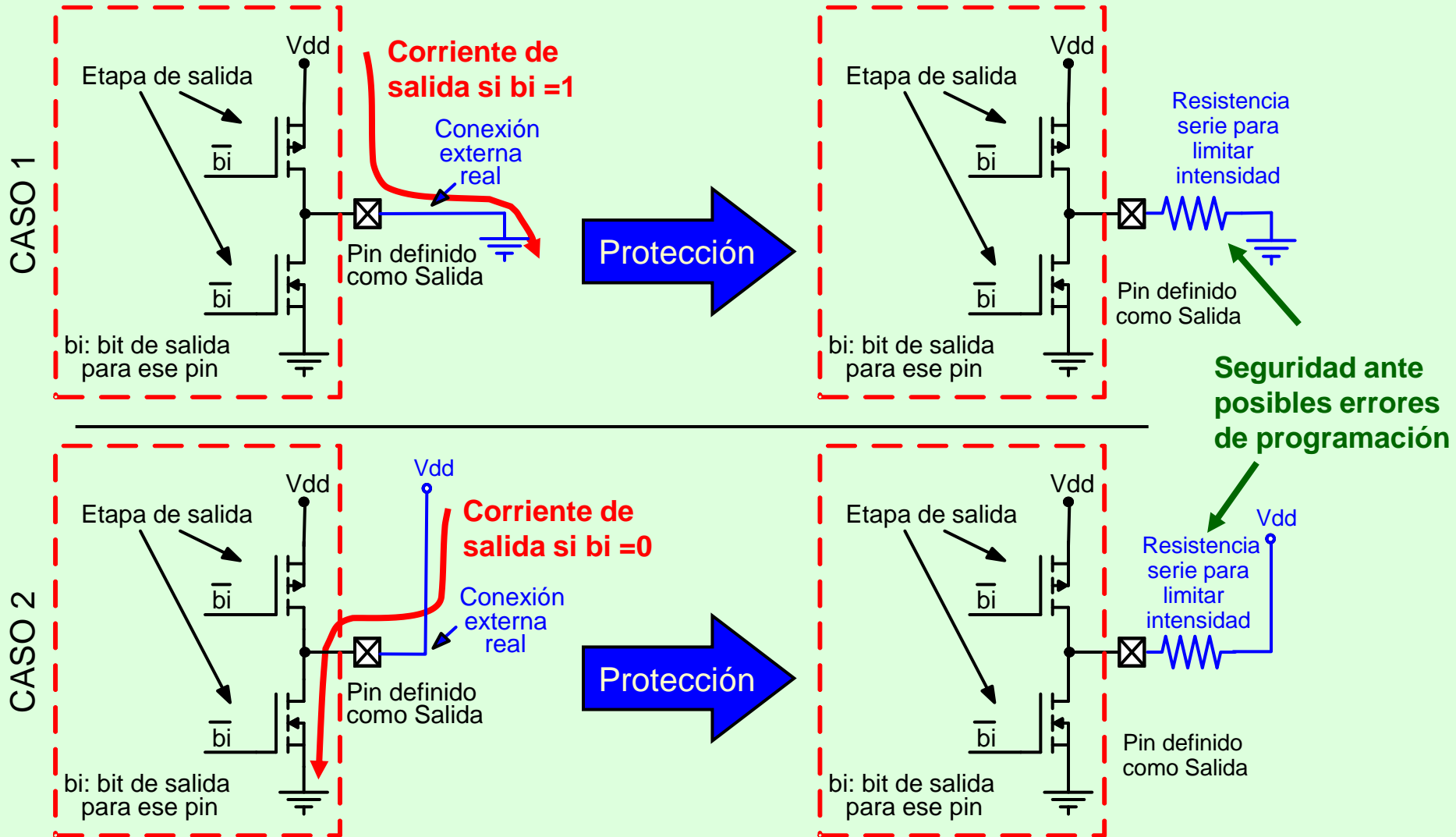
0 = O = Output (Salida S)



Dirección de los datos en los puertos y valores lógicos

- El nivel lógico y eléctrico de un pin definido como **entrada** dependerá de la **conexión externa** realizada en ese pin. Los pines de entrada tendrán conectado “algo” en el **exterior** que fijará ese nivel.
- El nivel lógico y eléctrico en un pin definido como **salida** debe ser gobernado por una **etapa de salida interna** asociada a ese pin, ese nivel se desconoce “a priori” en el arranque pero vendrá impuesto vía software desde el **programa** del microcontrolador.
- Tras un **reset**, todos los bits de los registros TRISx están a “1”, todos los pines de los PORTx **son por tanto de entrada** por motivo de “seguridad” en las conexiones
- Si el pin estuviera definido **por error como salida** y la **conexión externa** correspondiera realmente **a una entrada** cuyo nivel no tiene porqué coincidir con el que intenta “imponer” la salida, podría aparecer una sobrecorriente que “quemaría” la etapa de salida de manera definitiva.
- Por tal motivo es **especialmente importante** prestar atención a la **configuración** que se hace de la dirección de los pines de los puertos desde el programa y también **puede ser aconsejable “proteger” eléctricamente** esos pines con alguna limitación en la corriente de salida (una resistencia serie por ejemplo) ante errores de programación.

Protección de salidas (estándar) si hay entradas definidas como salidas



Puertos. ¿Qué aspectos es interesante conocer?

- **Hardware.** Diagrama de bloques interno y esquema eléctrico de los puertos, que es particular de cada puerto
 - Incluso en el mismo puerto hay pines con características eléctricas diferentes
- **Software.** Registros asociados, y uso desde el programa. Dos aspectos:
 - a) Configuración del hardware (inicialización)
 - Modo de trabajo de cada pin
 - Configuración de los módulos a utilizar
 - Posible uso de interrupciones
 - etc...
 - b) Uso durante la ejecución normal

20.4. Puerto A

Consta de 6 pines en total:

- a) Los pinos RA5, RA3, RA2, RA1 y RA0 tienen un esquema similar (ver anexo):
- Las entradas están multiplexadas con un módulo A/D ($RA5/\overline{SS}/AN4$, $RA3/AN3/V_{REF+}$, $RA2/AN2/V_{REF-}$, $RA1/AN1$ y $RA0/AN0$) y alguna de ellas tiene otras funciones adicionales ($RA2$, $RA3$ y $RA5$)
 - Las salidas son C-MOS (con una etapa de MOS complementaria), y los pines de E/S tienen diodos de protección que permiten “enclavar” la tensión de entrada en el caso de que dichos diodos entren en conducción, limitando la tensión a valores próximos a $V_{SS}=0$ o a V_{DD} respectivamente
- b) El pin RA4 tiene un esquema algo diferente:
- Salida de drenador abierto
 - La entrada está multiplexada con T0CKI (entrada de reloj externa para el TIMER0)
- c) Los bits 0 a 5 del registro TRISA ($TRISA<0:5>$) determinan para cada línea digital si es entrada (Bit=1=Input) o salida (Bit=0=Output)

Configuración de las entradas como digitales / analógicas

- Los pines RA5, RA3, RA2, RA1 y RA0 están **multiplexadas con las entradas analógicas** del conversor A/D AN4, AN3, AN2, AN1, AN0
- La configuración A/D de cada pin se selecciona en el registro **ADCON1 (0x09F)**

Registro **ADCON1 (0x09F)**

R/W-0	R/W-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
ADFM	ADCS2	—	—	PCFG3	PCFG2	PCFG1	PCFG0
bit 7				bit 0			

- Tras un RESET, las líneas están definidas todas como analógicas
- Las líneas AN4, AN3, AN2, AN1 y AN0 corresponden al Puerto A (el resto son del Puerto E)
- Si se lee el estado (digital) de una línea configurada como analógica, se lee siempre un 0

Bits de configuración de las líneas analógicas

bit 3-0 PCFG3:PCFG0: A/D Port Configuration Control bits

PCFG <3:0>	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0	VREF+	VREF-
0000	A	A	A	A	A	A	A	A	VDD	VSS
0001	A	A	A	A	VREF+	A	A	A	AN3	VSS
0010	D	D	D	A	A	A	A	A	VDD	VSS
0011	D	D	D	A	VREF+	A	A	A	AN3	VSS
0100	D	D	D	D	A	D	A	A	VDD	VSS
0101	D	D	D	D	VREF+	D	A	A	AN3	VSS
011x	D	D	D	D	D	D	D	D	—	—
1000	A	A	A	A	VREF+	VREF-	A	A	AN3	AN2
1001	D	D	A	A	A	A	A	A	VDD	VSS
1010	D	D	A	A	VREF+	A	A	A	AN3	VSS
1011	D	D	A	A	VREF+	VREF-	A	A	AN3	AN2
1100	D	D	D	A	VREF+	VREF-	A	A	AN3	AN2
1101	D	D	D	D	VREF+	VREF-	A	A	AN3	AN2
1110	D	D	D	D	D	D	D	A	VDD	VSS
1111	D	D	D	D	VREF+	VREF-	D	A	AN3	AN2

Configuración inicial por defecto →

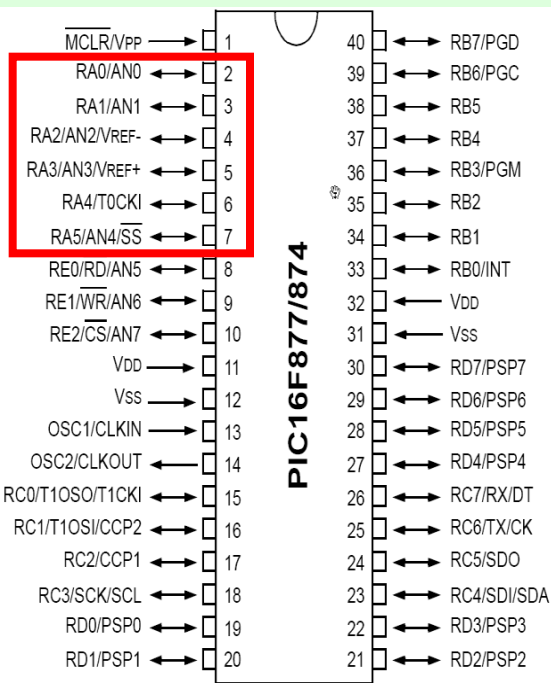
Puerto A

PORT A: Resumen

FUNCION DE LOS PINES

Name	Bit#	Buffer	Function
RA0/AN0	bit0	TTL	Input/output or analog input.
RA1/AN1	bit1	TTL	Input/output or analog input.
RA2/AN2	bit2	TTL	Input/output or analog input.
RA3/AN3/VREF	bit3	TTL	Input/output or analog input or VREF.
RA4/T0CKI	bit4	ST	Input/output or external clock input for Timer0. Output is open drain type.
RA5/SS/AN4	bit5	TTL	Input/output or slave select input for synchronous serial port or analog input.

Legend: TTL = TTL input, ST = Schmitt Trigger input



REGISTROS ASOCIADOS AL PUERTO A

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
05h	PORTA	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--0x 0000	--0u 0000
85h	TRISA	—	—	PORTA Data Direction Register						--11 1111	--11 1111
9Fh	ADCON1	ADFM	—	—	—	PCFG3	PCFG2	PCFG1	PCFG0	--0- 0000	--0- 0000

Legend: x = unknown, u = unchanged, - = unimplemented locations read as '0'.

Shaded cells are not used by PORTA.

PORT A: Notas y ejemplo de inicialización

- Si se quiere que todos los pines del PORTA funcionen como entradas/salidas digitales se debe escribir 011x en los bits PCFG<3:0> de ADCON1 .
- Otro valor en estos bits hará que todos ó alguno de los pines del puerto A pasen a funcionar como pines del módulo conversor A/D.
- El valor de RESET del registro ADCON1 es todo a 0, por lo que por defecto, tras un RESET el puerto está configurado como entradas analógicas.
- Todas las operaciones de escritura sobre el PORTA son operaciones de lectura-modificación-escritura (importante al modificar bits individuales).

;Ejemplo de inicialización del PORTA

```
BCF STATUS, RP0      ;  
BCF STATUS, RP1      ; Banco 0  
CLRF PORTA           ; Inicializo PORTA poniendo los latches de la salida a 0  
                     ; Todas las salidas estarán a 0 si las configuremos como salidas  
  
BSF STATUS, RP0      ; Banco 1  
MOVLW 0x06           ; Configuro todos los pines  
MOVWF ADCON1         ; como entradas digitales  
MOVLW 0xCF  
MOVWF TRISA          ; RA<3:0> son entradas  
                     ; RA<5:4> son salidas  
                     ; TRISA<7:6> no existen y si se leen, se leen siempre como 0
```

20.5. Puerto B

Consta de 8 pines: son 8 líneas bidireccionales

a) Casi todas tienen un esquema similar (puede verse en el anexo):

- Las salidas son C-MOS (con una etapa de MOS complementaria), y los pines de E/S tienen diodos de protección que permiten “enclavar” la tensión de entrada en el caso de que dichos diodos entren en conducción, limitando la tensión a valores próximos a $V_{SS}=0$ o a V_{DD} respectivamente

- Todas las líneas incluyen resistencias de polarización “programables” (pull-up resistors) cuando se usan como entradas. Para que estén activas:

- Los pines deben definirse como **entradas**
- Han de activarse mediante el bit **OPTION_REG<7>= $\overline{RBPU}=0$**
- En cuanto pasan a ser salidas se desactivan
- El uso de esas resistencias evita la conexión de otras externas
- Las resistencias son en realidad transistores pMOS trabajando en su zona de comportamiento resistivo (20k Ω aproximadamente)

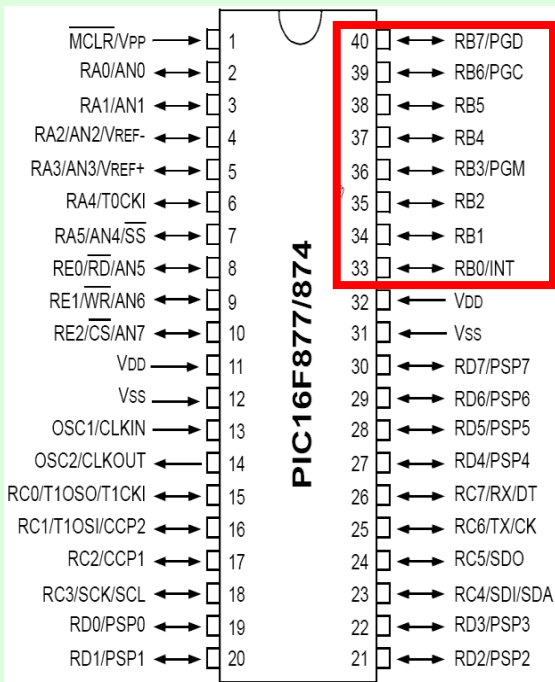
b) Los 8 bits del registro **TRISB (TRISB<0:7>)** determinan para cada línea digital si es entrada (Bit=1=Input) o salida (Bit=0=Output)

Puerto B: peculiaridades de algunas líneas

c) Las líneas RB0, RB3, RB6 y RB7 tienen funciones adicionales a las de entradas/salidas digitales (pueden verse detalles del esquema en el anexo). Se tiene:

- La línea **RB0/INT** puede generar una interrupción ante la aparición de un **flanco** (configurable de subida o de bajada con el bit **OPTION_REG<6>=INTEDG**)
- La línea **RB3** se puede emplear como **entrada de tensión** en la programación a baja tensión (LVP)
- Las líneas **RB6 y RB7** son utilizadas para la programación del microcontrolador y para la comunicación cuando el micro trabaja en modo depuración (debugger). Por lo tanto, cuando trabajemos con el ICD2 como debugger, no será posible utilizar esas dos líneas
- Las líneas **RB4, RB5, RB6 y RB7** pueden generar una interrupción si están definidas como entradas y se detecta cambio entre el estado actual del pin y el de la última lectura del puerto

PORT B: Resumen



FUNCION DE LOS PINES

Name	Bit#	Buffer	Function
RB0/INT	bit0	TTL/ST ⁽¹⁾	Input/output pin or external interrupt input. Internal software programmable weak pull-up.
RB1	bit1	TTL	Input/output pin. Internal software programmable weak pull-up.
RB2	bit2	TTL	Input/output pin. Internal software programmable weak pull-up.
RB3/PGM ⁽³⁾	bit3	TTL	Input/output pin or programming pin in LVP mode. Internal software programmable weak pull-up.
RB4	bit4	TTL	Input/output pin (with interrupt-on-change). Internal software programmable weak pull-up.
RB5	bit5	TTL	Input/output pin (with interrupt-on-change). Internal software programmable weak pull-up.
RB6/PGC	bit6	TTL/ST ⁽²⁾	Input/output pin (with interrupt-on-change) or In-Circuit Debugger pin. Internal software programmable weak pull-up. Serial programming clock.
RB7/PGD	bit7	TTL/ST ⁽²⁾	Input/output pin (with interrupt-on-change) or In-Circuit Debugger pin. Internal software programmable weak pull-up. Serial programming data.

Legend: TTL = TTL input, ST = Schmitt Trigger input

Note 1: This buffer is a Schmitt Trigger input when configured as the external interrupt.

Note 2: This buffer is a Schmitt Trigger input when used in Serial Programming mode.

Note 3: Low Voltage ICSP Programming (LVP) is enabled by default, which disables the RB3 I/O function. LVP must be disabled to enable RB3 as an I/O pin and allow maximum compatibility to the other 28-pin and 40-pin mid-range devices.

REGISTROS ASOCIADOS AL PUERTO B

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
06h, 106h	PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	xxxx xxxx	uuuu uuuu
86h, 186h	TRISB	PORTB Data Direction Register								1111 1111	1111 1111
81h, 181h	OPTION_REG	RBP	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111

Legend: x = unknown, u = unchanged. Shaded cells are not used by PORTB.

20.6. Puerto C

Consta de 8 pines: son 8 líneas bidireccionales

a) Las líneas de este puerto están multiplexadas con múltiples funciones de periféricos. Todas ellas disponen de buffers Schmitt-Trigger en las entradas

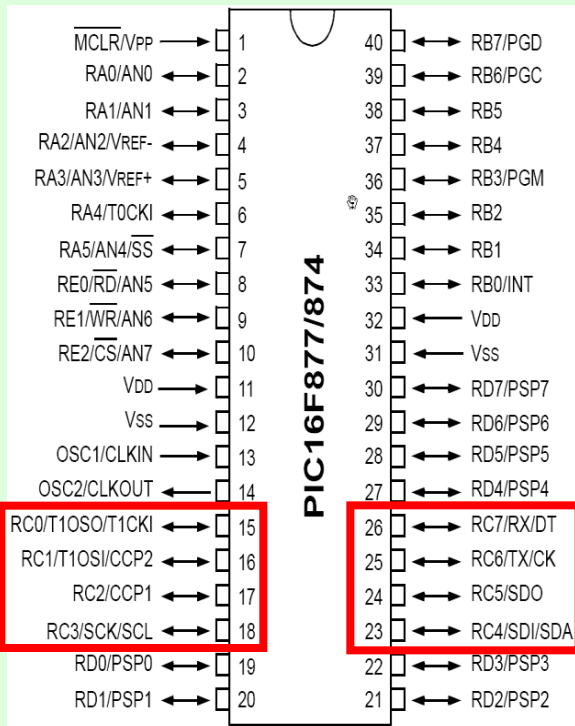
b) Las líneas más notables son:

- **RC0 y RC1** (bits 0 y 1) e entrada y salida asociadas al temporizador Timer1
- **RC1 y RC2** (bits 1 y 2) de captura/comparación y PWM (modulación de ancho de pulso)
- **RC3, RC4 y RC5** (bits 3,4 y 5) que incluyen el MSSP (Master Synchronous Serial Port)
 - El MSSP tiene dos formas de trabajo, permitiendo implementar dos buses de diferentes características para trabajar con periféricos compatibles:
 - SPI (Serial Peripheral Interface)
 - I²C (Inter-Integrated Circuit Bus). En este caso se pueden ajustar los niveles para cumplir con la especificación SMBUS (System Management Bus)
- **RC6 y RC7** (bits 6 y 7) asociadas a la USART (Universal Serial Asynchronous Receiver Transmitter) o que permiten implementar transmisiones síncronas.

c) Los 8 bits del registro **TRISC (TRISC<0:7>)** determinan para cada línea digital si es entrada (Bit=1=Input) o salida (Bit=0=Output), **pero algunos periféricos definen las líneas como entradas o como salidas** de manera independiente al estado de TRISC si hay definida una determinada funcionalidad para el pin

PORT C: Resumen

FUNCION DE LOS PINES



Name	Bit#	Buffer Type	Function
RC0/T1OSO/T1CKI	bit0	ST	Input/output port pin or Timer1 oscillator output/Timer1 clock input.
RC1/T1OSI/CCP2	bit1	ST	Input/output port pin or Timer1 oscillator input or Capture2 input/ Compare2 output/PWM2 output.
RC2/CCP1	bit2	ST	Input/output port pin or Capture1 input/Compare1 output/ PWM1 output.
RC3/SCK/SCL	bit3	ST	RC3 can also be the synchronous serial clock for both SPI and I ² C modes.
RC4/SDI/SDA	bit4	ST	RC4 can also be the SPI Data In (SPI mode) or data I/O (I ² C mode).
RC5/SDO	bit5	ST	Input/output port pin or Synchronous Serial Port data output.
RC6/TX/CK	bit6	ST	Input/output port pin or USART Asynchronous Transmit or Synchronous Clock.
RC7/RX/DT	bit7	ST	Input/output port pin or USART Asynchronous Receive or Synchronous Data.

Legend: ST = Schmitt Trigger input

REGISTROS ASOCIADOS AL PUERTO C

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
07h	PORTC	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	xxxx xxxx	uuuu uuuu
87h	TRISC	PORTC Data Direction Register								1111 1111	1111 1111

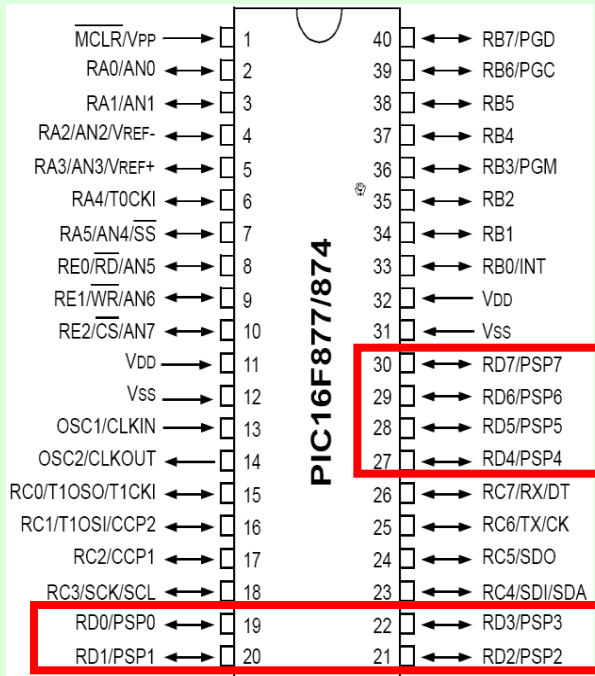
Legend: x = unknown, u = unchanged

20.7. Puerto D

Consta de 8 pines: son 8 líneas bidireccionales

- a) Todas las líneas disponen de buffers Schmitt-Trigger en las entradas
- b) Presenta los bloques comunes a todos los puertos anteriores
- c) El **PORTD** se puede configurar como un **puerto esclavo paralelo (PSP)**, controlable mediante las líneas del **PORTE** .
- d) Este puerto no aparece en algunas versiones de MCUs de la familia PIC16
- e) Los 8 bits del registro **TRISD** (**TRISD<0:7>**) determinan para cada línea digital si es entrada (Bit=1=Input) o salida (Bit=0=Output), pero si se configura para ser utilizado como puerto paralelo, se desactiva el **PORTD** y el control del puerto esclavo se realiza desde las líneas del **PORTE**.

PORT D: Resumen



FUNCION DE LOS PINES

Name	Bit#	Buffer Type	Function
RD0/PSP0	bit0	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit0.
RD1/PSP1	bit1	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit1.
RD2/PSP2	bit2	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit2.
RD3/PSP3	bit3	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit3.
RD4/PSP4	bit4	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit4.
RD5/PSP5	bit5	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit5.
RD6/PSP6	bit6	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit6.
RD7/PSP7	bit7	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit7.

Legend: ST = Schmitt Trigger input, TTL = TTL input

Note 1: Input buffers are Schmitt Triggers when in I/O mode and TTL buffers when in Parallel Slave Port mode.

REGISTROS ASOCIADOS AL PUERTO D

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
08h	PORTD	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	xxxx xxxx	uuuu uuuu
88h	TRISD	PORTD Data Direction Register								1111 1111	1111 1111
89h	TRISE	IBF	OBF	IBOV	PSPMODE	—	PORTE Data Direction Bits			0000 -111	0000 -111

Legend: x = unknown, u = unchanged, - = unimplemented, read as '0'. Shaded cells are not used by PORTD.

20.7. Puerto E

Consta únicamente de 3 pines: son 3 líneas bidireccionales

- a) Todas las líneas disponen de buffers Schmitt-Trigger en las entradas
- b) Presenta los bloques comunes a todos los puertos anteriores
- c) Al igual que el **PORTD**, el **PORTE** no aparece en algunas versiones de MCUs de la familia PIC16
- d) Las líneas digitales del **PORTE** están multiplexadas con otros bloques. Así, se tiene:
 - Se puede configurar como líneas de control de un **puerto esclavo paralelo (PSP)**, formado por las 8 líneas del **PORTD**.
 - También está multiplexado con tres de las entradas analógicas:
 - RE0/AN5 Canal analógico 5
 - RE1/AN6 Canal analógico 6
 - RE2/AN7 Canal analógico 7
- e) Los 3 bits bajos del registro **TRISE** (**TRISE<0:2>**) determinan para cada línea digital si es entrada (Bit=1=Input) o salida (Bit=0=Output), pero si se configura para ser utilizado como puerto paralelo, las líneas se utilizan como líneas de control del puerto esclavo paralelo

RE0, RE1 y RE2 como señales ANALÓGICAS

- Todo lo dicho en su momento para **las líneas analógicas del PORTA** es aplicable también en estas líneas del **PORTE**: una puerta AND controla el paso de la entrada digital y **fuerza la lectura de un 0 si está en modo analógico**. Así:

- Si la línea se deja como analógica y **se lee su estado lógico**, se leería un "0"
- Si la línea se utiliza como **pin de salida** pero se mantiene en **modo analógico**, las operaciones de escritura de un bit único (**BSF ó BCF**) hacen que el resto de las líneas **se lean como "0"** y se ajuste la salida a ese valor ("**operación lectura-modificación-escritura**")

- La configuración A/D de cada pin se selecciona en el registro **ADCON1 (0x09F)** al igual que las del resto de líneas analógicas del PORTA:

Registro ADCON1

R/W-0	R/W-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
ADFM	ADCS2	—	—	PCFG3	PCFG2	PCFG1	PCFG0
bit 7							bit 0

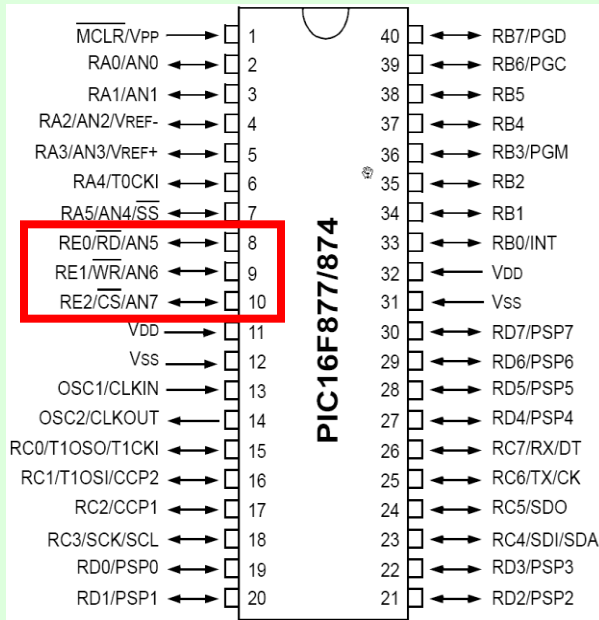
Configuración de las líneas analógicas:
PORTA: AN4, AN3, AN2, AN1, AN0
PORTE: AN7, AN6, AN5

bit 3:0 **PCFG3:PCFG0: A/D Port Configuration Control bits**

PCFG	AN7	AN6	AN5
0000	A	A	A
0001	A	A	A
0010	D	D	D
0011	D	D	D
0100	D	D	D
0101	D	D	D
011x	D	D	D
1000	A	A	A
1001	D	D	A
1010	D	D	A
1011	D	D	A
1100	D	D	D
1101	D	D	D
1110	D	D	D
1111	D	D	D

← **Configuración inicial por defecto**

PORT E: Resumen



FUNCION DE LOS PINES

Name	Bit#	Buffer Type	Function
RE0/RD/AN5	bit0	ST/TTL ⁽¹⁾	I/O port pin or read control input in Parallel Slave Port mode or analog input: RD 1 = Idle 0 = Read operation. Contents of PORTD register are output to PORTD I/O pins (if chip selected)
RE1/WR/AN6	bit1	ST/TTL ⁽¹⁾	I/O port pin or write control input in Parallel Slave Port mode or analog input: WR 1 = Idle 0 = Write operation. Value of PORTD I/O pins is latched into PORTD register (if chip selected)
RE2/CS/AN7	bit2	ST/TTL ⁽¹⁾	I/O port pin or chip select control input in Parallel Slave Port mode or analog input: CS 1 = Device is not selected 0 = Device is selected

Legend: ST = Schmitt Trigger input, TTL = TTL input

Note 1: Input buffers are Schmitt Triggers when in I/O mode and TTL buffers when in Parallel Slave Port mode.

REGISTROS ASOCIADOS AL PUERTO E

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
09h	PORTE	—	—	—	—	—	RE2	RE1	RE0	---- -xxx	---- -uuu
89h	TRISE	IBF	OBF	IBOV	PSPMODE	—	PORTE Data Direction Bits			0000 -111	0000 -111
9Fh	ADCON1	ADFM	—	—	—	PCFG3	PCFG2	PCFG1	PCFG0	--0- 0000	--0- 0000

Legend: x = unknown, u = unchanged, - = unimplemented, read as '0'. Shaded cells are not used by PORTE.

PORTD y PORTE como puerto esclavo paralelo (PSP)

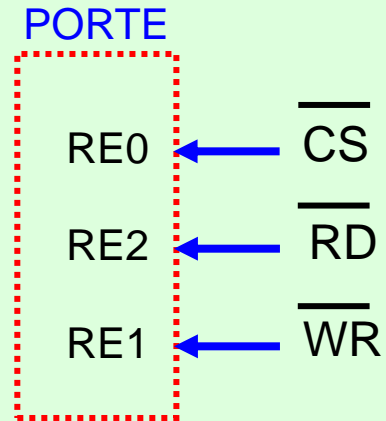
Las líneas de control son las 3 de **PORTE**

$\overline{\text{CS}}$: Chip Select (RE2)

$\overline{\text{RD}}$: Lectura (RE0)

$\overline{\text{WR}}$: Escritura (RE1)

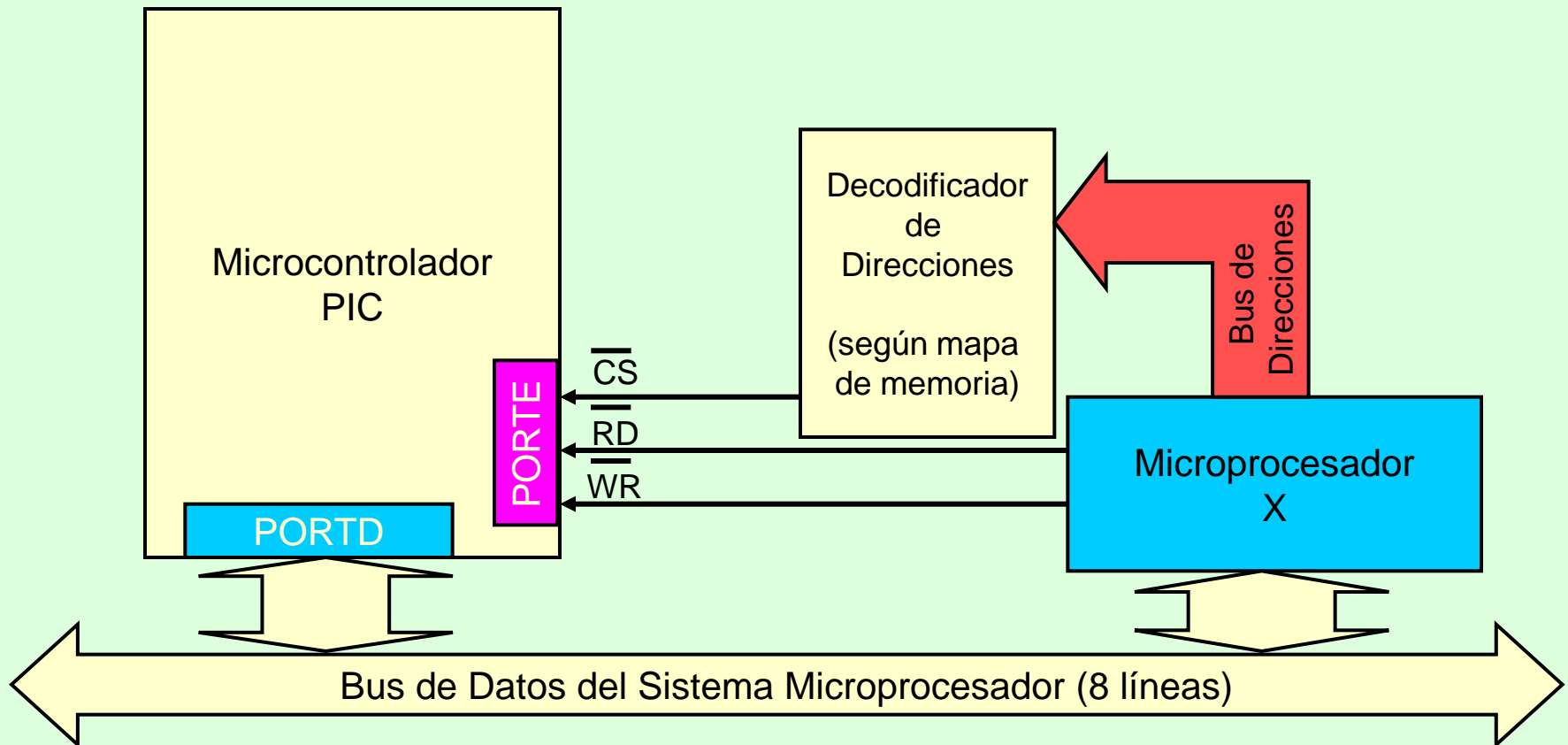
- El acceso externo al **PSP** puede generar una interrupción (**PSPIF**)
- Los registros **TRISD** y **TRISE** no afectan al sentido de las señales de **PORTD** y **PORTE**.
- Las señales de **PORTE** son siempre entradas.
- El sentido de las señales de **PORTD** se gobierna desde las líneas de **PORTE** (que son siempre entradas)



PORTD y PORTE como PSP

Aplicación:

- Se puede conectar a los buses de un sistema microprocesador.
- El microcontrolador se ve como un dispositivo seleccionable más
- Ocupa su espacio en el mapa de memoria, según determine la lógica de selección



Control del Puerto esclavo paralelo (PSP): Registro TRISE:

REGISTRO TRISE

R-0	R-0	R/W-0	R/W-0	U-0	R/W-1	R/W-1	R/W-1
IBF	OBF	IBOV	PSPMODE	—	Bit2	Bit1	Bit0
bit 7							bit 0

Parallel Slave Port Status/Control Bits:

bit 7 **IBF:** Input Buffer Full Status bit
 1 = A word has been received and is waiting to be read by the CPU
 0 = No word has been received

bit 6 **OBF:** Output Buffer Full Status bit
 1 = The output buffer still holds a previously written word
 0 = The output buffer has been read

bit 5 **IBOV:** Input Buffer Overflow Detect bit (in Microprocessor mode)
 1 = A write occurred when a previously input word has not been read (must be cleared in software)
 0 = No overflow occurred

bit 4 **PSPMODE:** Parallel Slave Port Mode Select bit
 1 = PORTD functions in Parallel Slave Port mode
 0 = PORTD functions in general purpose I/O mode

bit 3 **Unimplemented:** Read as '0'

PORTE Data Direction Bits:

bit 2 **Bit2:** Direction Control bit for pin RE2/ $\overline{\text{CS}}$ /AN7
 1 = Input
 0 = Output

bit 1 **Bit1:** Direction Control bit for pin RE1/ $\overline{\text{WR}}$ /AN6
 1 = Input
 0 = Output

bit 0 **Bit0:** Direction Control bit for pin RE0/ $\overline{\text{RD}}$ /AN5
 1 = Input
 0 = Output

Indicadores
lectura/escritura
PSP

Activación modo PSP

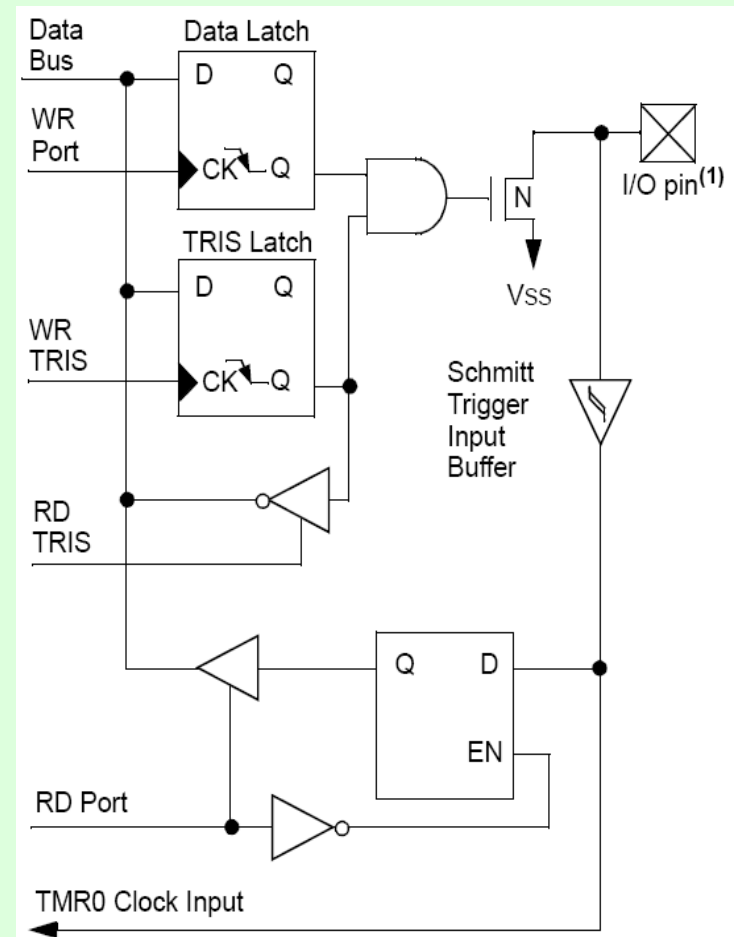
Dirección de pines
en modo "normal" E/S

20.8. Anexo: Diagrama de bloques y esquema interno de los puertos

- Multiplexadas con módulo A/D

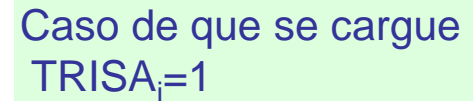


- Salida de drenador abierto
- Entrada multiplexada con T0CKI (entrada de reloj externa para el TIMER0)



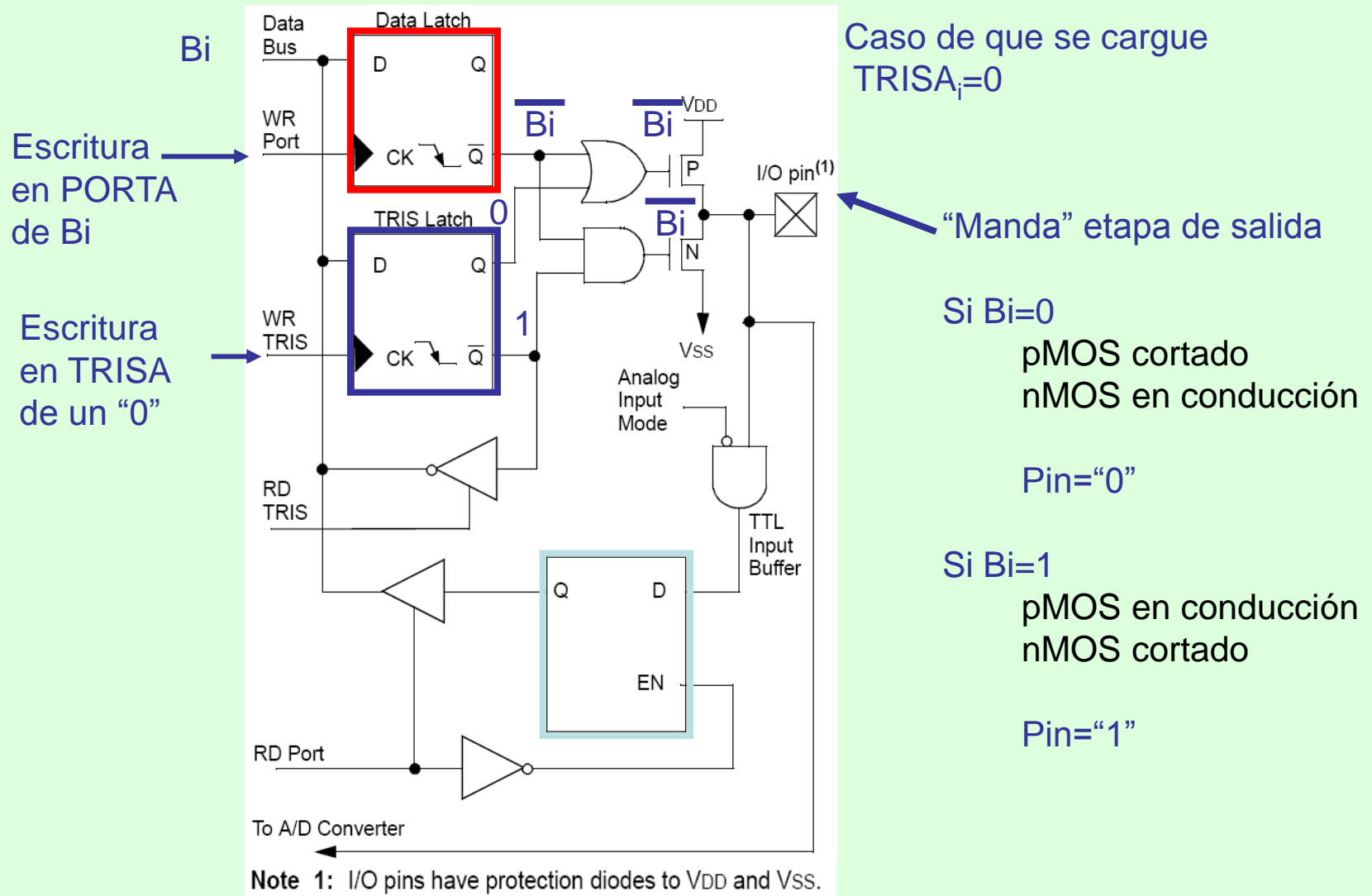
Este biestable D se “carga” cada vez que se escribe en el registro del puerto (PORTA)

Este biestable D se “carga” cada vez que se escribe en el registro de dirección del puerto (TRISA)



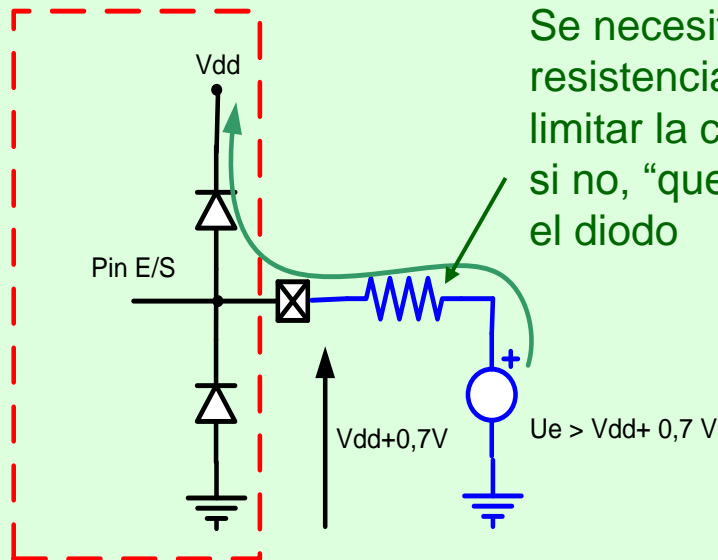
Los dos transistores en corte:
la etapa de salida está desactivada y este pin será de entrada

Este biestable Latch se “carga” cada vez que se lee el registro del puerto (PORTA)

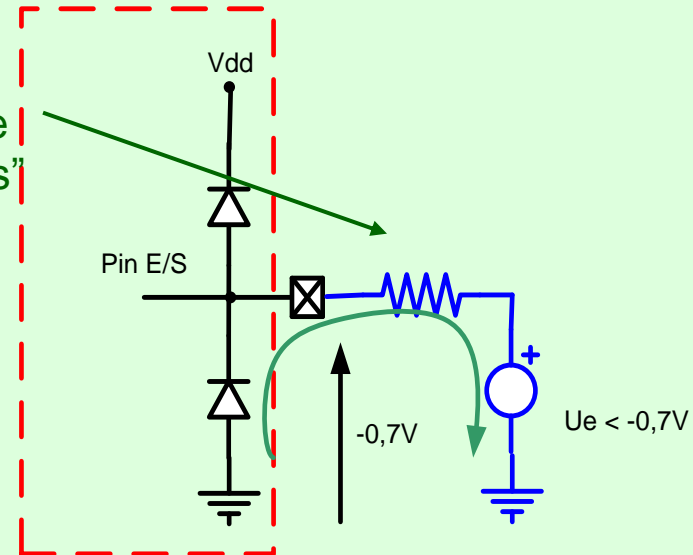
Detalle de RA0, RA1, RA2, RA3 y RA5

Detalle de RA0, RA1, RA2, RA3 y RA5

- Los pines de E/S tienen diodos de protección que permiten “enclavar” la tensión de entrada en el caso de que dichos diodos entren en conducción

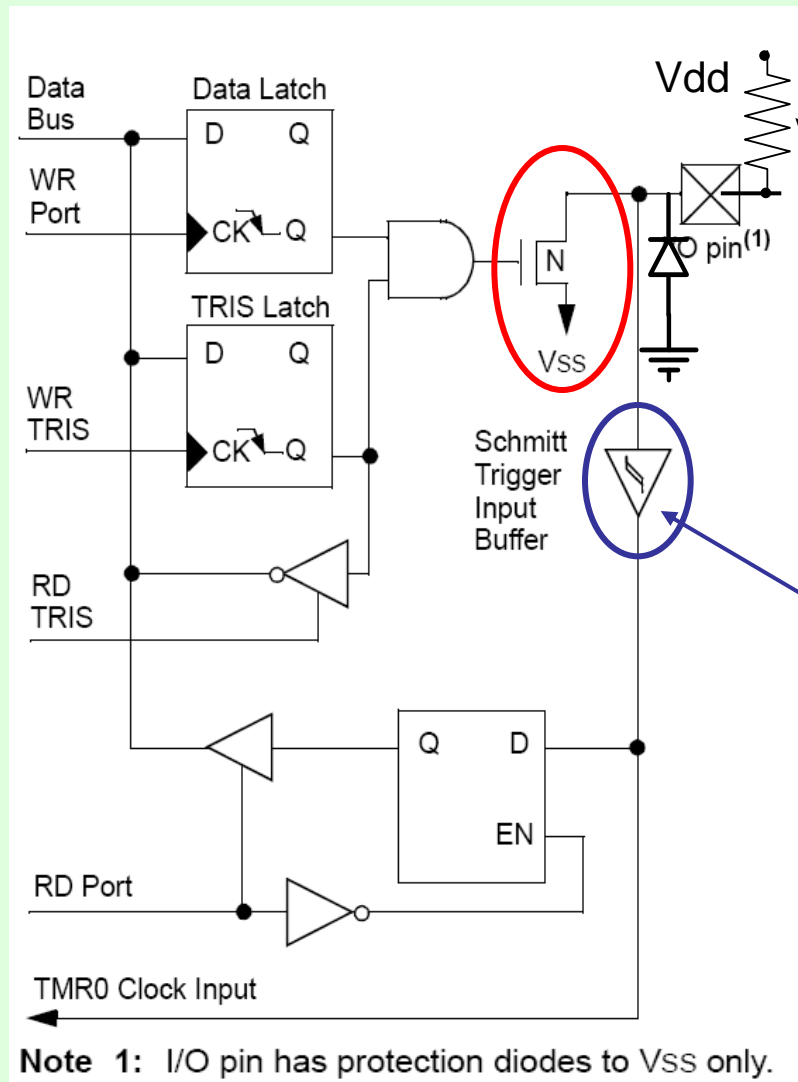


Caso de que U_e supere a V_{dd} en más de la tensión de codo del diodo (0,7 V aprox.)



Caso de que U_e sea negativa y superior en módulo a la tensión de codo del diodo

Detalle de RA4



Como salida ($TRISA<4>=0$):
y es un nMOS de drenador abierto

Una resistencia de polarización externa permite cambiar tensión de salida, wire-and, etc

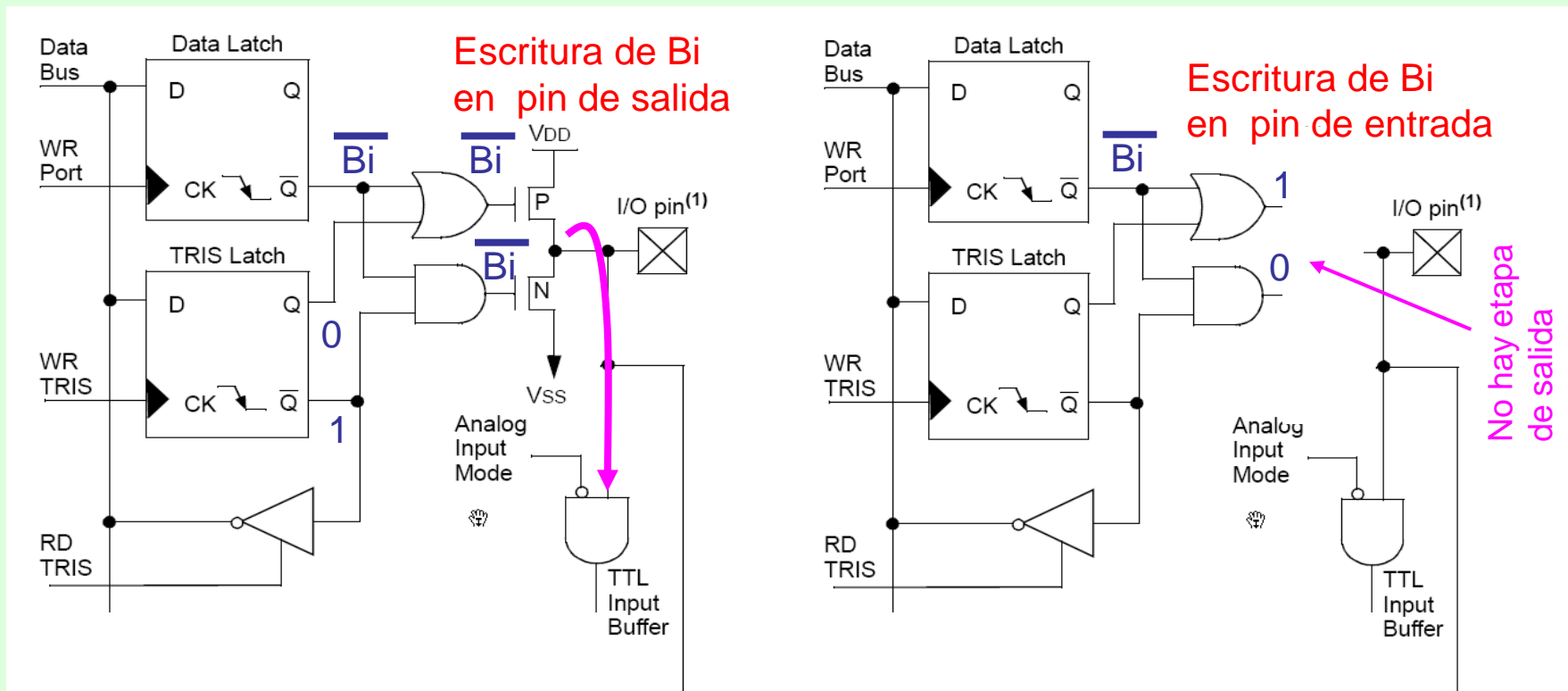
Como entrada ($TRISA<4>=1$):
y el nMOS está siempre cortado

La entrada se hace a través de un buffer Schmitt-Trigger

Esta línea no es configurable como entrada analógica

Tiene diodo de enclavamiento sólo a la tensión mínima (Vss)

- Si un **pin** está definido **como salida** y se ejecuta una **instrucción de lectura**, se debería leer el **estado del pin**, que sería el “escrito” por programa en el biestable D del PORT al estar **activada la etapa de salida** de los MOS
- Si un **pin** está definido **como entrada** y se ejecuta una **operación de escritura**, el bit escrito quedará **“retenido”** en el biestable D de salida pero no aparecerá en el pin al estar **desactivada la etapa de salida** de los MOS



RA0, RA1, RA2, RA3 y RA5 como señales ANALÓGICAS

- Esas líneas están **multiplexadas con las entradas analógicas** del conversor A/D
- La configuración A/D de cada pin se selecciona en el registro **ADCON1 (0x09F)**

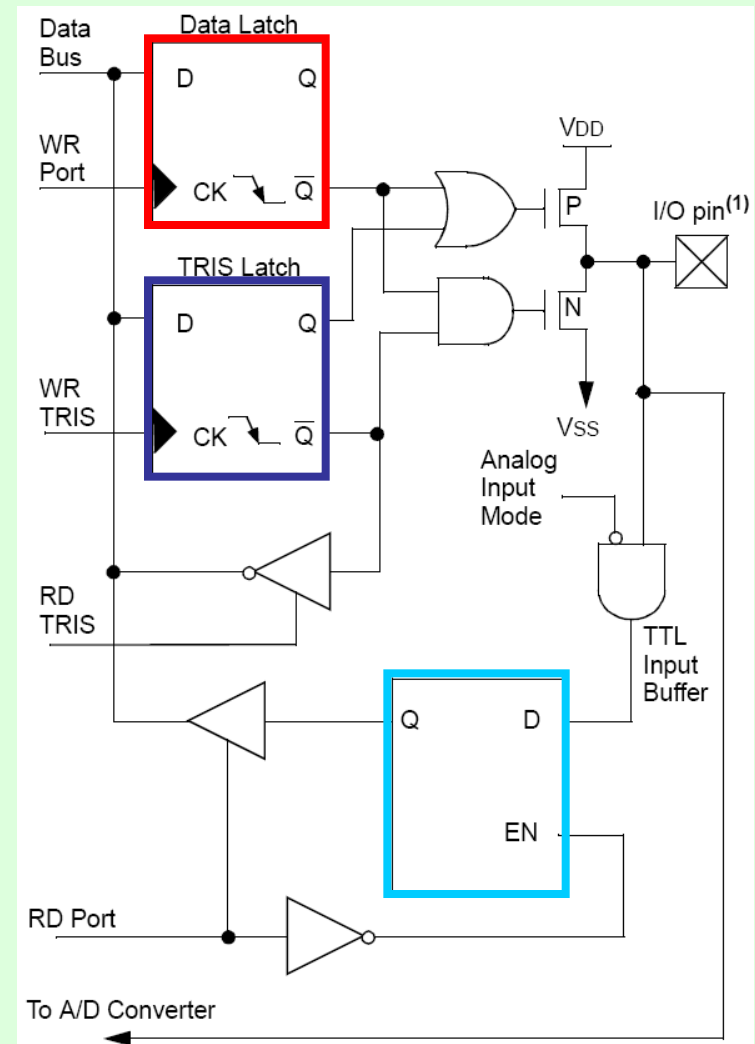
R/W-0	R/W-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
ADFM	ADCS2	—	—	PCFG3	PCFG2	PCFG1	PCFG0
bit 7				bit 0			

bit 3-0 PCFG3:PCFG0: A/D Port Configuration Control bits

PCFG <3:0>	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0	VREF+	VREF-
0000	A	A	A	A	A	A	A	A	VDD	VSS
0001	A	A	A	A	VREF+	A	A	A	AN3	VSS
0010	D	D	D	A	A	A	A	A	VDD	VSS
0011	D	D	D	A	VREF+	A	A	A	AN3	VSS
0100	D	D	D	D	A	D	A	A	VDD	VSS
0101	D	D	D	D	VREF+	D	A	A	AN3	VSS
011x	D	D	D	D	D	D	D	D	—	—
1000	A	A	A	A	VREF+	VREF-	A	A	AN3	AN2
1001	D	D	A	A	A	A	A	A	VDD	VSS
1010	D	D	A	A	VREF+	A	A	A	AN3	VSS
1011	D	D	A	A	VREF+	VREF-	A	A	AN3	AN2
1100	D	D	D	A	VREF+	VREF-	A	A	AN3	AN2
1101	D	D	D	D	VREF+	VREF-	A	A	AN3	AN2
1110	D	D	D	D	D	D	D	A	VDD	VSS
1111	D	D	D	D	VREF+	VREF-	D	A	AN3	AN2

Configuración inicial por defecto

Puerto A

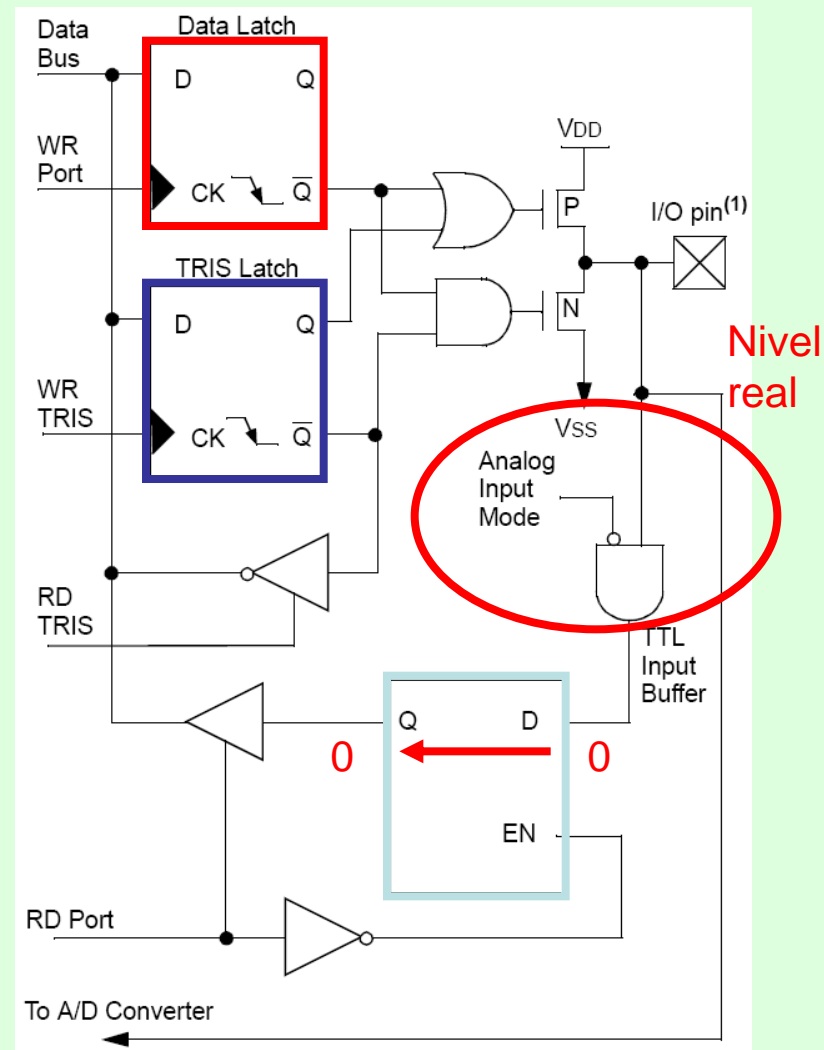


RA0, RA1, RA2, RA3 y RA5 como señales ANALÓGICAS

- Si la **línea** está **definida como analógica** y se procede a **su lectura**, el nivel que se leería **sería "0"** independientemente del nivel real externo que estuviera presente
- Por tanto, si se va a usar como **entrada digital** **hay que configurarla como tal** y no como analógica para poder leer el nivel real
- Incluso si se va a usar como **salida digital** el hecho de dejarla con la **configuración analógica por defecto** puede causar errores...



Las operaciones de **escritura** en uno o varios pines de un puerto son operaciones que se desarrollan en tres pasos: **lectura-modificación-escritura** lo que quiere decir que **primero se lee** el estado del pin, luego se **modifica internamente** su estado si es necesario y finalmente se **escribe** en el biestable D de salida



RA0, RA1, RA2, RA3 y RA5 como señales ANALÓGICAS

Lectura-modificación-escritura:

Una instrucción del tipo puesta a 1 (BSF) ó puesta a 0 (BCF) de un único bit, o instrucciones que operen con el puerto y que sea el destino, se ejecutan en 4 fases:

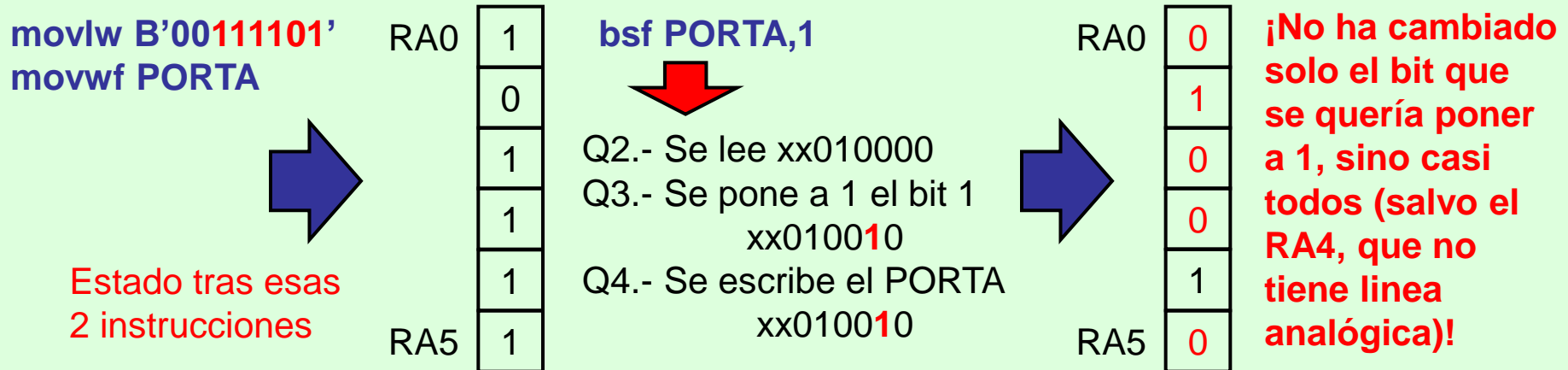
Q1.- Decodificación de la instrucción

Q2.- Lectura de TODO EL PUERTO, las señales configuradas como analógicas se leerían como "0"

Q3.- Cambio del bit implicado (si es necesario)

Q4.- Escritura de TODO EL PUERTO: bits que no intervienen en la operación se escriben con "el valor que tenían" (que debería ser el leído en la fase Q2 pero si se leyeron como "0" por ser analógica la señal, puede modificarse el valor previo)

Ejemplo: se define PORTA como puerto de salida pero ADCON1 tiene la carga inicial (Analógicas)



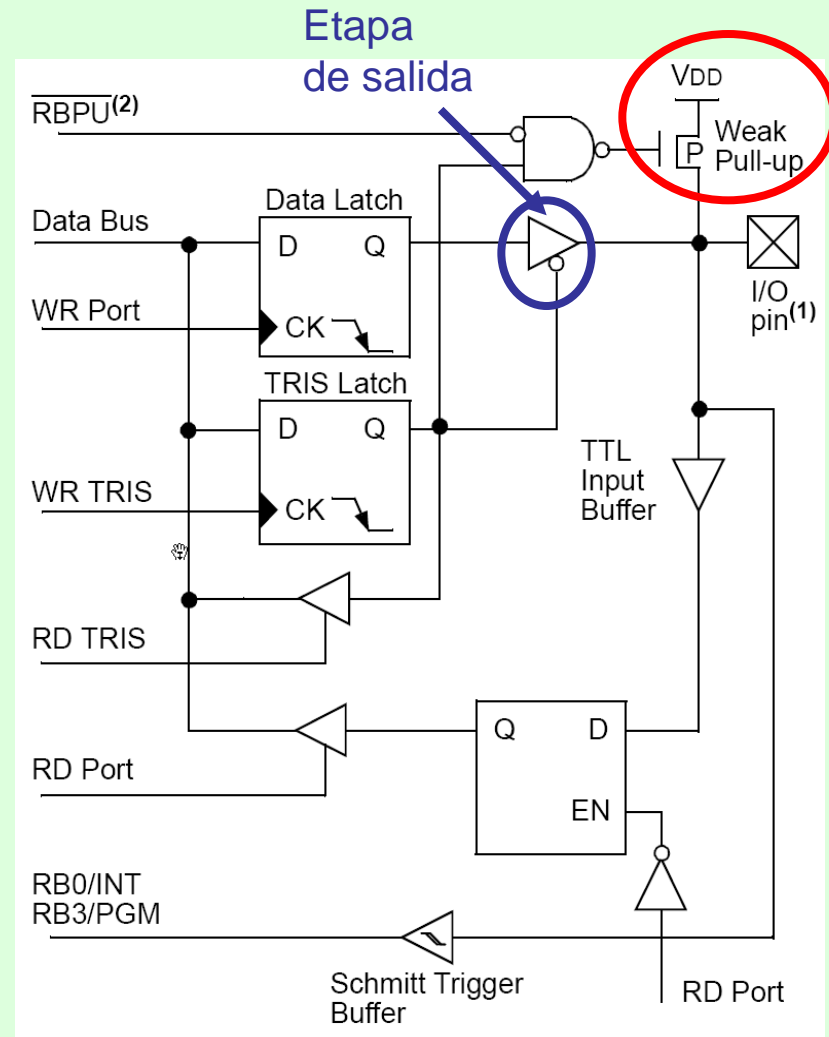
Si la instrucción carga todo el puerto (p.e. `movwf PORTA`) no hay problema

PORTB: Esquema eléctrico básico de las líneas del PORTB

- 8 líneas bidireccionales y configurables mediante el registro de dirección de datos TRISB
- Protección (no dibujada en el esquema): todas las entradas están protegidas con diodos a V_{DD} y V_{SS}

Resistencias de polarización

- En todas las líneas del PORTB, se tiene la posibilidad de activar unas **resistencias de polarización** (pull-up resistors) si:
 - a) Los pines están definidos como **entradas** y
 - b) El bit **OPTION_REG<7> = $\overline{RBPU}=0$**
- En cuanto pasan a ser salidas se desactivan
- El uso de esas resistencias evita la conexión de otras externas.
- Las resistencias son en realidad transistores **pMOS** trabajando en su zona de comportamiento **resistivo** (20k Ω aproximadamente)



PORTB: activación de resistencias de polarización

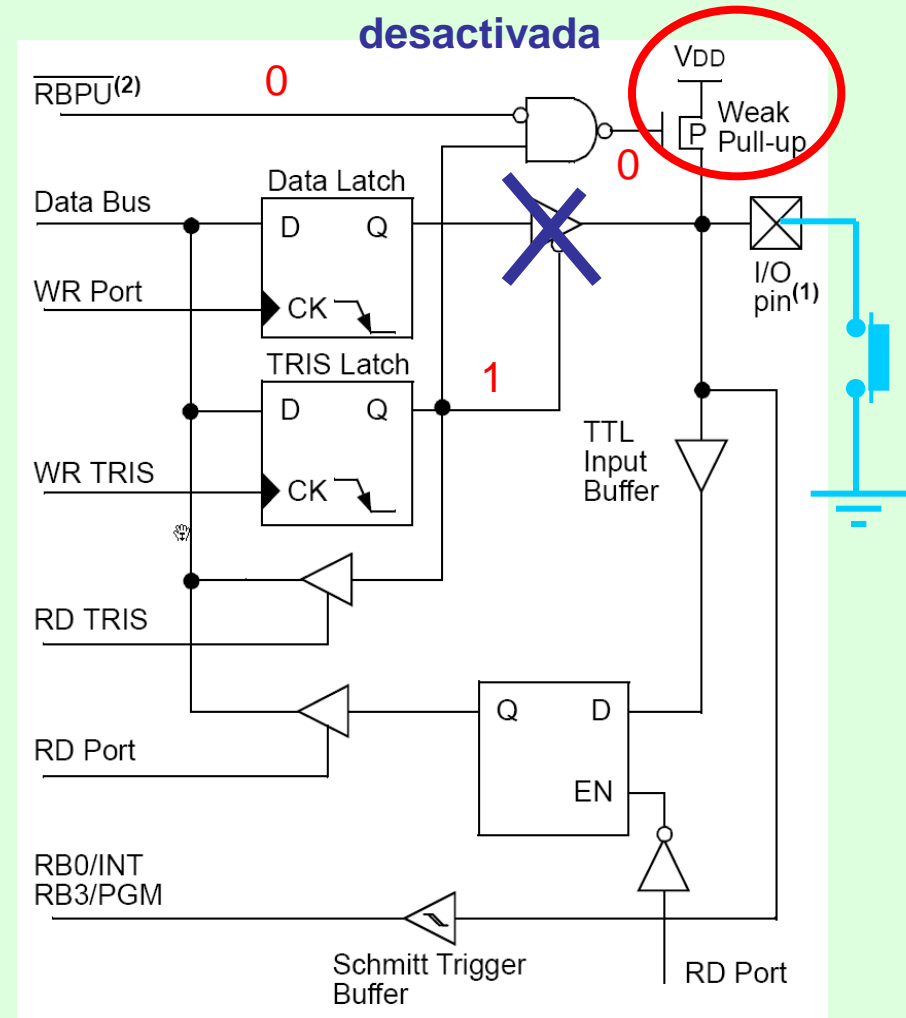
Para que las resistencias de polarización (pMOS) se activen se deben dar **dos condiciones**:

- 1.- Que el bit $\overline{\text{RBPU}}=0$ en OPTION_REG
- 2.- Que la línea sea de entrada ($\text{TRISB}\langle i \rangle=1$)

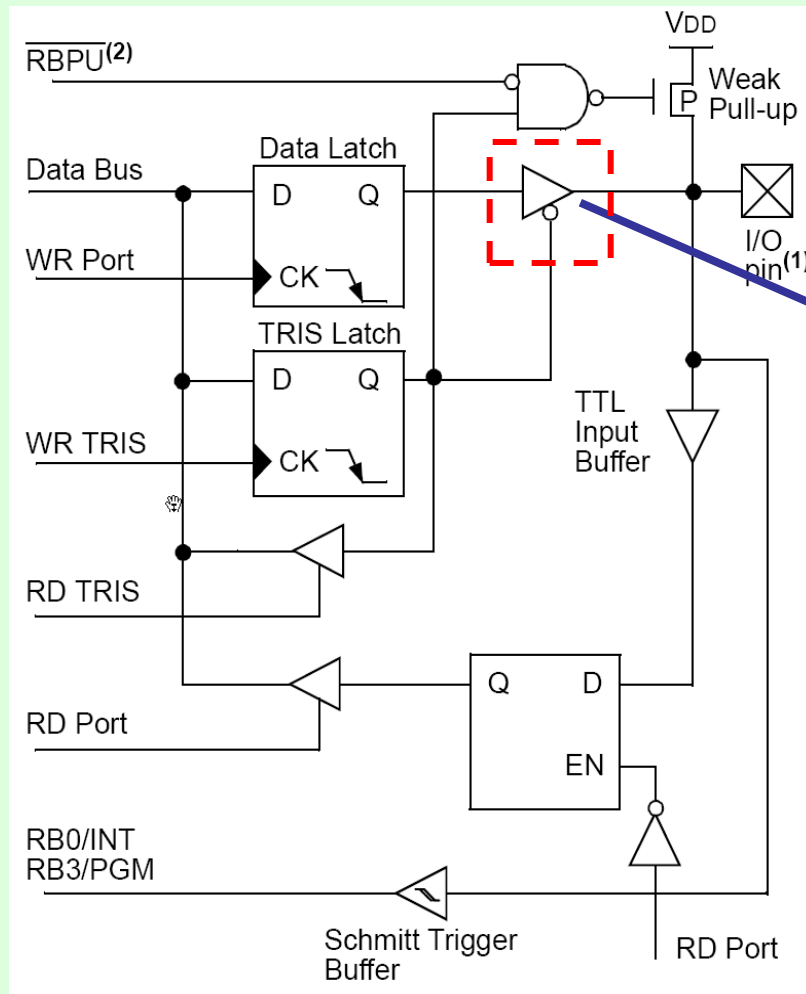
En ese caso, la salida de la puerta NAND que controla el pMOS presenta un **cero** y el transistor se sitúa en zona resistiva

El micro está hecho con tecnología **CMOS**, luego las entradas **no pueden quedar “al aire”** ya que el nivel lógico estaría **indefinido**, algún tipo de polarización hay que poner, mediante resistencias que si no son las internas, deberían ser externas ([ejemplo conexión pulsador](#))

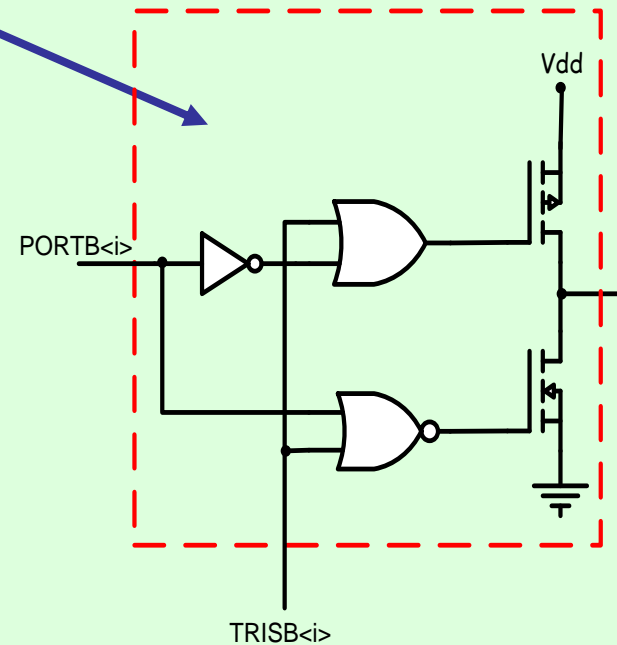
Etapas de salida desactivada



PORTB: etapa de salida



Equivalencia del buffer triestado con la etapa de salida complementaria



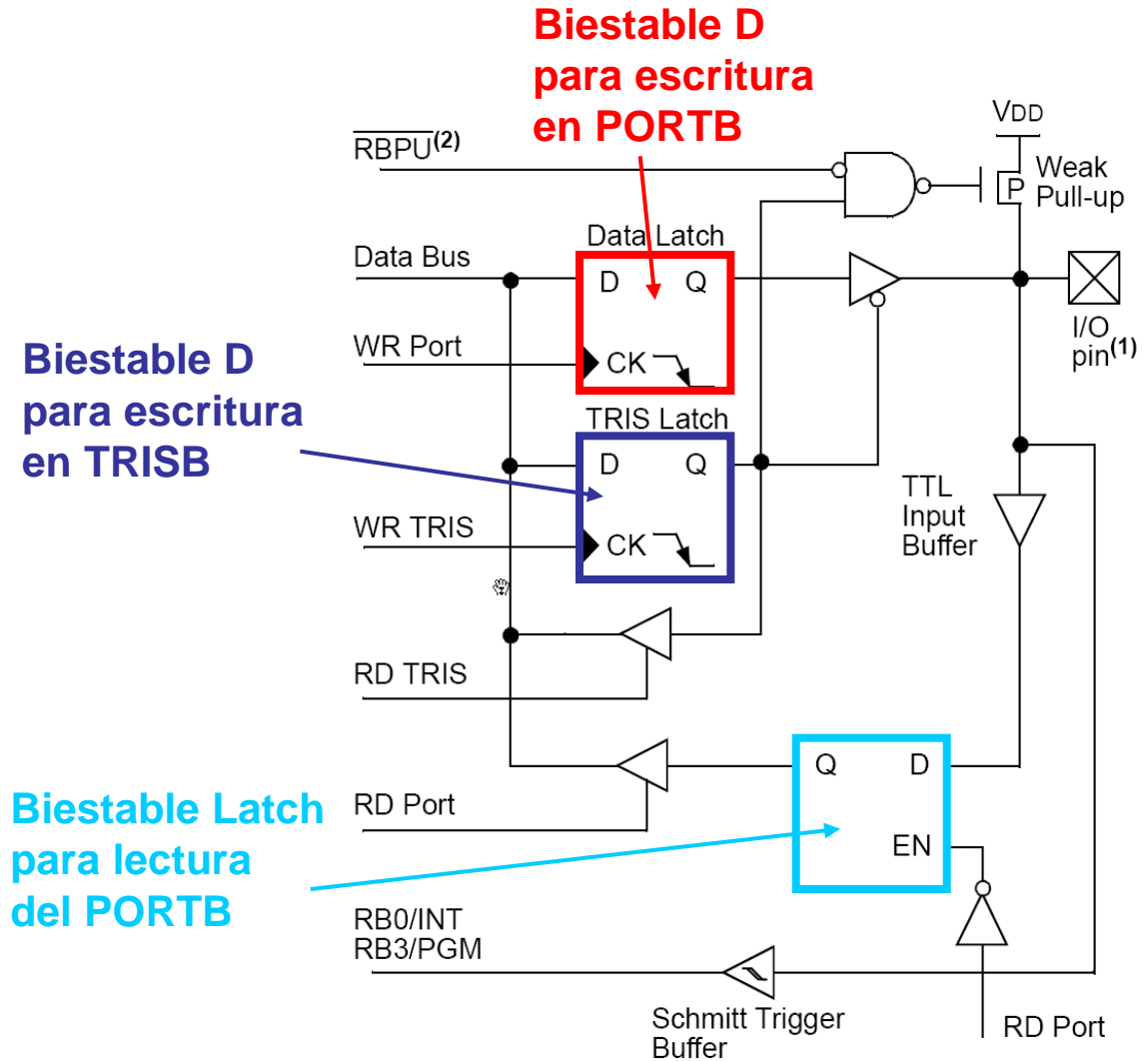
PORTB: Detalle de RB0 y RB3

Las líneas RB0 y RB3 se diferencian en algunos aspectos del resto de líneas

Particularidades:

RB0/INT puede generar una interrupción ante la aparición de un **flanco** (configurable de subida o de bajada con OPTION_REG<6>)

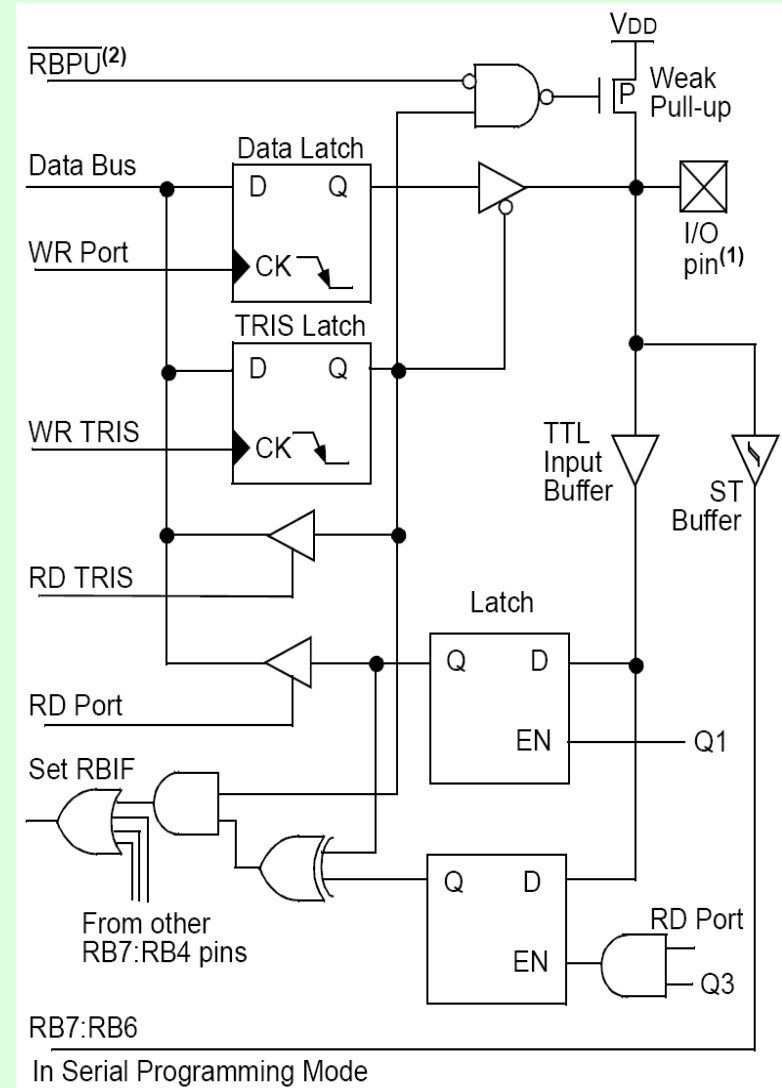
RB3 se puede emplear como **entrada de tensión** en la programación a baja tensión (LVP)



PORTB: Detalle de RB6 y RB7

-Las líneas RB6 y RB7 son utilizadas para la programación del microcontrolador y para comunicación cuando el micro trabaja en modo depuración (debugger)

- Cuando trabajemos con el ICD2 como debugger, no será posible utilizar esas dos líneas



PORTB: Detalle de RB4, RB5, RB6 y RB7

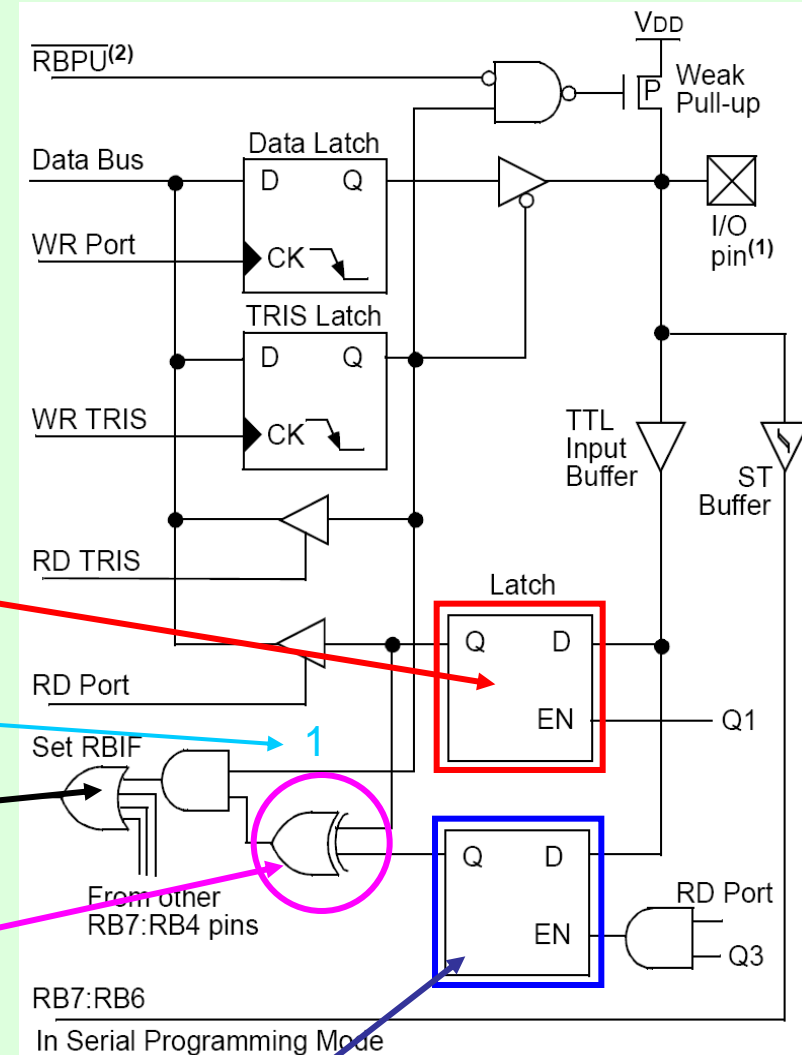
Las líneas RB4 a RB7 pueden generar una interrupción **si están definidas como entradas** y se detecta cambio entre el **estado actual del pin** y el de la **última lectura del puerto**

Biestable latch que almacena estado de ese pin en la fase Q1 de cada instrucción

El pin debe ser de entrada

Si se produce cambio en cualquiera de las entradas: $\text{INTCON} \langle \text{RBIF} \rangle = 1$

La puerta EXOR "compara" las salidas de los dos latch



Latch que almacena estado del pin en la fase Q3 de la última lectura del PUERTO

¡Ojo con las instrucciones de Lectura-modificación-escritura!!! (con todos los puertos, pero con el PORTB en particular)

- Debe tenerse cuidado con los pines que en determinados momentos son entradas y en otros salida o viceversa con instrucciones que sean del tipo READ-MODIFY-WRITE (LEER-MODIFICAR-ESCRIBIR) como las instrucciones BCF, BSF ó XORWF.
- Ejemplo: el usuario ajusta los bits 6 y 7 de la salida del puerto (los pone a cero) y luego define como salidas las líneas 6 y 7 del PORTB. Esperaría tener al final los pines 7 y 6 del PORTB como salidas con un valor 0 en ellas (que es lo que ha escrito). Sin embargo, se encuentra con que el bit 6 sí tiene un 0, pero el bit 7 tiene un 1

```

; La configuración inicial del puerto es la siguiente:
; PORTB<7:4> Entradas. Además tiene las resistencias de pull-up activas y suponemos que no están conectadas a otro circuito
; PORTB<3:0> Salidas
; PORTB<7:4>; Inicialmente estamos en el Banco 0
;
;          PORT latch   PORT pins
;          -----
BCF PORTB, 7 ;          0111 pppp   1111 pppp ; Pone a 0 el latch de salida del bit 7 del puerto B, pero primero lee el contenido
; del puerto. En las entradas se leen unos por tener las resistencias activadas
; Como RB7 es entrada, en el pin de salida sigue leyendo un "1"
BCF PORTB, 6 ;          1011 pppp   1111 pppp ; Pone a 0 el bit 6 del puerto B, pero primero lee el contenido del puerto
; Así que lee un "1" en RB7 por ser entrada y tener resistencias activadas
; Y ese "1" se reescribe en latch de salida de RB7
BSF STATUS, RP0 ;          10pp pppp   11pp pppp ; Pasa al banco 1 para definir como salidas RB6 y RB7
BCF TRISB, 7 ;          10pp pppp   10pp pppp ; Configura la patilla 7 de PORTB (RB7) para que sea una salida
BCF TRISB, 6 ;          10pp pppp   10pp pppp ; Configura la patilla 6 de PORTB (RB6) para que sea una salida
; Resultado final:
; El usuario ha puesto a cero los bits 7 y 6 del puerto, individualmente y luego ha programado esos pines como salidas, por lo que
; esperaba un valor 00pp pppp en el PORTB.
; Pero el 2º BCF hace que RB7 se latchee en la salida como un 1 y al pasar este pin a ser salida el uno aparece en RB7

```

PORTC: Detalle de RC0, RC1, RC2, RC5, RC6 y RC7

En el PORTC, se tienen dos estructuras diferentes según pin:

- RC0, RC1, RC2, RC5, RC6 y RC7
- RC3 y RC4

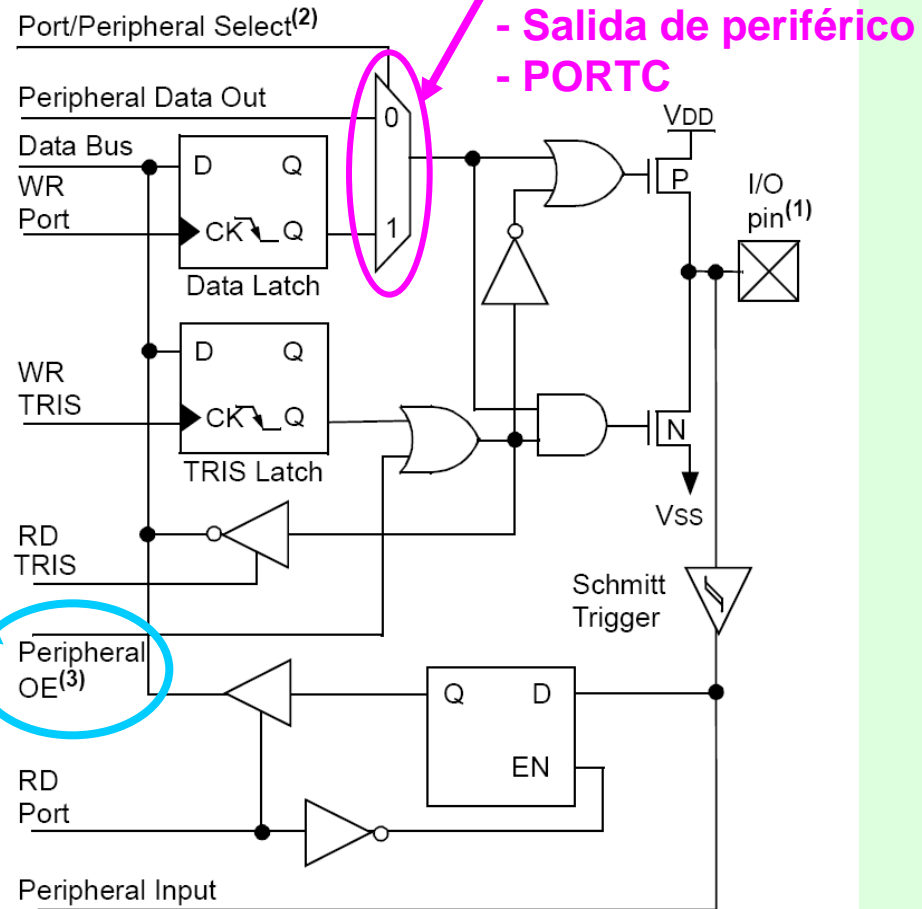
En todo caso:

- Los pines están **multiplexados** con las funciones de periféricos
- Las entradas disponen de buffers Schmitt-Trigger

Se activa si hay periférico activo

TRISC

Se dispone de un **registro de dirección de datos** TRISC para definir si el pin es de entrada o de salida, pero algunos periféricos definen las líneas **como entradas o como salidas** de manera independiente al estado de TRISC si hay definida una determinada funcionalidad para el pin



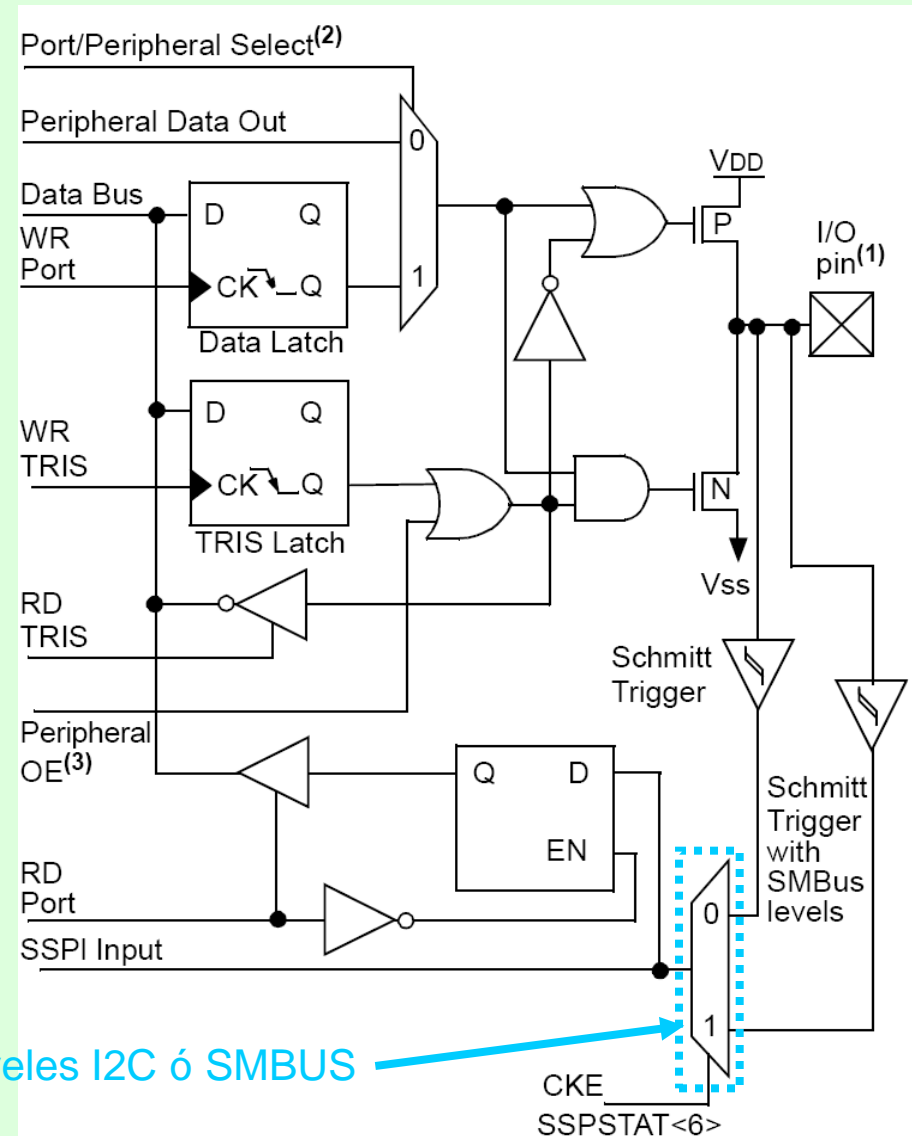
Note 1: I/O pins have diode protection to VDD and VSS.

2: Port/Peripheral select signal selects between port data and peripheral output.

3: Peripheral OE (output enable) is only activated if peripheral select is active.

PORTC: Detalle de RC3 y RC4

- En RC3 y RC4 se añade un **multiplexor de entrada**
- Cuando estos pines trabajan con el módulo MSSP (Master Synchronous Serial Port) en modo I2C, este multiplexor permite seleccionar el nivel de tensión del bus:
 - Niveles de tensión del bus I2C normal
 - ó
 - Niveles de tensión de SMBUS



Multiplexor para selección de niveles I2C ó SMBUS

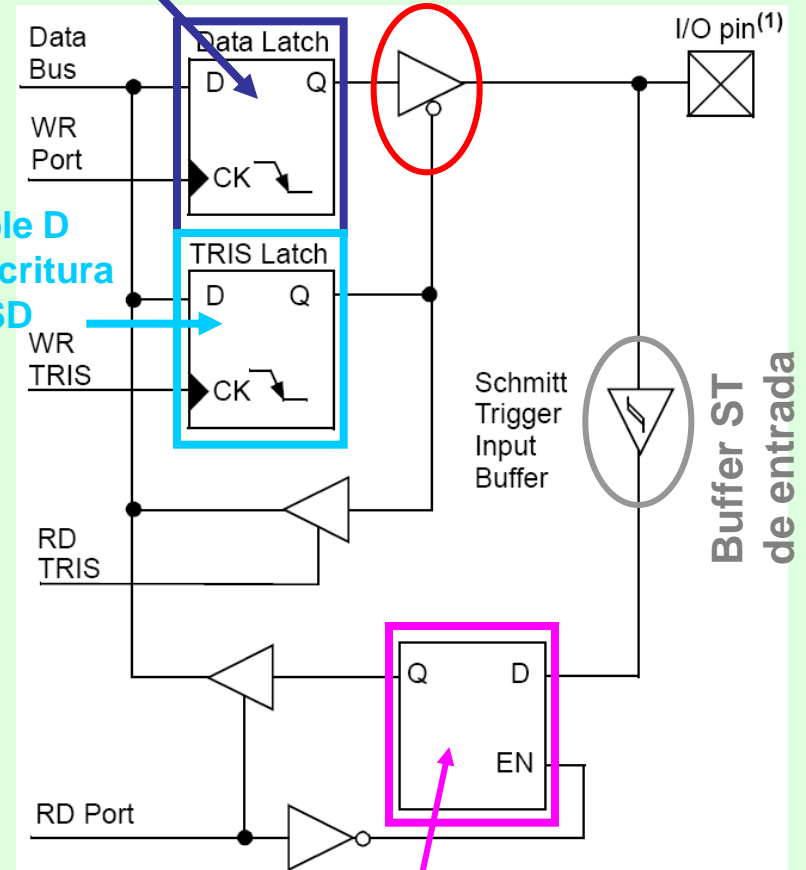
PORTD: Detalle de las líneas en modo PORTD

- Las entradas disponen de **buffers Schmitt-Trigger**
- Presenta bloques comunes a todos los puertos anteriores (latches de control, salida y entrada)
- El PORTD se puede configurar como un **puerto esclavo paralelo (PSP)**, **controlable** mediante las líneas del **PORTE**.
- Este puerto no aparece en algunas versiones de MCUs de la familia PIC16

Biestable D para escritura en PORTD

Etapas de Salida

Biestable D para escritura en TRISD



Note 1: I/O pins have protection diodes to VDD and VSS.

Biestable Latch para lectura del PORTD

PORTE:Detalle de RE0, RE1 y RE2 con configuración digital

Puerto bidireccional de 3 pines

Las líneas están **multiplexadas** :

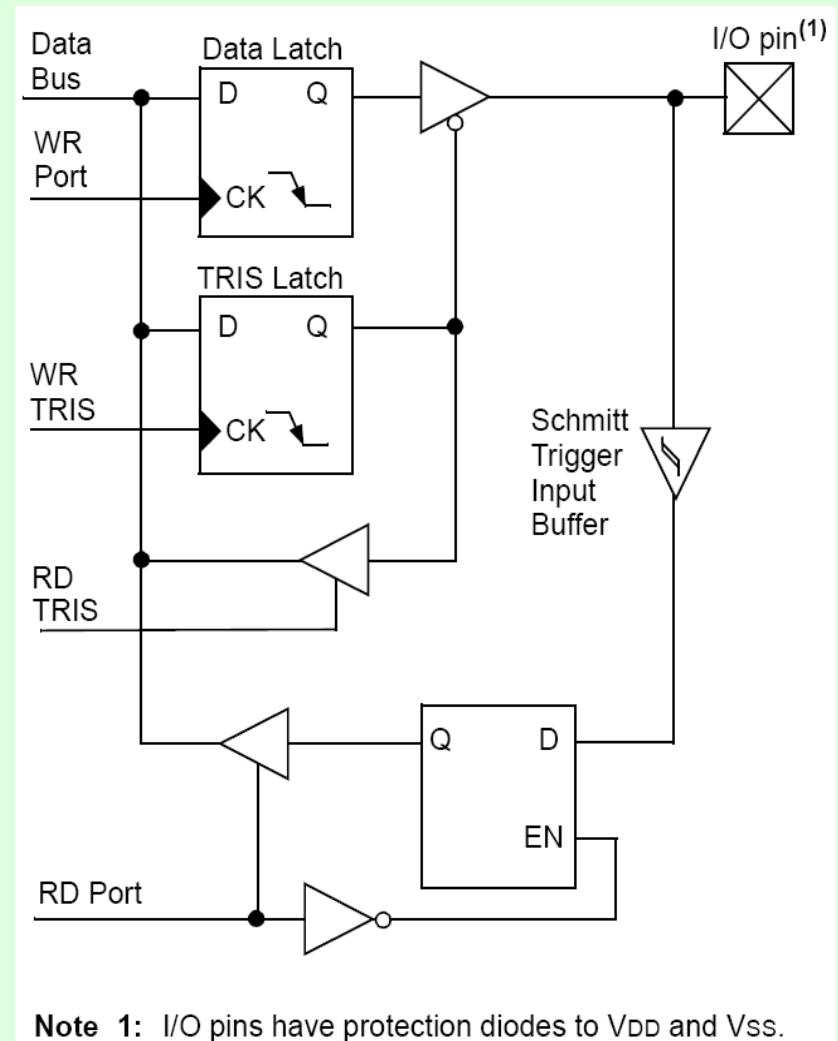
a) Con las **señales de control** del puerto esclavo paralelo **PSP** del PORTD

b) Con **3 de las entradas analógicas** del módulo de conversión A/D

RE0/AN5 Canal analógico 5

RE1/AN6 Canal analógico 6

RE2/AN7 Canal analógico 7



PORTD y PORTE como puerto esclavo paralelo (PSP)

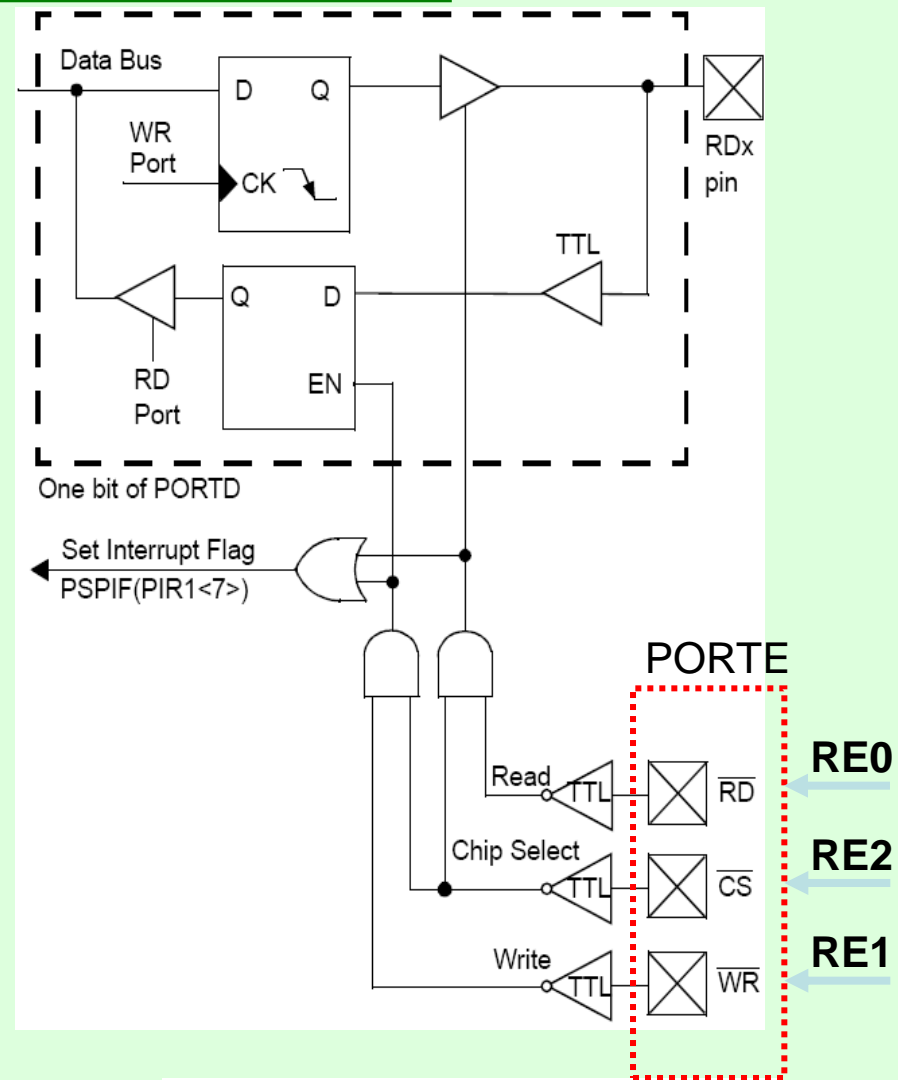
Las líneas de control son las 3 de PORTE

CS: Chip Select (RE2)

RD: Lectura (RE0)

WR: Escritura (RE1)

- El acceso externo al PSP puede generar una **interrupción (PSPIF)**
- Los registros **TRISD** y **TRISE** no afectan al sentido de las señales de PORTD y PORTE.
- Las señales de PORTE son siempre entradas.
- El sentido de las señales de PORTD se gobierna desde las líneas de PORTE (que son siempre entradas)



Note 1: I/O pins have protection diodes to VDD and VSS.