

# TECNOLOGÍA ELECTRÓNICA DE COMPUTADORES

2º Curso – GRADO EN INGENIERÍA INFORMÁTICA  
EN TECNOLOGÍAS DE LA INFORMACIÓN

*Tema 5. Circuitos integrados digitales: familias lógicas.*

*Lección 8. Familias lógicas. Características eléctricas y  
compatibilidad. Tipos de salidas*

## Lección 8. Familias lógicas. Características eléctricas y compatibilidad. Tipos de salidas

8.1 Definiciones. Parámetros y características básicas

8.2 Tecnología TTL

8.3 Tecnología CMOS

8.4 Interconexión entre familias lógicas

## Bibliografía de la lección

### Lectura clave:

Thomas L.Floyd. Fundamentos de sistemas digitales.

Ed. Prentice Hall – Pearson Education.

Tema 14. Tecnologías de los circuitos integrados. Apartados 14.1. a 14.5.

### Otros:

Enlaces a características de circuitos integrados digitales de vendedores o fabricantes

#### Ejemplos:

- Serie 74xxx <http://www.futurlec.com/IC74Series.shtml>
- Serie 40xxx <http://www.futurlec.com/IC4000Series.shtml>
- NXP Serie 74HC/T: <http://ics.nxp.com/products/hc/all/>

## **8.1 Definiciones. Parámetros y características básicas**

- Los niveles lógicos en las puertas reales se traducen en dos estados diferentes (1 y 0) para el circuito electrónico con el que se construyen los circuitos
- Principales características eléctricas y parámetros de un circuito integrado digital son:
  - Tensión(es) de alimentación permitida(s), consumo y disipación de potencia
  - Definición de los niveles lógicos “1” (High o Alto) y “0” (Low o Bajo).
  - Inmunidad al ruido y margen de ruido
  - Corrientes de entrada y salida. Carga, fan-in y fan-out
  - Retardo de propagación. Velocidad de conmutación
  - Según la tecnología, los tipos de salidas
  - Además, es conveniente conocer la estructura interna

## Familias lógicas

- Según su estructura interna, y los componentes electrónicos constitutivos, los circuitos digitales se clasifican en FAMILIAS LÓGICAS:
  - TTL (Transistor-Transistor Logic o lógica transistor-transistor), construido internamente con transistores bipolares
  - CMOS (Complementary-MOS, o MOS complementarios), construido internamente con MOSFET de canal P y canal N
  - Otras familias lógicas bipolares: ECL (Emitter Coupled Logic)
  - Otras familias lógicas MOS: PMOS, NMOS, E<sup>2</sup>CMOS
  - Las más utilizadas son TTL y CMOS
  - Se analizarán los diferentes parámetros comparando las dos principales familias
  - Como complemento, es interesante estudiar la constitución interna de ambas

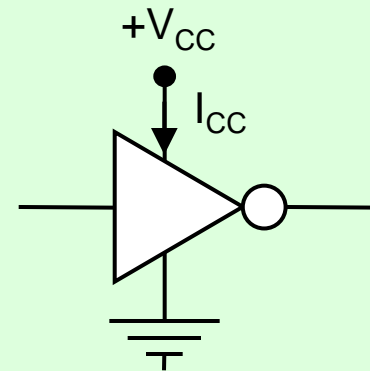
## Alimentación

- **Tensión de alimentación.** El fabricante proporciona los márgenes de  $+V_{CC}$  válidos.
- **Consumo.** Se distingue entre:
  - Consumo estático (si la salida está fija): el valor depende de si está a “1” o a “0”
  - Consumo dinámico (durante las transiciones)
  - El consumo real, depende de la frecuencia de trabajo, número de puertas en la salida y otros factores: dispersión, temperatura ...

### - Consumo estático

Se suelen proporcionar los siguientes niveles:

- Con salida a estado alto  $I_{CCH}$
  - Con salida a estado bajo  $I_{CCL}$
  - Valor medio  $I_{CC-MEDIO}$  o  $I_{CC}$
- **Potencia disipada (estática):**  $P_D = V_{CC} \cdot I_{CC}$



## Alimentación

### TTL

#### Tensión de alimentación

- $V_{CC} = +5 \text{ V} \pm 5\%$   $4,75 \text{ V} \leq V_{CC} \leq 5,25 \text{ V}$

#### Consumo estático (serie TTL estándar):

- Con salida a estado alto  $I_{CCH} = 1 \text{ mA}$
- Con salida a estado bajo  $I_{CCL} = 3 \text{ mA}$
- Valor medio  $I_{CC-MEDIO} = 2 \text{ mA}$

#### Potencia disipada (estática):

- $P_D = V_{CC} \cdot I_{CC-MEDIO} = 10 \text{ mW}$  (s. estándar)

### CMOS

Tensión de alimentación  $V_{CC} = 3 \text{ V}$  a  $15 \text{ V}$ .

Hay circuitos CMOS alimentados desde casi  $1 \text{ V}$

#### Consumo:

- Consumo estático muy pequeño (nA)
- Consumo depende de  $V_{CC}$ 
  - Si  $V_{CC}$  baja,  $I_{CC}$  baja
- Consumo principal es dinámico (hasta 99%):

Depende de la frecuencia (f)

Si f sube,  $I_{CC}$  sube

#### Potencia disipada (estática) típica:

- $P_D = V_{CC} \cdot I_{CC} = 25 \text{ nW}$

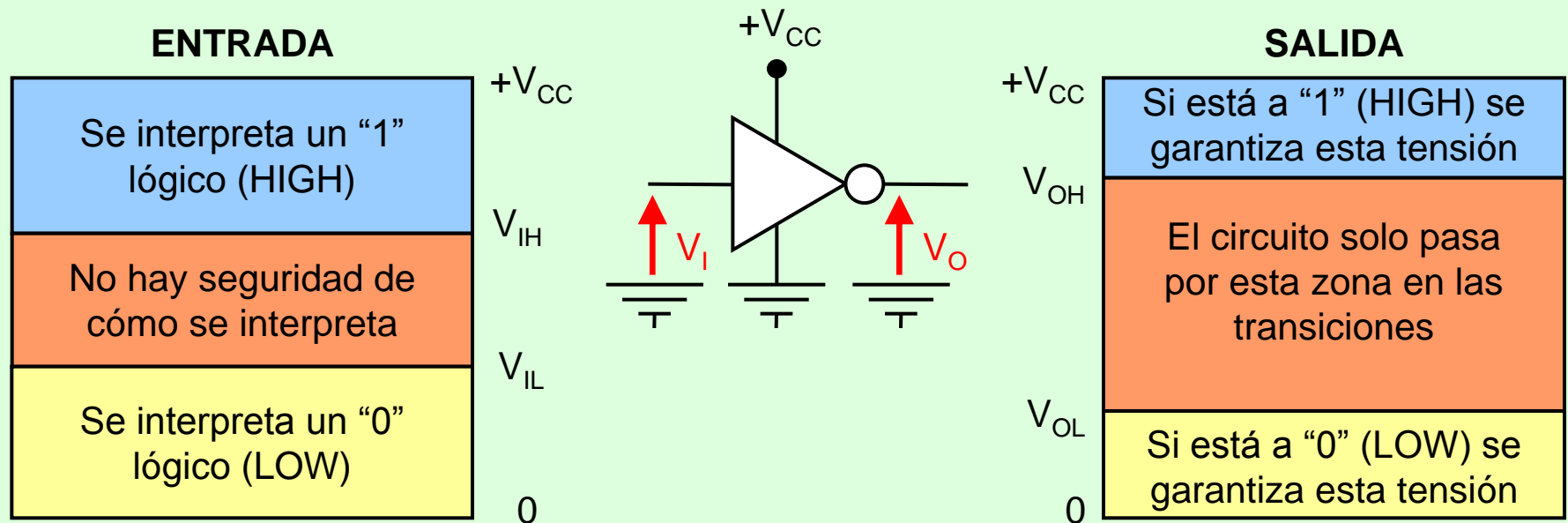
## Niveles lógicos: tensiones

Varían según las series de fabricación, incluso dentro de una tecnología

Es conveniente comprobar los valores en los circuitos utilizados

El fabricante proporciona unos valores límites de tensión de trabajo en entrada ( para interpretar los niveles correctamente) y en salida (valores que asegura el fabricante)

- Entrada:  $V_{IH}$  = Tensión mínima del estado alto,  $V_{IL}$  = Tensión máxima del estado bajo
- Salida:  $V_{OH}$  = Tensión mínima a estado alto,  $V_{OL}$  = Tensión máxima a estado bajo





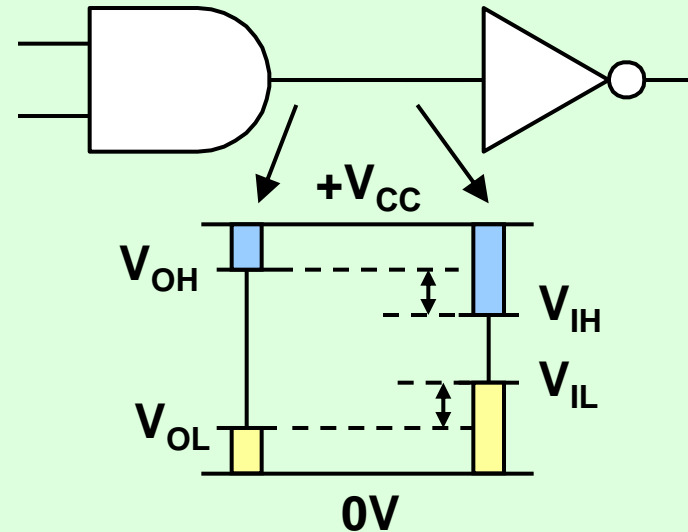
## Niveles lógicos: compatibilidad en tensiones y margen de ruido

- Los valores límites de trabajo garantizan que al conectar una salida a una entrada todo funciona correctamente. Así, siempre se tiene:

$$V_{OH} > V_{IH}$$

$$V_{OL} < V_{IL}$$

- En los circuitos puede inducirse ruido no deseado.
- La INMUNIDAD AL RUIDO es la capacidad de un circuito de ser inmune al ruido. Se mide mediante el margen de ruido que es la amplitud máxima de una perturbación admisible entre la salida de un puerta y la entrada de la siguiente
- Margen de ruido. La diferencia entre los valores anteriores indica el margen en que podría afectar el ruido sin que el circuito tenga errores en interpretar los niveles.
  - Margen de ruido en estado alto:  $MR_H = V_{OH} - V_{IH}$
  - Margen de ruido en estado bajo:  $MR_L = V_{IL} - V_{OL}$



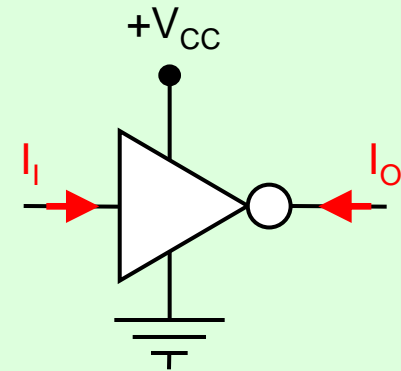
## Niveles lógicos: Corrientes de entrada y salida

El fabricante proporciona unos valores de corriente **MÍNIMOS GARANTIZADOS** en la salida, y unos valores de corriente **MÁXIMOS** consumidos por las entradas.

- Entrada:  $I_{IH}$  = Corriente de entrada en estado alto,  $I_{IL}$  = Corriente de entrada del estado bajo
- Salida:  $I_{OH}$  = Corriente de salida de estado alto,  $I_{OL}$  = Corriente de salida del estado bajo
- Comparando ambos valores sabemos cuántas entradas se pueden conectar a una salida

### CRITERIO DE SIGNOS UTILIZADO:

- Las corrientes son positivas si son entrantes hacia el circuito
- Entrada:  $I_{IH} > 0$        $I_{IL} < 0$
- Salida:  $I_{OH} < 0$        $I_{OL} > 0$



### FORMA ALTERNATIVA DE VER CUÁNTAS PUERTAS PODEMOS CONECTAR:

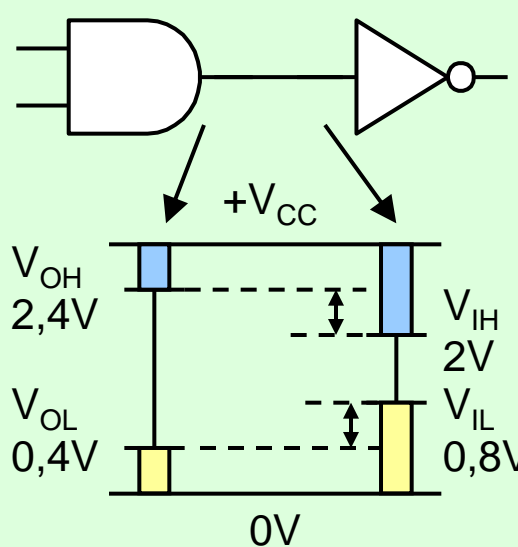
- **Carga unitaria:** es la carga que para una salida supone una puerta de su misma familia
- **Fan-in:** número de cargas unitarias a que equivale la entrada de una puerta cualquiera
- **Fan-out:** número de cargas unitarias que una puerta puede alimentar desde su salida

## Familia TTL. Niveles lógicos: tensiones, margen de ruido y corrientes

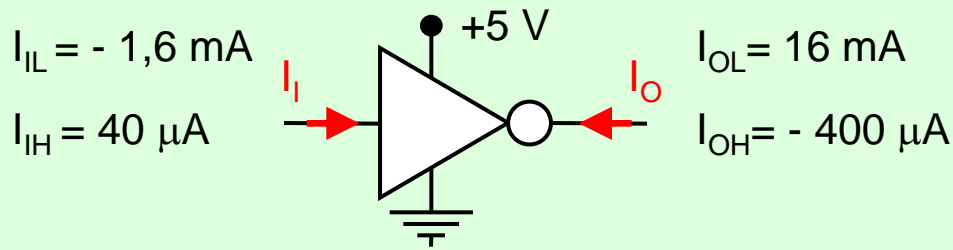
### Tensiones de entrada y salida

ENTRADA			SALIDA
"1" lógico (HIGH)	+5 V	+5 V	"1" lógico (HIGH)
	$V_{IH}$	$V_{OH}$	
	2 V	2,4 V	
Dudoso (Prohibido)			Sólo en transiciones (Prohibido)
	$V_{IL}$	$V_{OL}$	
	0,8 V	0,4 V	
"0" lógico (LOW)	0	0	"0" lógico (LOW)

### Margen de ruido



### Corrientes de entrada y salida



### Cálculo del Fan-out

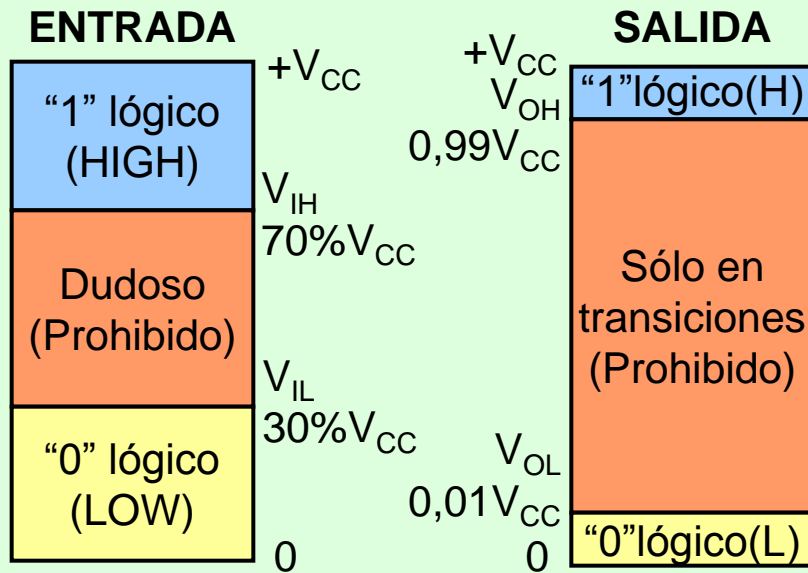
Estado alto:  $\text{Fan-out}_H = 400 \mu\text{A} / 40 \mu\text{A} = 10$

Estado bajo:  $\text{Fan-out}_L = 16 \text{ mA} / 1,6 \text{ mA} = 10$

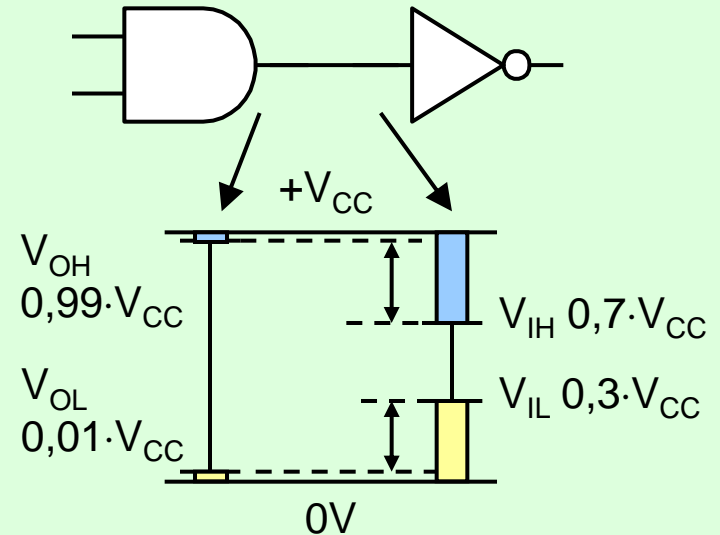
$\text{Fan-out} = \min(\text{Fan-out}_H, \text{Fan-out}_L) = 10$

## Familia CMOS. Niveles lógicos: tensiones y margen de ruido

### Tensiones de entrada y salida



### Margen de ruido



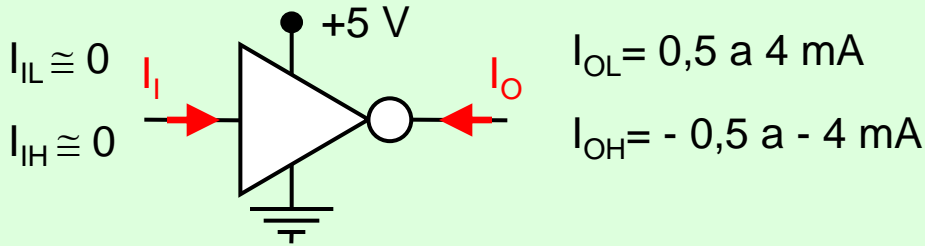
Estado alto:  $MR_H \cong V_{CC} - 0,7 \cdot V_{CC} = 0,3 \cdot V_{CC}$

Estado bajo:  $MR_L \cong 0,3 \cdot V_{CC} - 0 = 0,3 \cdot V_{CC}$

Margen de ruido:  $MR \cong 0,3 \cdot V_{CC}$

## CMOS: Corrientes de entrada y salida. Fan-in y Fan-out

### Corrientes de entrada y salida

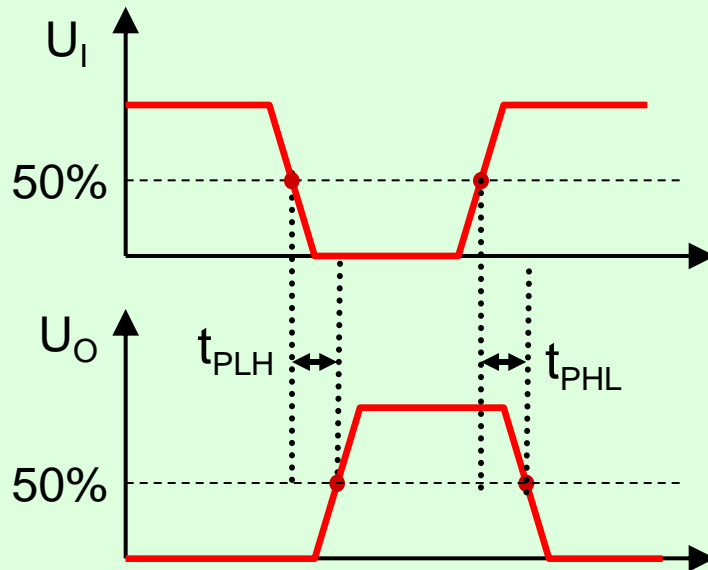


- No hay consumo estático ni en la entrada ni en la salida, pero sí hay consumo dinámico en las transiciones (por la carga/descarga de capacidades parásitas)
- Puede dar/absorber una corriente de unos pocos mA (depende de  $V_{CC}$  y del circuito CMOS particular). El estándar son  $\pm 0,5 \text{ mA}$  para 5V.
- Como en las entradas no hay consumo estático no tiene sentido definir el Fan-in (sería cero)
- El Fan-out (puertas que se pueden conectar en la salida) está limitado por el consumo en las transiciones
  - Depende de la frecuencia de trabajo
  - Valor típico: 50

## Tiempo de propagación y velocidad de conmutación

El tiempo de propagación indica el retardo en la respuesta de una puerta. Se define:

- Tiempo de propagación de estado bajo a estado alto ( $t_{PLH}$ )
- Tiempo de propagación de estado alto a estado bajo ( $t_{PHL}$ )
- El valor medio es el tiempo de propagación o de conmutación
- A menor tiempo de propagación mayor velocidad de conmutación



$$t_c \text{ (tiempo de conmutación)} = \frac{t_{PLH} + t_{PHL}}{2}$$

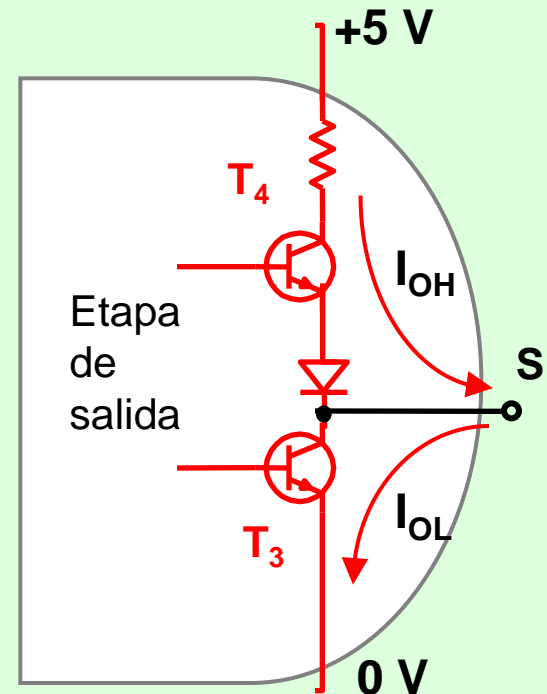
Los tiempos aumentan en función del consumo a la salida (número de puertas conectadas a la salida)

## Etapas de Salida en TTL

- Las estructuras básicas en TTL son inversoras
- Se agrega una etapa de salida para aumentar la capacidad de corriente de la salida.
- Tipos de salidas: *totem-pole*, colector abierto, *pull-up* y triestado

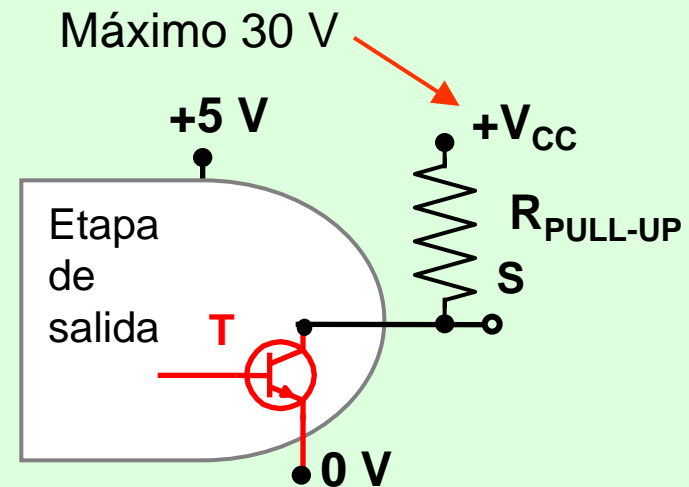
## Salida en *totem-pole*

- Es la más usual (si no se indica nada, la salida es totem-pole)
- Si SALIDA=1,  $T_4$  saturado y  $T_3$  cortado
- Si SALIDA=0,  $T_4$  cortado y  $T_3$  saturado
- **No se pueden unir salidas**, ya que se estropean las salidas por sobrecorriente si no coinciden los niveles unidos



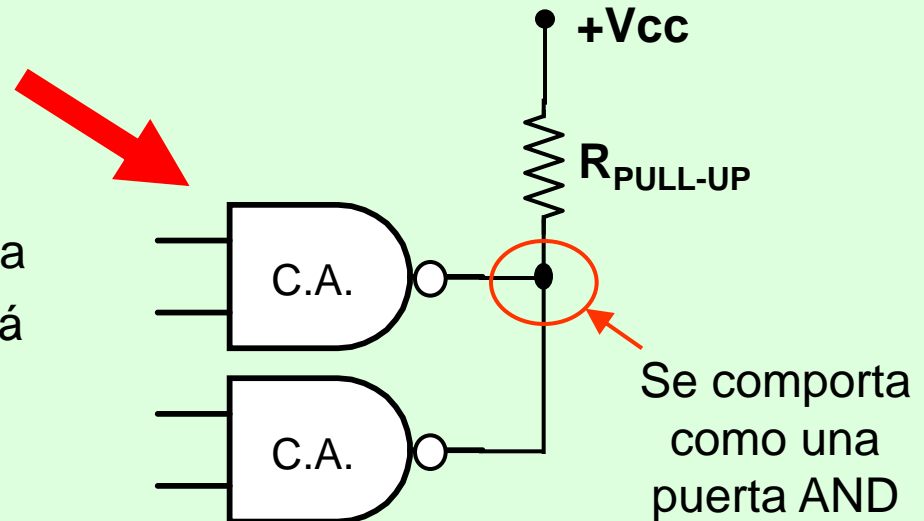
### Salida en Colector abierto (C.A.)

- Sólo tiene un transistor T
- Si SALIDA=0, T saturado y  $V_{OUT}=0$
- Si SALIDA=1, T cortado
- Hay que colocar fuera una resistencia ( $R_{PULL-UP}$ ) a  $+V_{CC}$  para tener tensión con el 1
- Permite elevar la tensión.
- **Se pueden unir salidas.** Cualquiera que esté a cero fuerza el cero en la salida (equivale a hacer una AND)



### Salida en pull-up

- Similar al colector abierto, salvo que la resistencia de pull-up es interna y está conectada a +5V
- No permite elevar la tensión.
- **No se pueden unir salidas.**

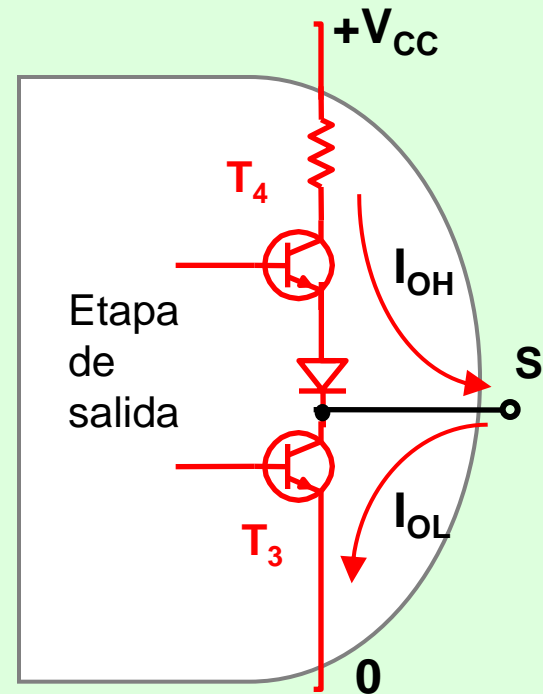
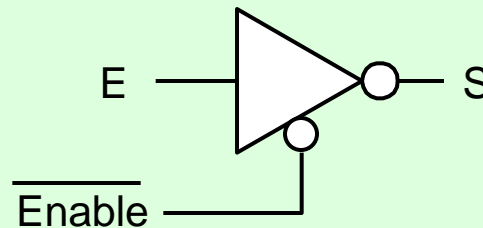




## Salida Triestado

- Similar a la salida en totem-pole, excepto en que una línea de control “extra” permite cortar los dos transistores de la salida  $T_3$  y  $T_4$
- En esta situación la salida no está conectada ni a 0 ni a 1, presentando un estado de desconexión o alta impedancia (se denota por Z en la tabla de verdad)
- **Se pueden unir salidas con el control adecuado de las señales de triestado**
- Ejemplo: inversor con salida triestado

Enable	E	S
0	0	1
0	1	0
1	X	Z



## SERIES TTL (valores de $P_D$ y $t_C$ orientativos)

TTL estándar ( $P_{disipada}=10\text{mW/puerta}$ ,  $t_{conmutación}=10\text{ns}$ ). Obsoleta

TTL Schottky (20mW/puerta, 3ns) “Letra S”. Obsoleta

TTL de bajo consumo (1mW/puerta, 33ns) “Letra L”

TTL Schottky de bajo consumo (2mW/puerta, 10ns) “Letras LS”

TTL Schottky avanzada “Letras AS” y TTL Schottky avanzada de bajo consumo “Letras ALS”

Nomenclatura: 54(Militar)/74(Comercial) Letras(Serie) XXX(Función)

←  
(-55°C a 125°C)

→  
(0°C a 75°C)

Ejemplos: 54L004

74ALS001

54002

## SERIES CMOS

4000 y 4000B (buffered). Es la serie original CMOS  $V_{CC}=3-15V$

C .CMOS  $V_{CC}=4-15V$

HC. High Current CMOS, 12 ns, compatible con TTL en salidas

HCT. High Speed CMOS, totalmente compatible con TTL

ALVC. Low Voltage ( $V_{CC}=1,65$  a  $3,3 V$ )

AUC. Ultra Low Voltage ( $V_{CC}=0,8$  a  $2,7V$ )

AHC. Advanced High Speed CMOS. 3ns

LCX/LVX. CMOS con  $V_{CC}=3V / 3,3V$ , soporta hasta 5 en entradas

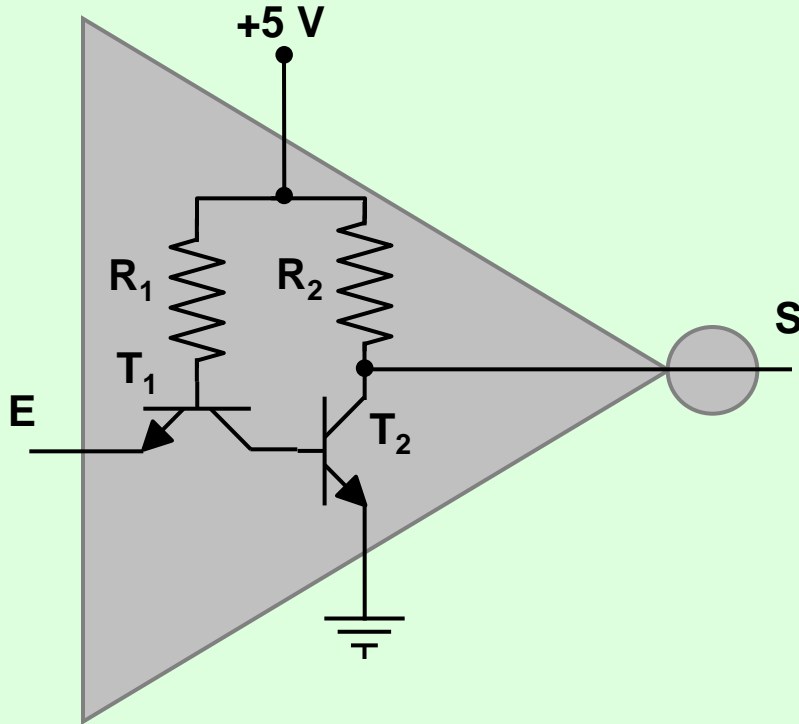
LVQ. Low Voltage ( $V_{CC}=3,3V$ )

LVC . Low Voltage ( $V_{CC}=1,65$  a  $3,3V$ ), soporta hasta 5 en entradas

Nomenclatura: Fabricante+Serie XXX(Función). Ejemplos: HEF4027 CD4069

## 8.2 Tecnología TTL

### Puerta NOT (Inversor)

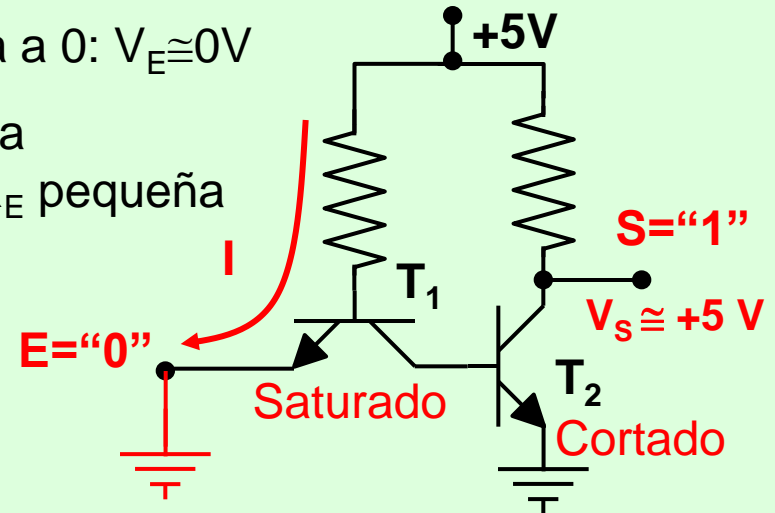


- Estructura de Inversor básico
- Se agrega usualmente una etapa de salida

### FUNCIONAMIENTO

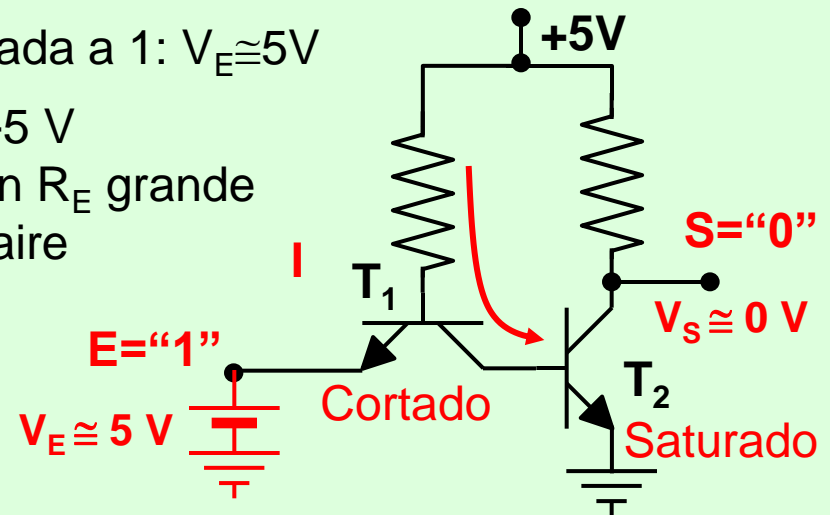
Entrada a 0:  $V_E \approx 0V$

- A masa
- Con  $R_E$  pequeña



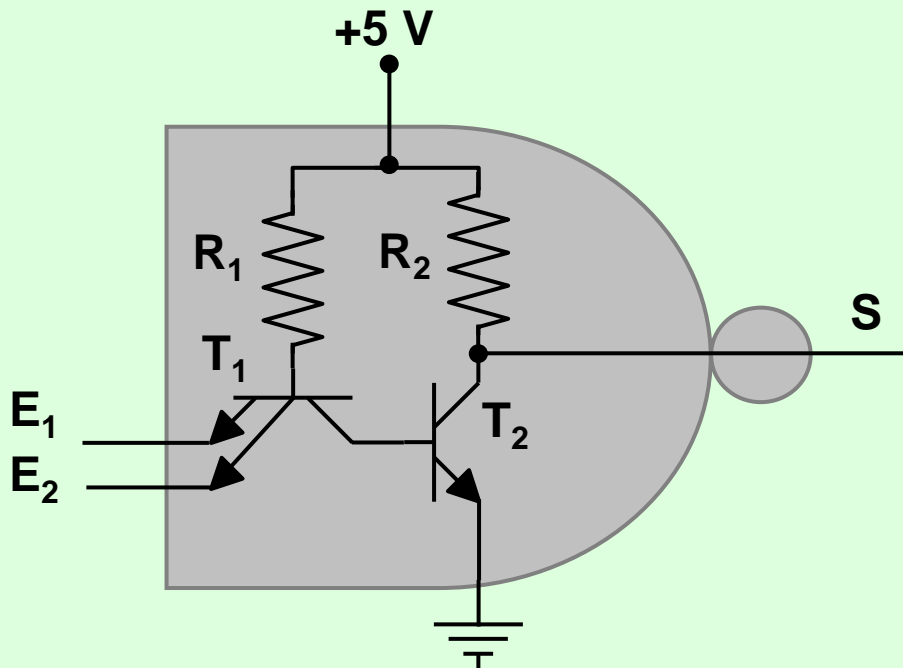
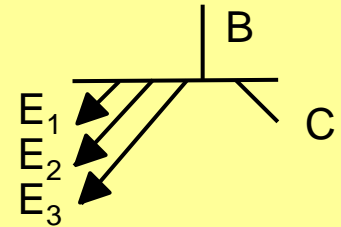
Entrada a 1:  $V_E \approx 5V$

- A +5 V
- Con  $R_E$  grande
- Al aire



## Puerta NAND

- Elemento básico: transistor multiemisor
- Si hay corriente por cualquier emisor, el transistor se satura



### FUNCIONAMIENTO

- Cualquier entrada a 0 satura  $T_1$ :
  - $T_1$  Saturado,  $T_2$  cortado
  - Salida a 1
- Todas las entradas a 1:
  - $T_1$  Cortado,  $T_2$  saturado
  - Salida a 0

Tabla  
de  
verdad

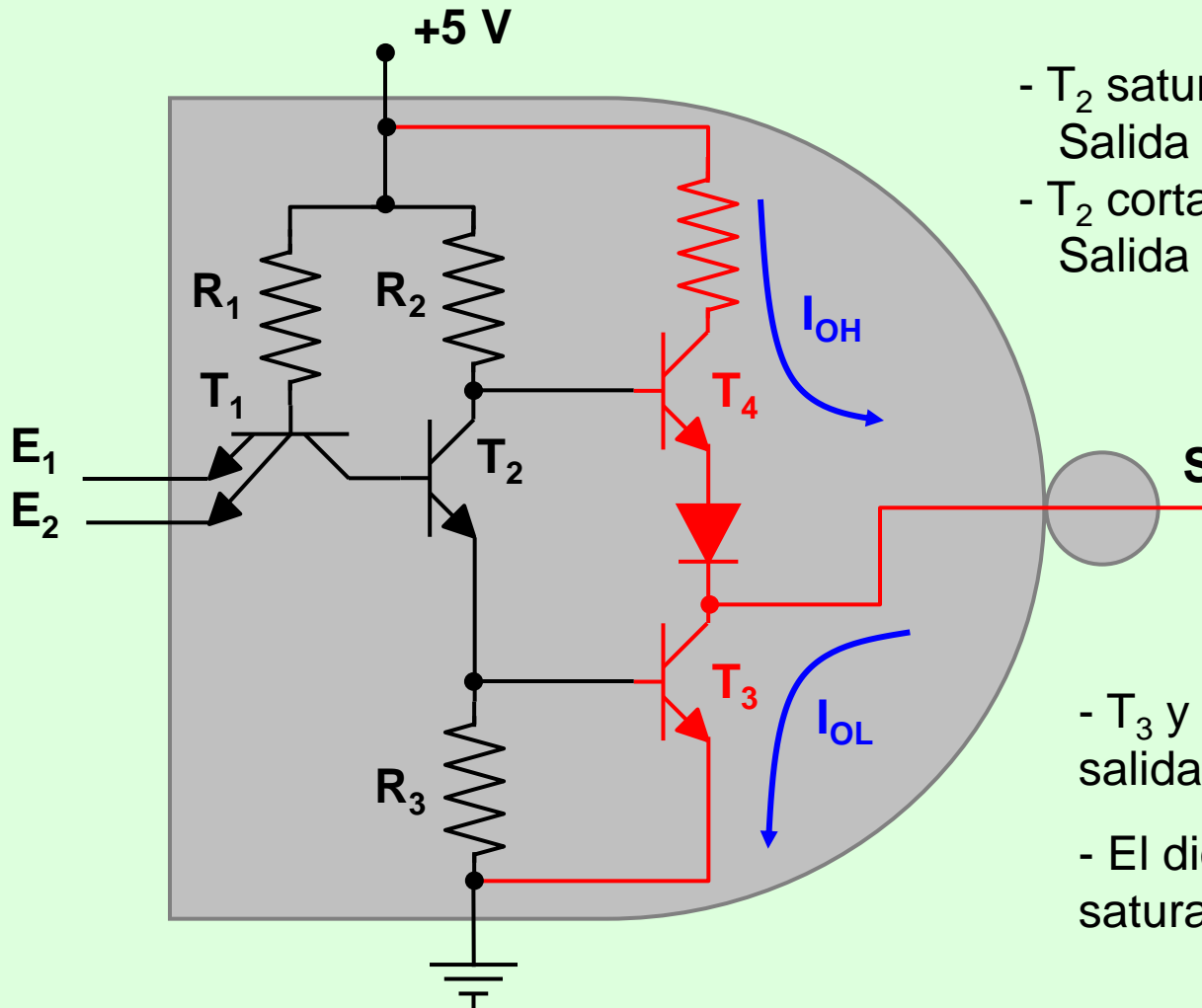
$E_1$	$E_2$	S
0	0	1
0	1	1
1	0	1
1	1	0

Etapas de salida: totem-pole

## FUNCIONAMIENTO

- $T_2$  saturado  $\Rightarrow T_3$  saturado,  $T_4$  cortado  
Salida a cero
- $T_2$  cortado  $\Rightarrow T_3$  cortado,  $T_4$  saturado  
Salida a uno

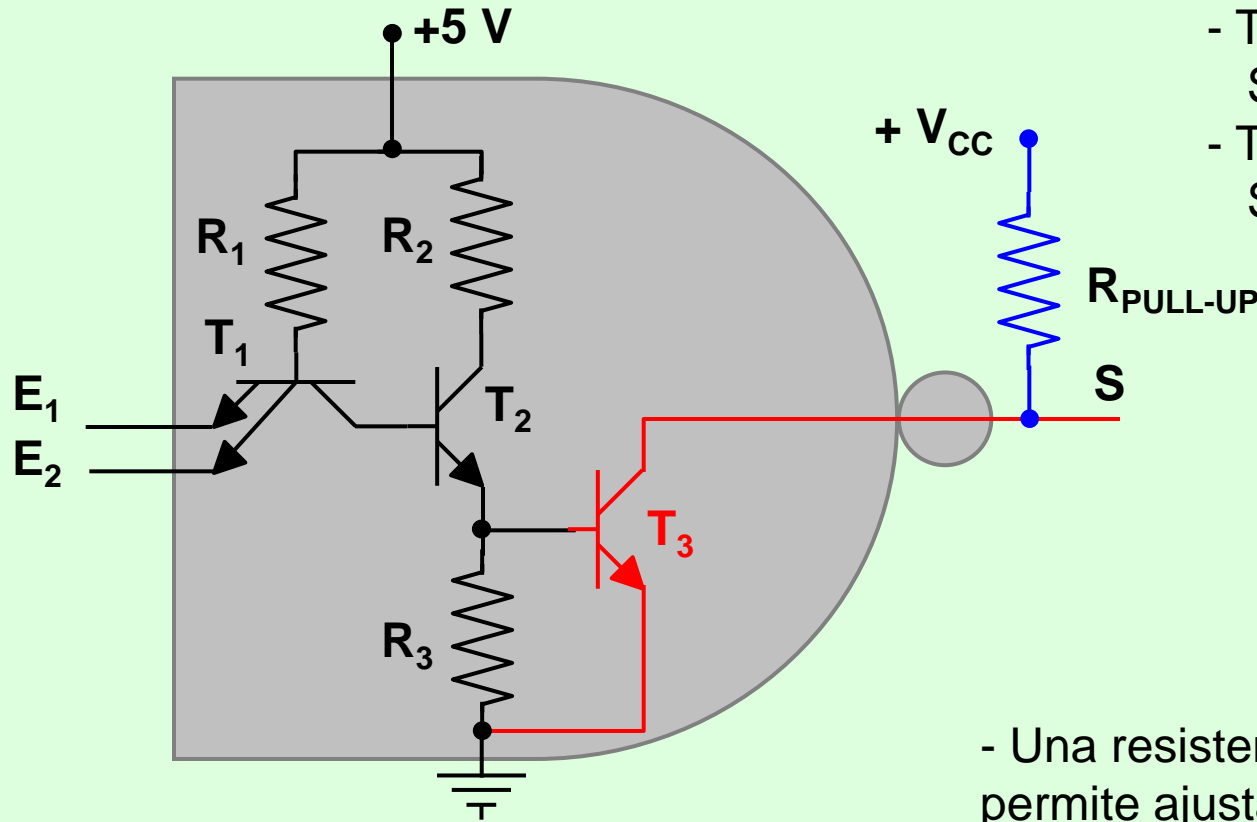
- $T_3$  y  $T_4$  amplifican la corriente de salida
- El diodo garantiza que no se satura  $T_4$  a la vez que  $T_3$



## Etapas de salida: colector abierto

### FUNCIONAMIENTO

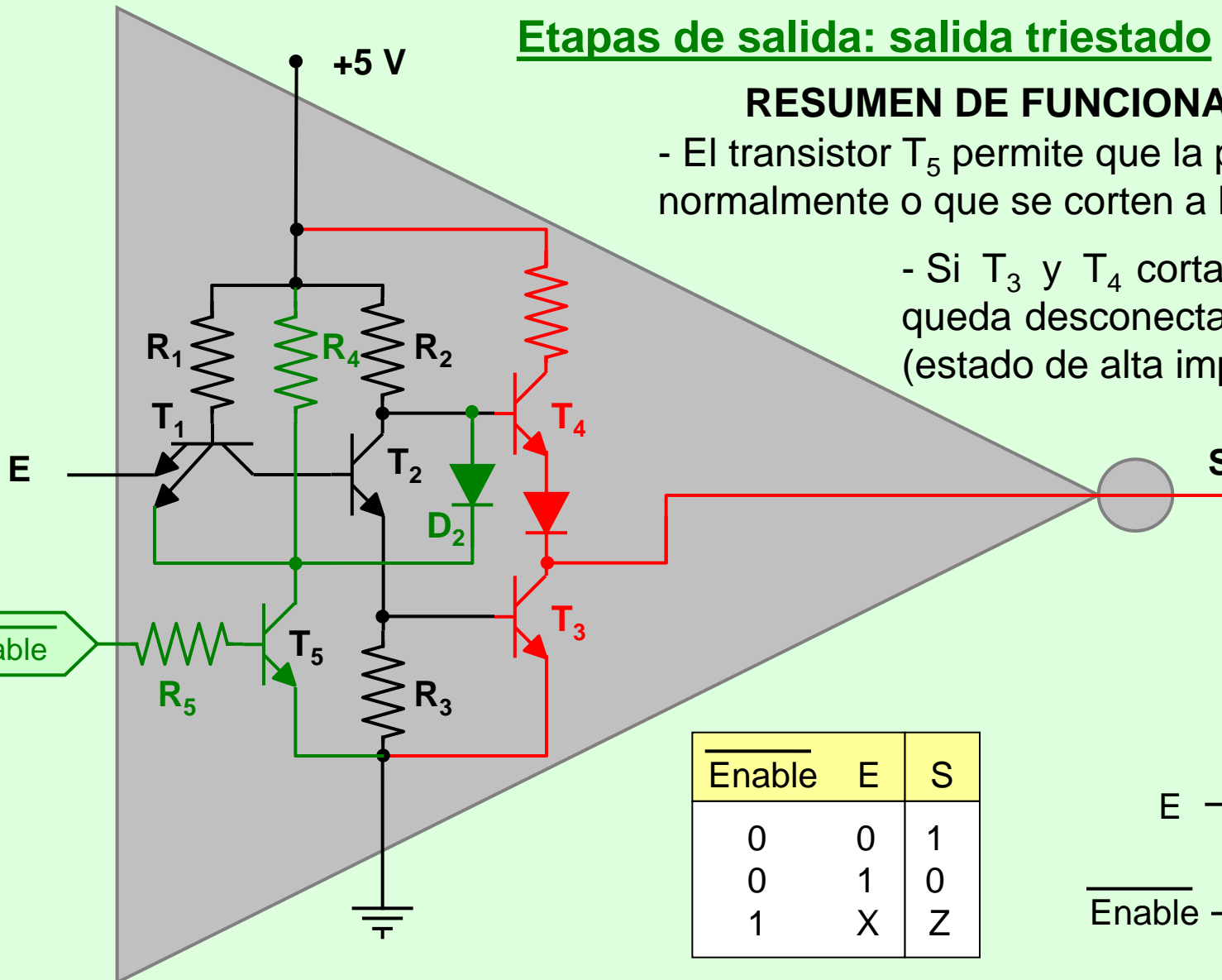
- $T_2$  saturado  $\Rightarrow T_3$  saturado  
Salida a cero
- $T_2$  cortado  $\Rightarrow T_3$  cortado  
Salida a uno



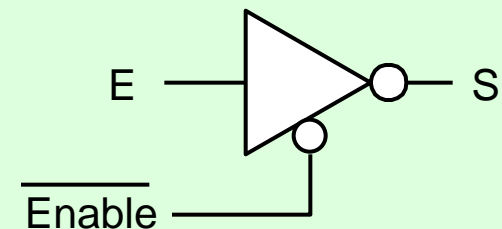
- Una resistencia externa (de pull-up) permite ajustar la tensión de salida a nivel 1

Etapas de salida: salida triestado**RESUMEN DE FUNCIONAMIENTO**

- El transistor  $T_5$  permite que la puerta trabaje normalmente o que se corten a la vez  $T_3$  y  $T_4$
- Si  $T_3$  y  $T_4$  cortados, la salida queda desconectada del circuito (estado de alta impedancia)



Enable	E	S
0	0	1
0	1	0
1	X	Z

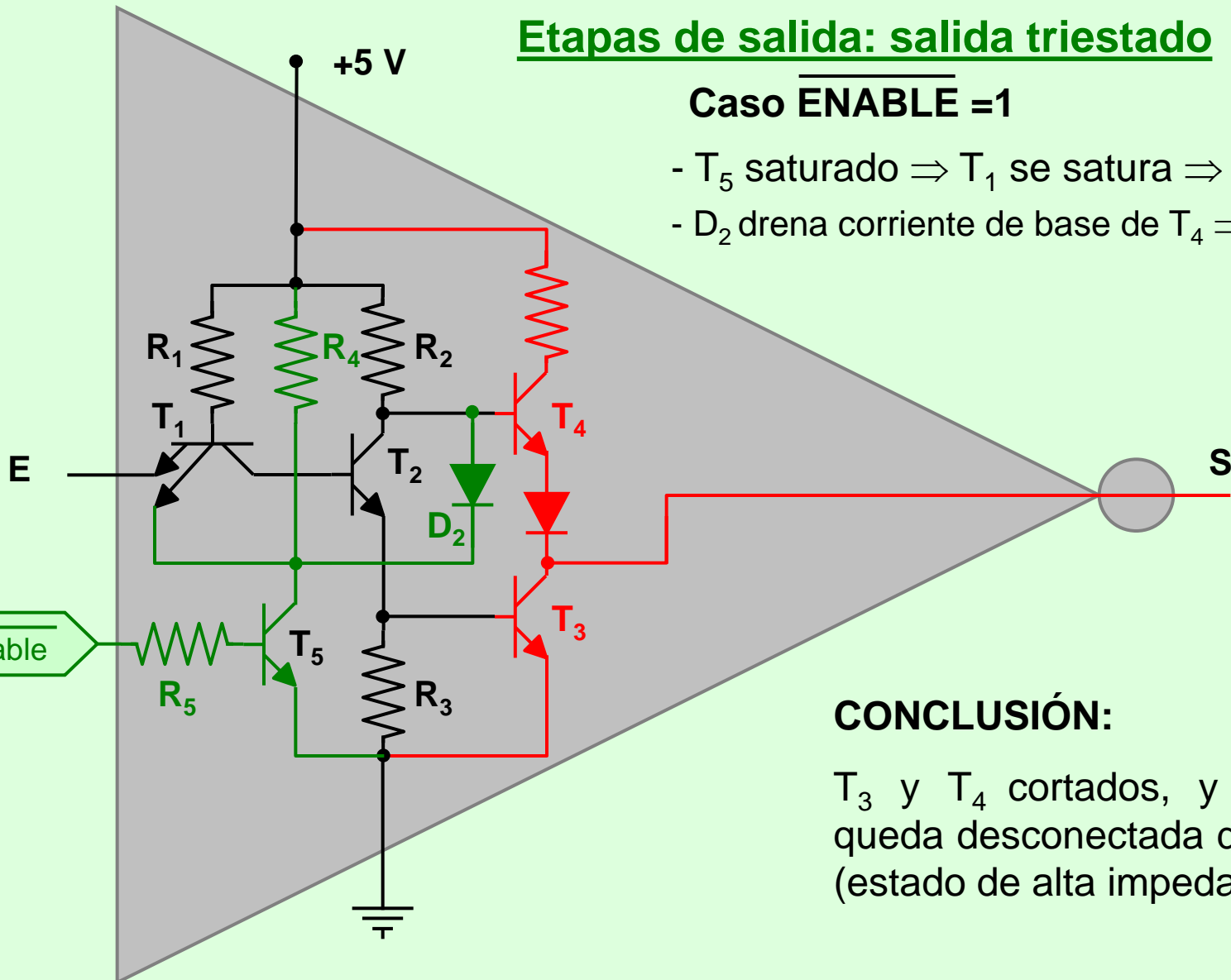




## Etapas de salida: salida triestado

### Caso $\overline{\text{ENABLE}} = 1$

- $T_5$  saturado  $\Rightarrow T_1$  se satura  $\Rightarrow T_2$  y  $T_3$  cortados
- $D_2$  drena corriente de base de  $T_4 \Rightarrow T_4$  cortado



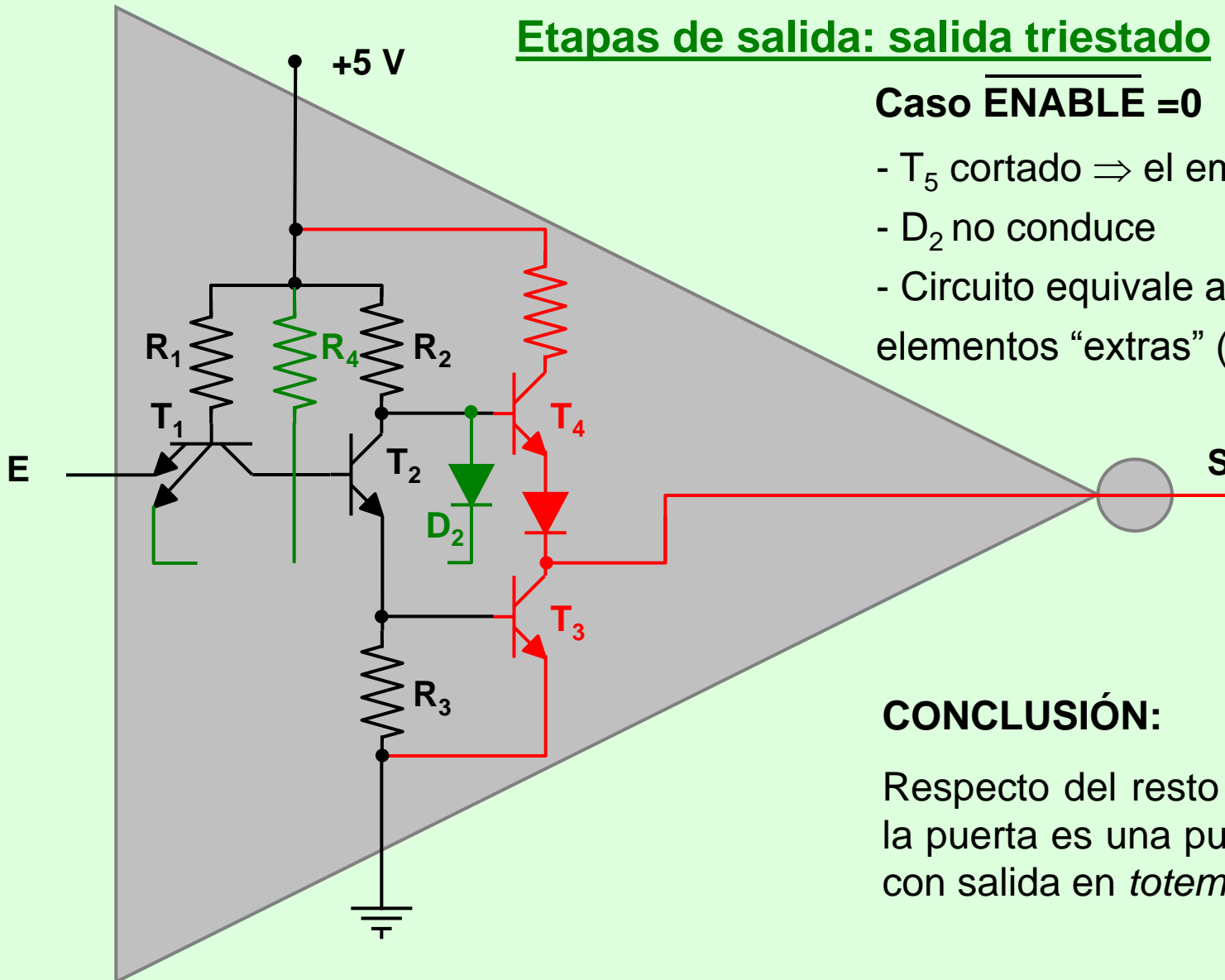
### CONCLUSIÓN:

$T_3$  y  $T_4$  cortados, y la salida queda desconectada del circuito (estado de alta impedancia)

### Etapas de salida: salida triestado

#### Caso $\overline{\text{ENABLE}} = 0$

- $T_5$  cortado  $\Rightarrow$  el emisor de  $T_1$  al aire
- $D_2$  no conduce
- Circuito equivale a “quitar” todos los elementos “extras” (figura)

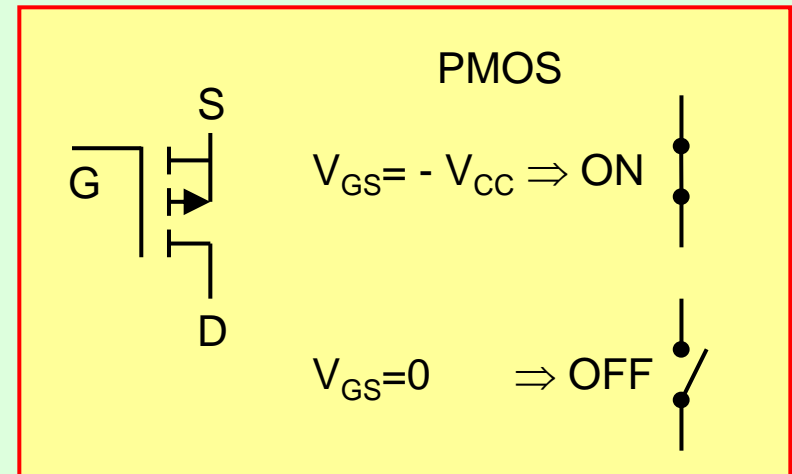
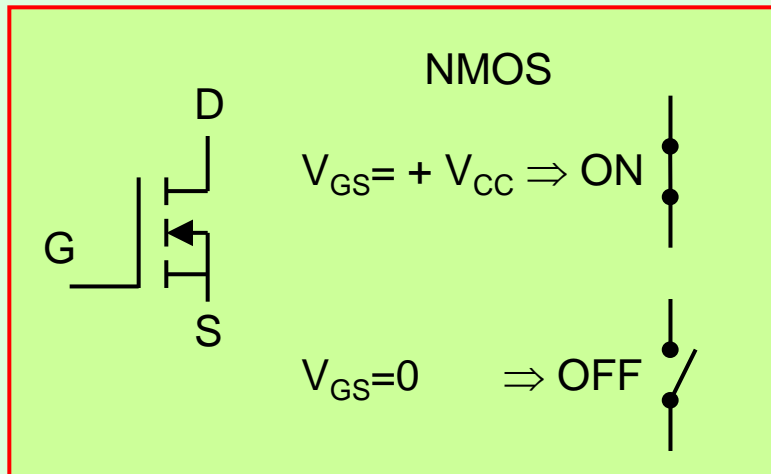


#### CONCLUSIÓN:

Respecto del resto de entradas, la puerta es una puerta “normal” con salida en *totem-pole*

## 8.3 Tecnología CMOS (Complementary-MOS)

Las puertas se construyen con MOSFET de canal-N y de canal-P trabajando en conmutación (corte-saturación)



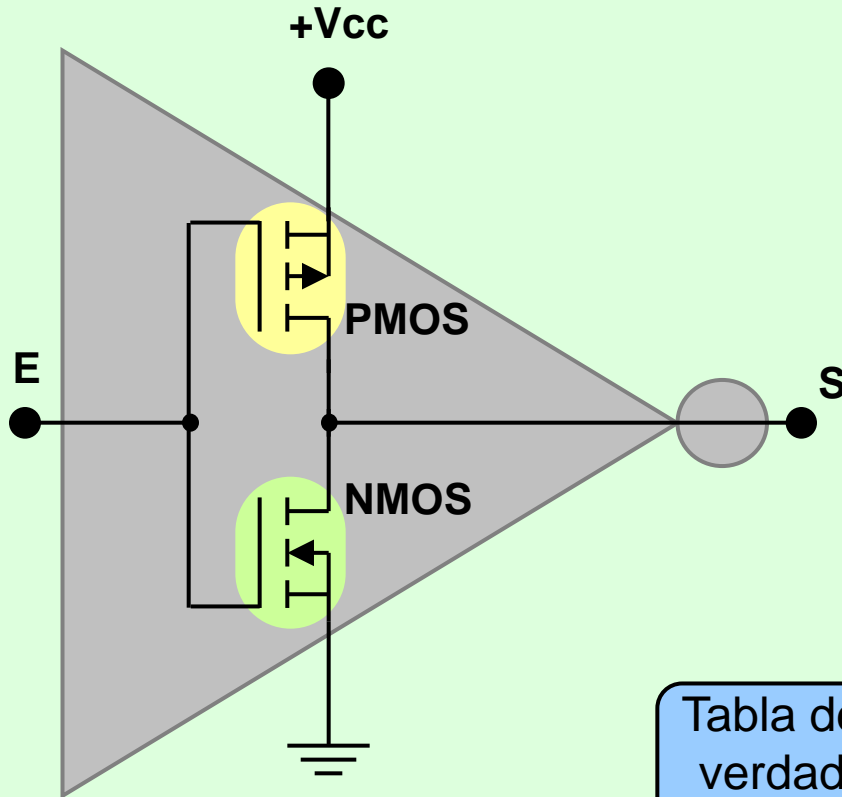
Puerta NOT (Inversor)

Tabla de verdad

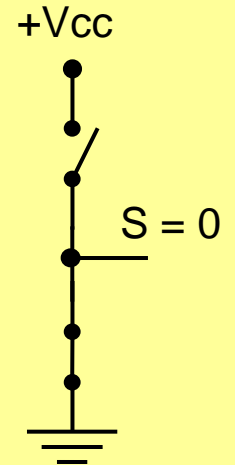
E	S
0	1
1	0

## FUNCIONAMIENTO

$$E=1 \Rightarrow V_E=V_{CC}$$

$$\text{PMOS: } V_{GS}=V_{CC}-V_{CC}=0$$

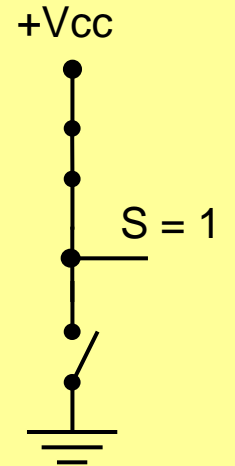
$$\text{NMOS: } V_{GS}=V_{CC}-0=V_{CC}$$



$$E=0 \Rightarrow V_E=0$$

$$\text{PMOS: } V_{GS}=0-V_{CC}=-V_{CC}$$

$$\text{NMOS: } V_{GS}=0-0=0$$



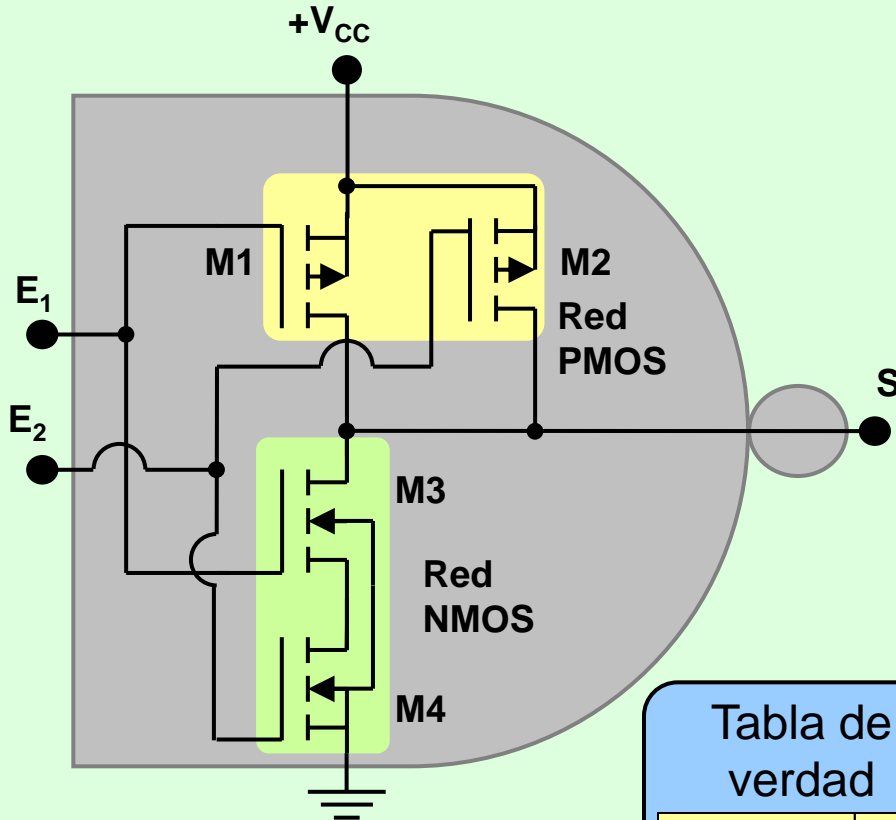
Puerta NAND

Tabla de verdad

$E_1$	$E_2$	$S$
0	0	1
0	1	1
1	0	1
1	1	0

## FUNCIONAMIENTO

$$E_1=0 \Rightarrow V_{E1}=0$$

$$M1: V_{GS}=0-V_{CC}=-V_{CC}$$

$$M3: V_{GS}=0-0=0$$

$$E_1=1 \Rightarrow V_{E1}=V_{CC}$$

$$M1: V_{GS}=V_{CC}-V_{CC}=0$$

$$M3: V_{GS}=V_{CC}-0=V_{CC}$$

$$E_2=0 \Rightarrow V_{E2}=0$$

$$M2: V_{GS}=0-V_{CC}=-V_{CC}$$

$$M4: V_{GS}=0-0=0$$

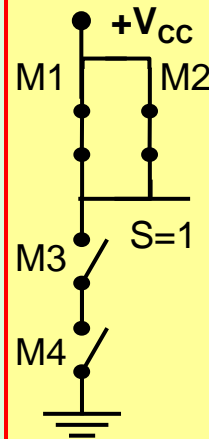
$$E_2=1 \Rightarrow V_{E2}=V_{CC}$$

$$M2: V_{GS}=V_{CC}-V_{CC}=0$$

$$M4: V_{GS}=V_{CC}-0=V_{CC}$$

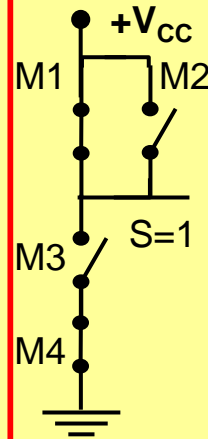
$$E_1=0$$

$$E_2=0$$



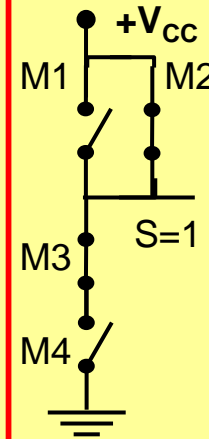
$$E_1=0$$

$$E_2=1$$



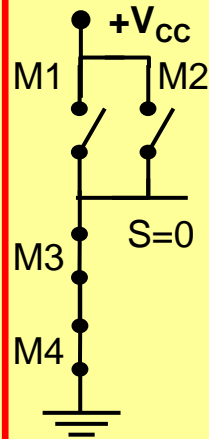
$$E_1=1$$

$$E_2=0$$



$$E_1=1$$

$$E_2=1$$



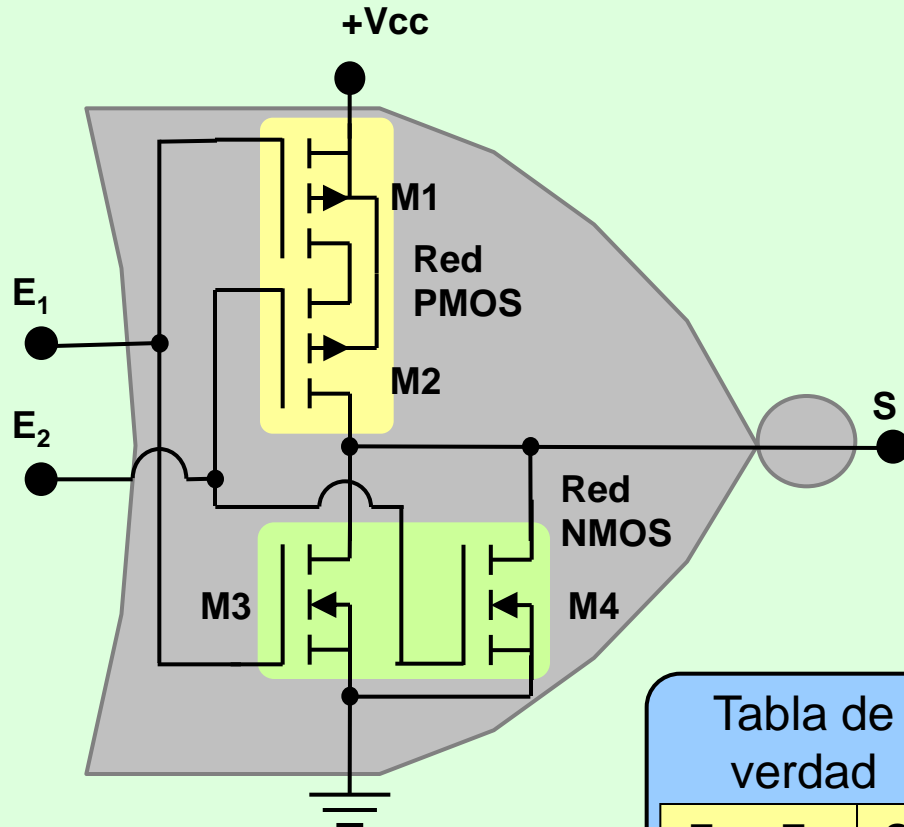
Puerta NOR

Tabla de verdad

$E_1$	$E_2$	$S$
0	0	1
0	1	0
1	0	0
1	1	0

## FUNCIONAMIENTO

$$E_1=0 \Rightarrow V_{E1}=0$$

$$M1: V_{GS}=0-V_{CC}=-V_{CC}$$

$$M3: V_{GS}=0-0=0$$

$$E_1=1 \Rightarrow V_{E1}=V_{CC}$$

$$M1: V_{GS}=V_{CC}-V_{CC}=0$$

$$M3: V_{GS}=V_{CC}-0=V_{CC}$$

$$E_2=0 \Rightarrow V_{E2}=0$$

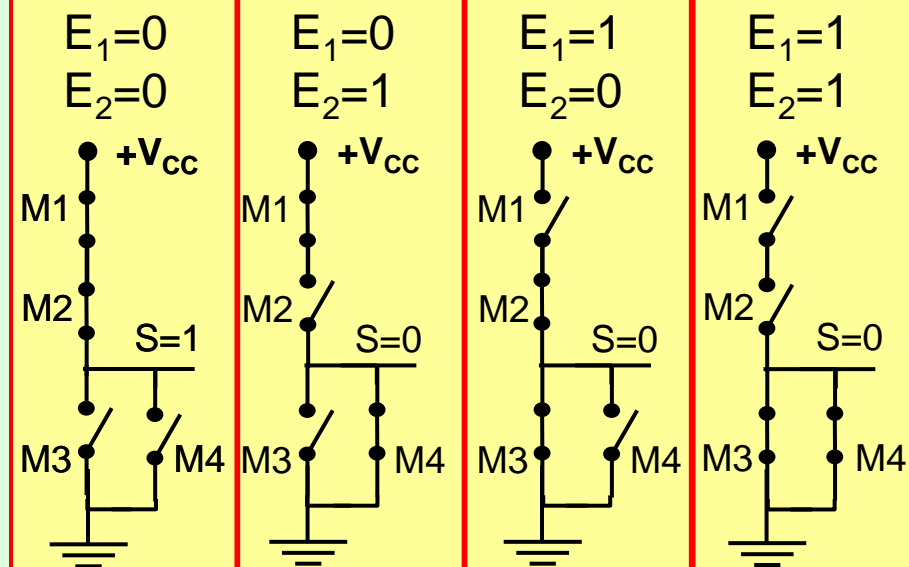
$$M2: V_{GS}=0-V_{CC}=-V_{CC}$$

$$M4: V_{GS}=0-0=0$$

$$E_2=1 \Rightarrow V_{E2}=V_{CC}$$

$$M2: V_{GS}=V_{CC}-V_{CC}=0$$

$$M4: V_{GS}=V_{CC}-0=V_{CC}$$

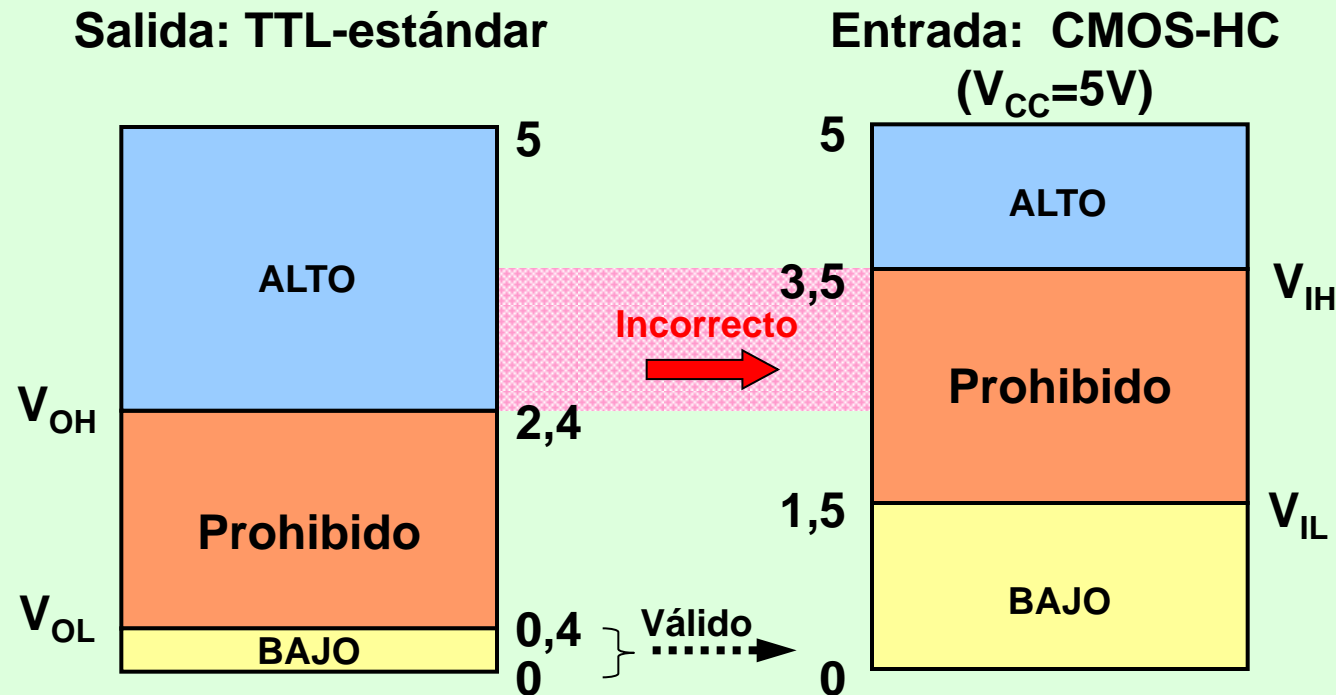


## 8.4 Interconexión entre familias lógicas

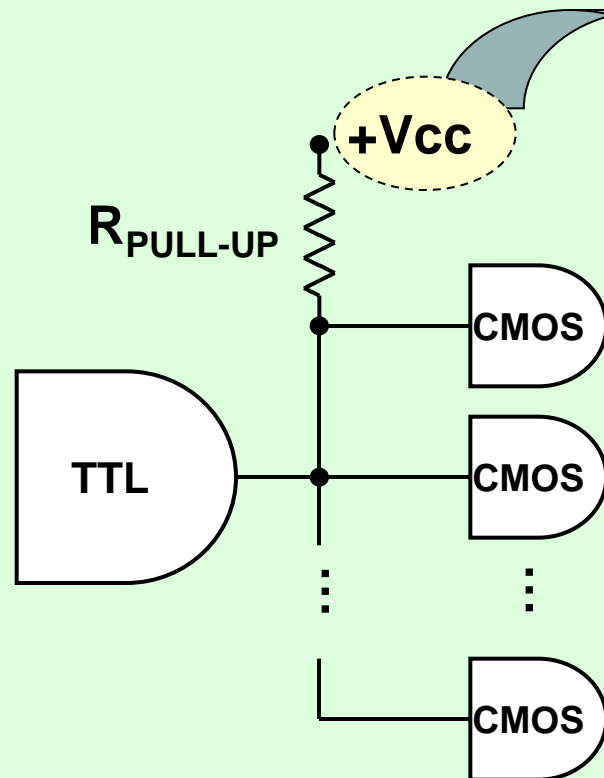
- **Compatibilidad e interfaces entre TTL y CMOS. Casos de estudio:**

- Salida TTL – Entrada CMOS
- Salida CMOS – Entrada TTL

### Salida TTL – Entrada CMOS (ALIMENTADO A +5V): NO COMPATIBLE



## Solución en el caso de TTL con salida en colector abierto



- El valor de la fuente debe ser el de la tensión de alimentación de CMOS

- Sirve para elevar tensión

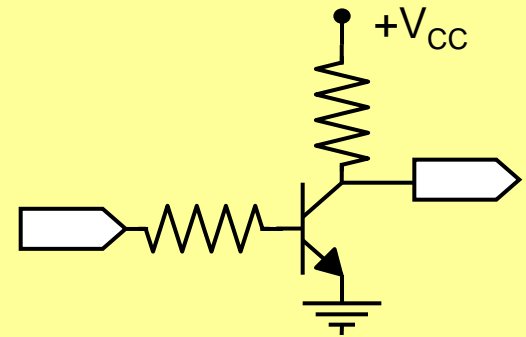
Dado el escaso consumo de CMOS en las entradas no suelen existir problemas de corriente.



## Soluciones en el caso de TTL con salida en totem-pole

### Soluciones válidas (para cualquier $V_{CC}$ en CMOS):

1. Se conecta una etapa intermedia de amplificación no inversora (dos NPN) alimentada a la misma tensión que CMOS (solución poco práctica)
2. Se conecta una etapa intermedia inversora, con un transistor NPN, alimentada a la misma tensión que CMOS y se invierte la lógica

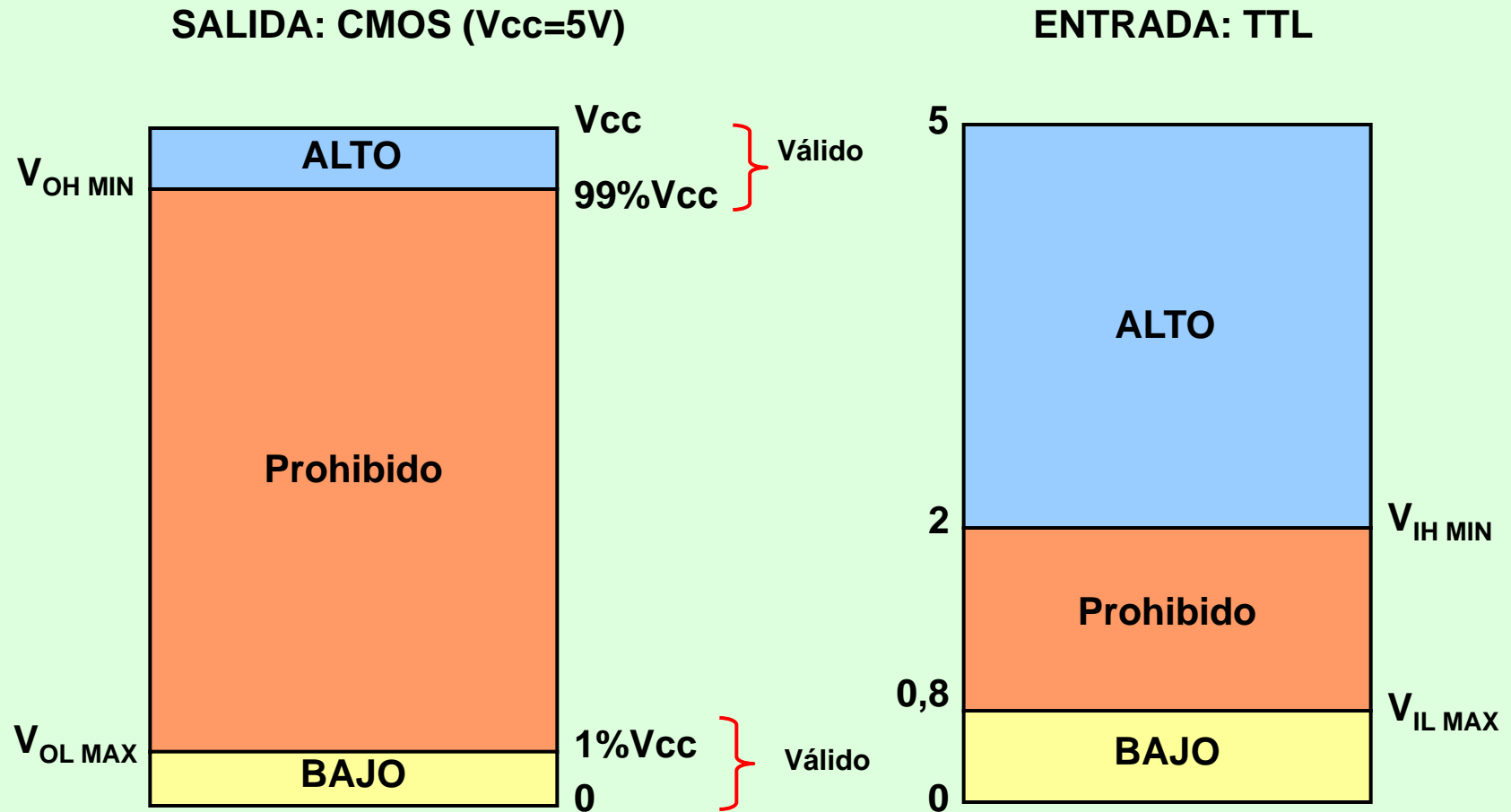


### Solución óptima para 5V:

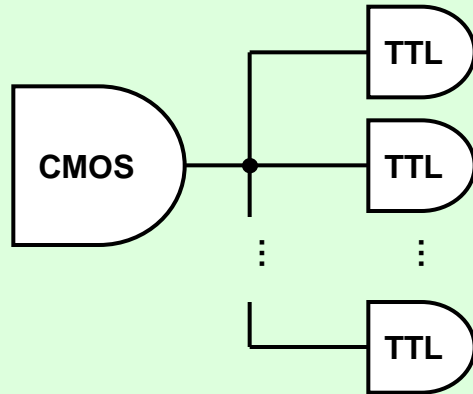
3. Se utilizan series HCT, VHCT Ó FCT (la “T” indica familias lógicas CMOS compatibles en entradas y salidas con TTL; se alimentan a 5V)

NOTA: La capacidad de entrada de las puertas CMOS afecta a los tiempos de subida, bajada y retardos; por tanto, el número de entradas que pueden conectarse a la salida TTL depende de la velocidad que se desee en el sistema.

## Salida CMOS – Entradas TTL: compatible en tensiones



## ¿Cuántas entradas se pueden conectar a una salida?



- Si tenemos el FAN-IN de las entradas TTL, habría que referir el comportamiento de la salida CMOS a la serie TTL estándar:

$$\text{FAN-OUT}_H = |I_{OH \text{ CMOS}}| / |I_{IH \text{ TTL}}|$$

$$\text{FAN-OUT}_L = |I_{OL \text{ CMOS}}| / |I_{IL \text{ TTL}}|$$

### Series CMOS:

- En ocasiones se especifica el FAN-OUT referido a TTL.
- En otras ocasiones se especifica el valor de  $I_{OL}$  e  $I_{OH}$  para Carga TTL.
- Ejemplo:

$$I_{OH \text{ CMOS carga TTL}} = -4,0 \text{ mA}$$

$$I_{OL \text{ CMOS carga TTL}} = 4,0 \text{ mA}$$

$$\text{FAN-OUT}_H = 4,0 \text{ mA} / 0,04 \text{ mA} = 100$$

$$\text{FAN-OUT}_L = 4,0 \text{ mA} / 1,6 \text{ mA} = 2,5$$

2 (el problema aparece a nivel bajo)

**Posible solución:** Agregar una etapa inversora con NPN e invertir la lógica