

APELLIDOS Y NOMBRE

DNI

Ejercicio 1.

MODELO A

Se quiere construir una función lógica f que nos indique si un número x expresado en código BCD (DCBA, siendo D el bit de mayor peso) está comprendido entre 3 y 8.

La función deberá devolver el valor $f=0$ si se cumple la condición $3 \leq x \leq 8$, y $f=1$ en caso contrario.

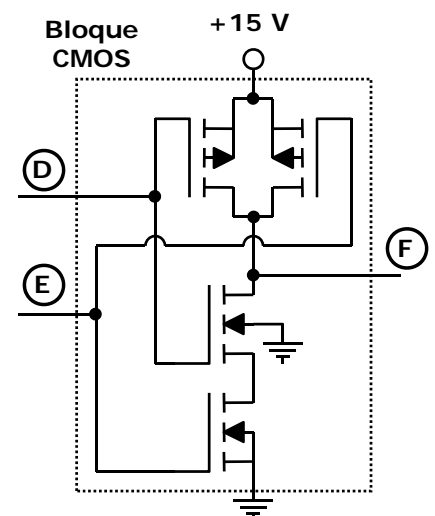
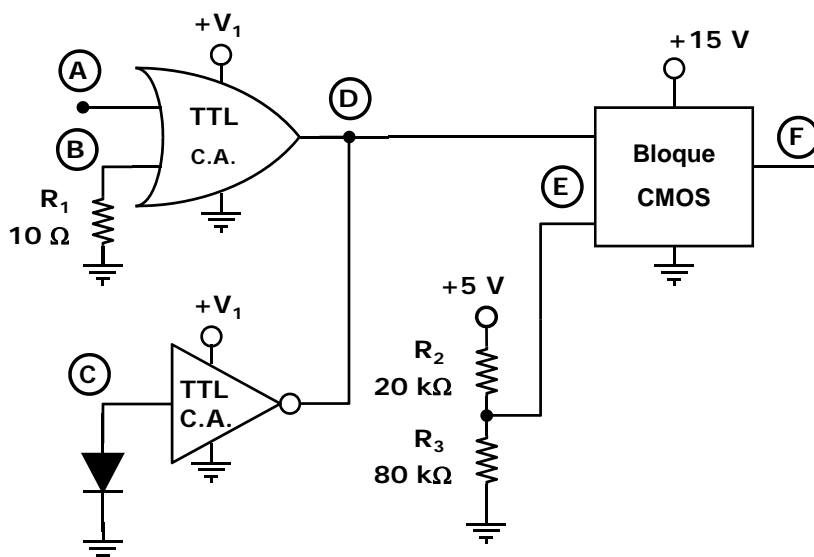
Se pide:

- Construir la tabla de verdad
- Realizar la función lógica con puertas NAND, minimizando el número de puertas utilizado. Indicar, además del proceso de minimización seguido y de la función lógica obtenida, el circuito resultante de la implementación con puertas lógicas.
- Implementar la función lógica utilizando decodificadores con salidas activas a nivel alto, del tamaño necesario, y las puertas necesarias
- Implementar la función lógica utilizando multiplexores del menor tamaño posible, y los inversores necesarios

Ejercicio 2.

En el circuito de la figura, se pide:

- Razonar la función lógica realizada por el bloque CMOS de la figura.
- Razonar cuál debe ser el valor de la tensión V_1 y completar justificadamente los elementos del circuito necesarios para que el interface TTL-CMOS existente en el punto D funcione correctamente.
- Suponiendo que se cumplen los requisitos fijados en el anterior apartado, obtener los niveles lógicos en los puntos A, B, C, D, E y F, justificando la respuesta.



Datos TTL: $i_{IL} = -1,6 \text{ (mA)}$; $i_{IH} = 0,04 \text{ (mA)}$; $u_{IL} = 0,8 \text{ (V)}$; $u_{IH} = 2 \text{ (V)}$

Datos CMOS: $u_{IL} = 0,3 \cdot V_{CC}$; $u_{IH} = 0,7 \cdot V_{CC}$

APELLIDOS Y NOMBRE

DNI

Ejercicio 1.

MODELO B

Se quiere construir una función lógica f que nos indique si un número x expresado en código BCD (DCBA, siendo D el bit de mayor peso) está comprendido entre 1 y 4.

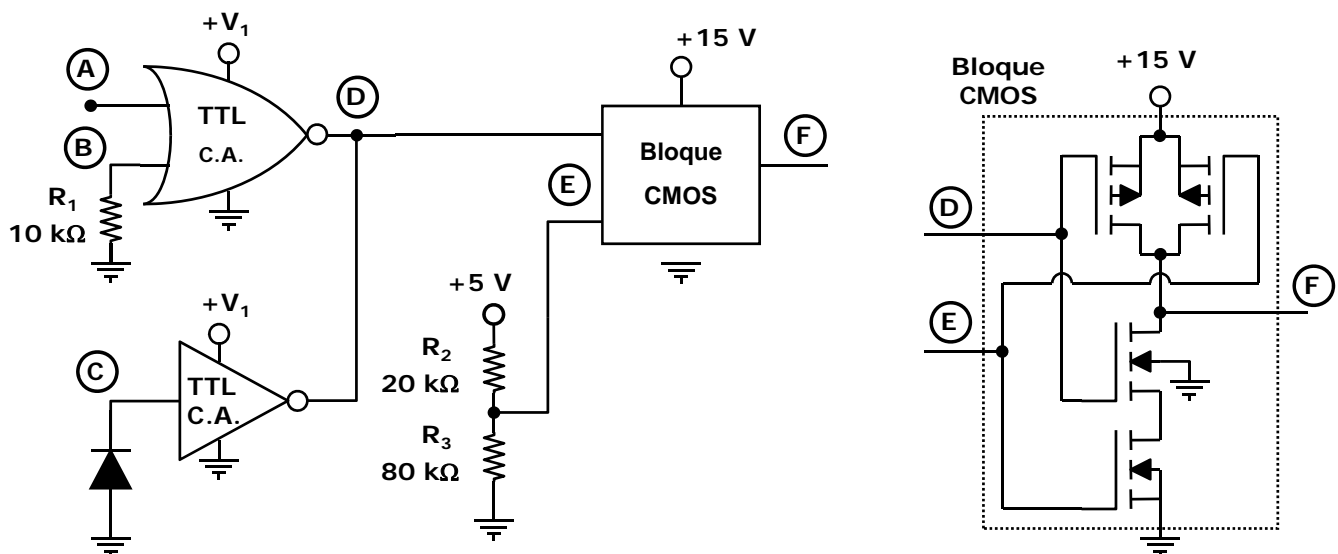
La función deberá devolver el valor $f=1$ si se cumple la condición $1 \leq x \leq 4$, y $f=0$ en caso contrario. Se pide:

- Construir la tabla de verdad
- Realizar la función lógica con puertas NAND, minimizando el número de puertas utilizado. Indicar, además del proceso de minimización seguido y de la función lógica obtenida, el circuito resultante de la implementación con puertas lógicas.
- Implementar la función lógica utilizando decodificadores con salidas activas a nivel bajo, del tamaño necesario, y las puertas necesarias
- Implementar la función lógica utilizando multiplexores del menor tamaño posible, y los inversores necesarios

Ejercicio 2.

En el circuito de la figura, se pide:

- Razonar la función lógica realizada por el bloque CMOS de la figura.
- Razonar cuál debe ser el valor de la tensión V_1 y completar justificadamente los elementos del circuito necesarios para que el interface TTL-CMOS existente en el punto D funcione correctamente.
- Suponiendo que se cumplen los requisitos fijados en el anterior apartado, obtener los niveles lógicos en los puntos A, B, C, D, E y F, justificando la respuesta.



Datos TTL: $i_{IL} = -1,6 \text{ (mA)}$; $i_{IH} = 0,04 \text{ (mA)}$; $u_{IL} = 0,8 \text{ (V)}$; $u_{IH} = 2 \text{ (V)}$

Datos CMOS: $u_{IL} = 0,3 \cdot V_{CC}$; $u_{IH} = 0,7 \cdot V_{CC}$