

Mi Tesis

Miguel Perez Andrade

abril de 2023

Índice general

1. Introducción	2
2. Diseño	3
2.1. SRD como afilador de flanco	3
2.2. Generador de pulsos con <i>stub</i>	5
2.2.1. Principios del <i>stub</i>	5
2.2.2. Generador de pulsos SRD+ <i>stub</i>	7
2.2.3. Diseño del <i>stub</i>	8
2.3. Diseño final del <i>pulser</i>	8
2.3.1. Selección del diodo	9
2.3.2. Simulaciones	9
2.4. Consumo del generador	9
2.5. Diseño del <i>driver</i>	11
2.6. Arquitectura	11
2.6.1. Llave	11
2.6.2. Filtro pasa altos	12
2.7. Implementación de la llave	15
2.8. Implementación	15
3. Mediciones	16
3.1. Banco de medición	16
3.1.1. Fuente de alimentación	16
3.1.2. FPGA	17
3.1.3. Osciloscopio	18
3.2. Mediciones realizadas	19
3.2.1. Mediciones preliminares	20
3.3. Resultados	20
3.3.1. Comparación con simulación	21
3.3.2. Comparación con resultados de la literatura	23
.1. Código Fuente Verilog	30

Capítulo 1

Introducción

Poner en algún lado una tabla con todos los requisitos: ancho de banda, amplitud, PRF, entrada de comando, fuente de alimentación, etc

Capítulo 2

Diseño

2.1. SRD como afilador de flanco

En la sección AGREGAR REF?? fue explicado como un diodo *SRD* funciona como afilador de flanco.

En la figura 2.1 puede observarse un circuito que demuestra el funcionamiento.

El circuito está compuesto por un generador de cuadrada lento, con tiempos de crecimiento y decrecimiento de 5 ns, en serie una resistencia de fuente R_s de valor 50Ω . La carga del circuito es la resistencia R_L de 50Ω .

En la figura 2.2 se observa el resultado de la simulación. Vemos que, hasta aproximadamente 85 ns, la señal de salida V_o es igual a la señal de entrada, afectada por el divisor entre R_L y R_s , $\frac{R_L}{R_L+R_s}$. Durante este tiempo, el *SRD* presenta una baja impedancia. En la porción positiva de la señal de entrada V_p , esto es coincidente con un diodo usual, ya que el mismo se encuentra polarizado en directa. En lo que destaca el *SRD* de un diodo usual, es que luego de que la tensión de entrada se invierta, este sigue presentando una baja impedancia. Esto se debe al gran tiempo de vida de sus portadores minoritarios, lo que requiere un tiempo apreciable para descargálos y pasar al estado de alta impedancia.

Se observa en la forma de onda de V_o que esta transición se da alrededor de 85 ns, donde la tensión de salida cae abruptamente a 0. En la figura 2.2 puede observarse el comportamiento de la corriente. Se observa la misma caída abrupta en los 85 ns, y una inversión en el signo de la corriente con la inversión en el signo de la cuadrada de entrada.

Llamaremos corriente de inyección de carga I_F a la corriente que circula por el *SRD* con sentido positivo. Esta corriente determina la carga almacenada en el mismo, y ambas se relacionan mediante [1], [2]

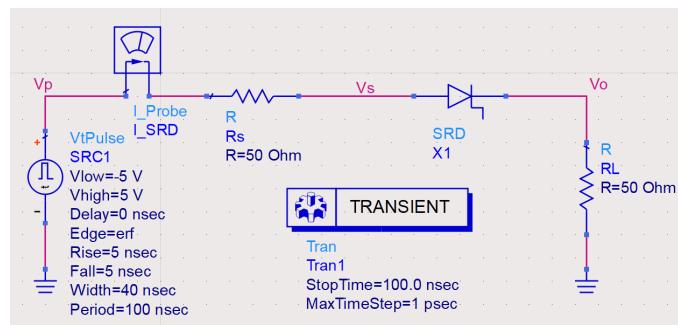


Figura 2.1: Circuito afilador de flanco con SRD

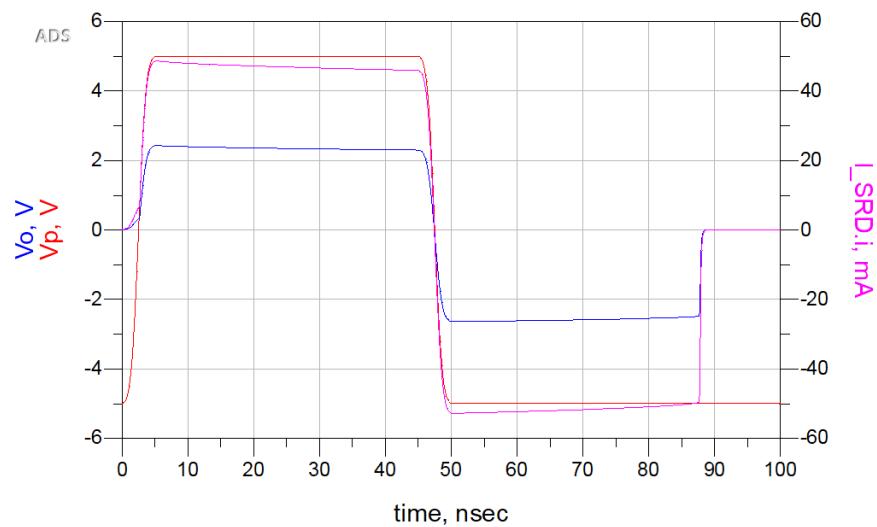


Figura 2.2: Resultado de simulación.

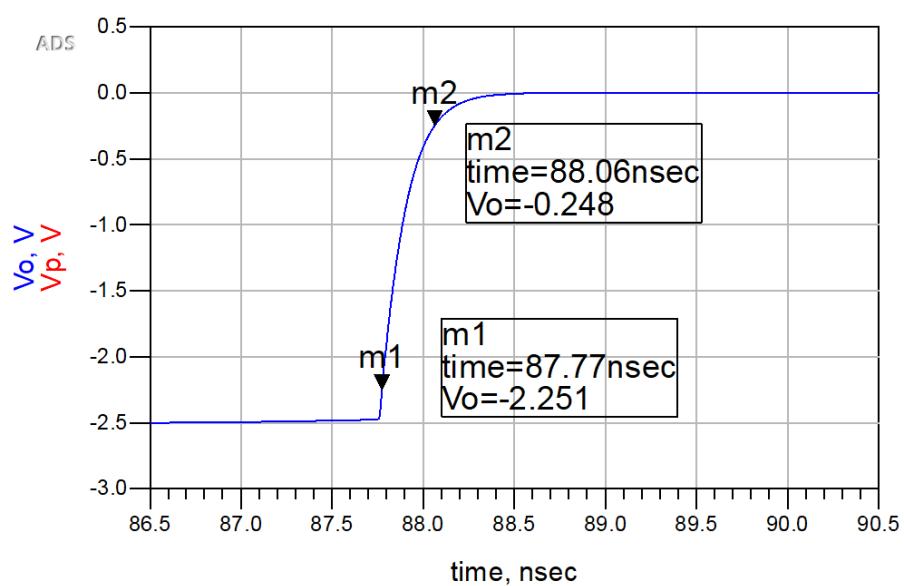


Figura 2.3: Tiempo de crecimiento.

$$Q_F = I_F \cdot \tau \cdot \left(1 - e^{-t_F/\tau}\right) \quad (2.1)$$

Para el circuito presentado, la corriente I_F estará dada por

$$I_F = \frac{V_h}{R_s + R_L} \quad (2.2)$$

con V_h el valor de la tensión positiva de la señal cuadrada de entrada.

Para la corriente de extracción de carga I_R , que es la corriente que extrae carga durante el tiempo en el que el *SRD* se encuentra en un estado de baja impedancia y la corriente que circula es negativa, tenemos la siguiente expresión

$$I_R = \frac{V_l}{R_s + R_L} \quad (2.3)$$

con V_l el valor de la tensión negativa de la señal cuadrada de entrada.

En la figura 2.3, puede observarse el tiempo de crecimiento del escalón generado con el apagado del *SRD*. Se toma el tiempo de crecimiento 10 %-90 %. Siendo que el escalón de tensión se da entre $-2,5\text{ V}$ y 0 V , tenemos que el punto de 10 % es $V_{10\%} = -2,5\text{ V} \cdot 0,9 = 2,25\text{ V}$, y el de 90 % es $V_{90\%} = -2,5\text{ V} \cdot 0,1 = -0,25\text{ V}$.

En cuanto a la magnitud del salto de tensión ΔV , estará dado por el valor de la tensión en el cátodo del *SRD* antes de que pase al estado de alta impedancia. Esta tensión estará dada por el divisor entre R_L y R_s ,

$$\Delta V = V_l \cdot \frac{R_L}{R_L + R_s} \quad (2.4)$$

El tiempo de crecimiento de este escalón estará dado por dos componentes: un tiempo de transición del diodo t_t , y un tiempo de carga RC dado por el tiempo en que demora en cargarse el RC . **COMPLETAR CON EXPRESIÓN [1]**.

EXPLICAR IMPORTANCIA DE BAJA CAPACIDAD PARALELO AL SRD

Vemos por los marcadores de la figura, que estos tiempos son 87,77 ns y 88,06 ns respectivamente, por lo que tenemos un tiempo de crecimiento

$$t_r = 87,77\text{ ns} - 88,06\text{ ns} = 290\text{ ps} \quad (2.5)$$

Como fuese explicado en la sección **AGREGAR REF??**, este tiempo de crecimiento estará dado por el tiempo de transición del diodo y por el tiempo del RC formado entre la capacidad de reversa del diodo y la resistencia vista desde los nodos del capacitor.

2.2. Generador de pulsos con *stub*

2.2.1. Principios del *stub*

Un *stub* consiste de una línea de transmisión conectada en paralelo al camino de la señal. Su efecto sobre la señal dependerá de su impedancia característica, largo e impedancia de terminación [3].

Cuando el *stub* se encuentra abierto, es decir, terminado por una impedancia infinita, la señal propagada se verá reflejada con signo positivo, y en el caso de una línea de transmisión sin pérdidas, con un factor de ganancia unitario. En el caso de una línea de transmisión real, las pérdidas resultaran en un factor de atenuación. **chequear esto de la atenuación, y lo q sigue de las aplicaciones de un stub abierto**. Este efecto permite generar resonancias en ciertas frecuencias, útiles para filtrado de señales o adaptación de impedancias.

En el caso de un *stub* cortocircuitado, es decir, con una impedancia de terminación igual a 0, el efecto será una reflexión de la señal con fase opuesta, y un factor de atenuación dado por las pérdidas de la línea.



Figura 2.4: Reflexiones en un *stub* cortocircuitado.

El caso de interés para el circuito generador de pulsos, es el del *stub* cortocircuitado, ya que la reflexión de señal con fase opuesta, permite generar un pulso en base a una forma de onda creciente o decreciente.

En la figura ?? se observa el principio de funcionamiento. Se observa un pulso de entrada, formado por una forma de onda de tipo escalón, en nuestro caso este escalón será el mismo que en la figura ???. Este escalón se ve reflejado con polaridad opuesta, y se suma al escalón de entrada.

Dado el tiempo de propagación de la línea de transmisión T , vemos que el tiempo que tarda el pulso de entrada en reflejarse es $2 * T$, el tiempo de un camino de ida y vuelta. Dado que el pulso se forma cuando vuelve la componente reflejada, vemos que el ancho de pulso estará dado por $2 * T$. De esta forma, la duración temporal del pulso y, por lo tanto, el ancho de banda del sistema, estará dado por la longitud L del *stub*.

El tiempo de propagación T está dado por la velocidad de propagación en la línea de transmisión v_p y el largo de la línea L . La velocidad de propagación está dada por AGREGAR REF, POZAR? [3]

$$v_p = \frac{c_0}{\sqrt{\kappa}} \quad (2.6)$$

con κ la permitividad relativa del medio. Para una línea de transmisión, es posible desarrollar una *permitividad relativa efectiva*, que es una función de la geometría de la línea y sus materiales [3]. Esta función puede obtenerse a través de una forma cerrada, generalmente involucrando diversas aproximaciones, o mediante métodos numéricos iterativos. El punto a resaltar es que, dada una determinada estructura de línea de transmisión y sus materiales, se puede considerar a κ una constante del circuito.

Es interesante notar que κ es una función del corte transversal de la línea de transmisión, y no de su dimensión longitudinal. De esta manera, κ es independiente del largo L de la línea [3].

Entonces, el ancho de pulso T_p está dado por

$$T_p = 2 * T = 2 * v_p * L = 2 * \frac{c_0}{\sqrt{\kappa}} * L \quad (2.7)$$

De esta forma, se puede diseñar el largo de línea L para obtener un ancho de pulso T_p deseado

$$L = \frac{T_p \sqrt{\kappa}}{2 * c_0} \quad (2.8)$$

De esta manera, el largo L queda determinado por el ancho de pulso deseado T_p y la constante de propagación de la línea de transmisión utilizada κ .

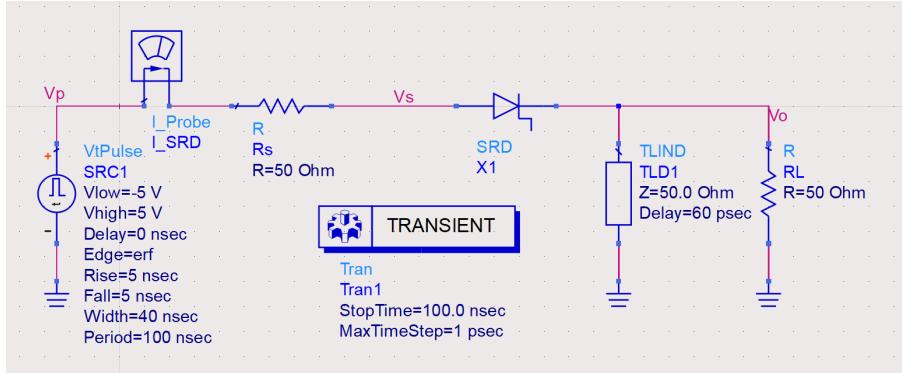


Figura 2.5: Generador de pulsos basado en *stub*

2.2.2. Generador de pulsos SRD+*stub*

Agregando un *stub* cortocircuitado al afilador de flancos SRD descripto anteriormente, podemos formar un generador de pulsos ultracortos. El SRD genera un flanco rápido, y este flanco es convertido en un pulso mediante la reflexión con fase opuesta en el *stub*.

El ancho de pulso es controlado por el largo del *stub* como fuese explicado anteriormente. La amplitud por la amplitud de la fuente, la relación entra la impedancia de carga Z_L y la del generador Z_g y por el largo del stub.

Como fuese explicado en secciones anteriores EXPLICAR EN QUÉ SECCIÓN, el escalón de tensión generado en el SRD tiene una magnitud dada por

$$\Delta V = V_l \cdot \frac{R_L}{R_L + R_s} \quad (2.9)$$

El ancho del pulso, estará dado por el valor de este escalón en el instante en el que el pulso reflejado se recombinan, como puede observarse en la figura FIGURA MOSTRANDO REFLEXIÓN STUB. Si asumimos que el escalón crece como un sistema de primer orden con constante de tiempo τ , el valor del escalón en función del tiempo es

$$V(t) = \Delta V \left(1 - e^{-\frac{t}{\tau}} \right) \quad (2.10)$$

Siendo el tiempo que tarda el pulso en reflejarse ida y vuelta $2T$ o T_p , la amplitud del pulso estará dada por

$$A_p = V(2T) = V_l \cdot \frac{R_L}{R_L + R_s} \left(1 - e^{-\frac{2T}{\tau}} \right) \quad (2.11)$$

Vemos que ΔV es el máximo valor que puede alcanzar el pulso, siendo la relación $\frac{2T}{\tau}$ la que determina que porcentaje de este valor tomará el pulso. Para $\tau \ll T$, será $e^{-\frac{2T}{\tau}} \approx 1$, y por lo tanto $A_p \approx 0$. Este es el mismo resultado que intuitivamente se obtendría, que para señales con una variación temporal τ mucho menor al tiempo de propagación en el *stub* T , la señal será filtrada por el efecto de puesto a tierra.

Para el caso de la señal de escalón generada por el SRD, es fácil obtener un tiempo de crecimiento del orden de los cientos de picosegundos, por lo que su amplitud resulta un porcentaje considerable de ΔV . Cuanto más rápido sea el flanco, mayor amplitud.

En la figura 2.5 podemos observar un esquemático del generador de pulsos basado en SRD y *stub*. La fuente es simétrica, con amplitudes de ± 5 V. La impedancia de fuente Z_g se encuentra perfectamente adaptada a la de carga Z_L , siendo ambas de 50Ω . La línea de transmisión es ideal, caracterizada únicamente por su impedancia característica, 50Ω en este caso, y su retardo de propagación, 60 ps en este caso.

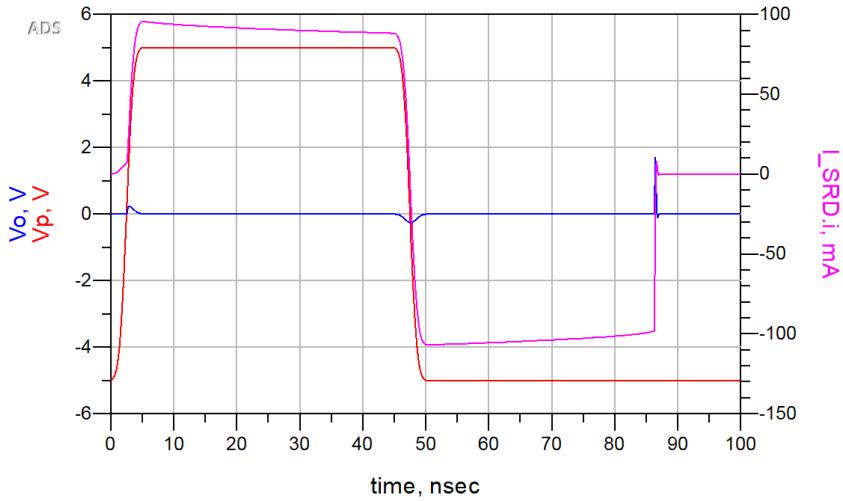


Figura 2.6: Resultado de simulación de generador con *stub*

En las figuras 2.6 y 2.7 se observan los resultados de la simulación del esquemático de la figura 2.5. En la figura 2.6 se observan las formas de onda de la señal de entrada V_p , la tensión de salida V_o y la corriente sobre el SRD I_{SRD} . Se observa que la tensión de salida V_o sigue a la de entrada V_p hasta aproximadamente 85 ns, donde el SRD pasa del estado de baja impedancia al de alta. En este instante, se forma un pulso por una combinación del salto de tensión en el SRD y el efecto de reflexión del stub cortocircuitado. Es interesante notar que los flancos positivos y negativos de la señal de entrada también resultan en pulsos a la salida, aunque de mucha menor amplitud. La forma de onda de la corriente es coincidente con lo mencionado anteriormente, siendo una versión escalada por la impedancia de la forma de onda de entrada V_p , hasta los 85 ns, donde cae abruptamente a 0 debido al cambio de impedancia en el SRD.

Es interesante notar que en este caso, los valores de la corriente están dados por $\frac{V_p}{R_s}$ y no $\frac{V_p}{R_s + R_L}$ como en la sección 2.1. Esto se debe a que el *stub* actúa como un cortocircuito sobre R_L , anulando su impedancia. Es importante notar que, entonces, R_S tiene la función de limitación de corriente durante las etapas de conducción del SRD. De ser 0 esta impedancia, la corriente sería infinita (en rigor, se vería limitada únicamente por la resistencia serie del SRD)

En la figura 2.7 se observa un zoom sobre el pulso obtenido. Tiene una amplitud de 1,728 V, y una duración de 180 ps **por qué no es $60*2=120?$ verificar que la amplitud coincide con la expresión anterior.** Se observa que el pulso presenta un sobretiro negativo, una no idealidad no contemplada hasta ahora en el modelo presentado.

Hablar sobre la falta de reflexiones en el stub por ser de 50 ohm, q es la impedancia q ve una vez q se abre el SRD? ver q pasa si movemos esa Z_0 ?

2.2.3. Diseño del *stub*

En algún lado cómo obtuvimos el largo en mm del stub.

2.3. Diseño final del *pulser*

mostrar oscilaciones en el resultado anterior para justificar la inclusión del Schottky

Para compensar tanto las transmisiones de los flancos de la fuente de entrada y el sobretiro negativo observado, se agrega al generador un diodo rectificador en serie con la resistencia de carga R_L . Siendo la tensión de encendido del diodo mayor a la amplitud de los pulsos generados por las transiciones de la onda de entrada, estos no serán transmitidos a la carga R_L debido a la acción

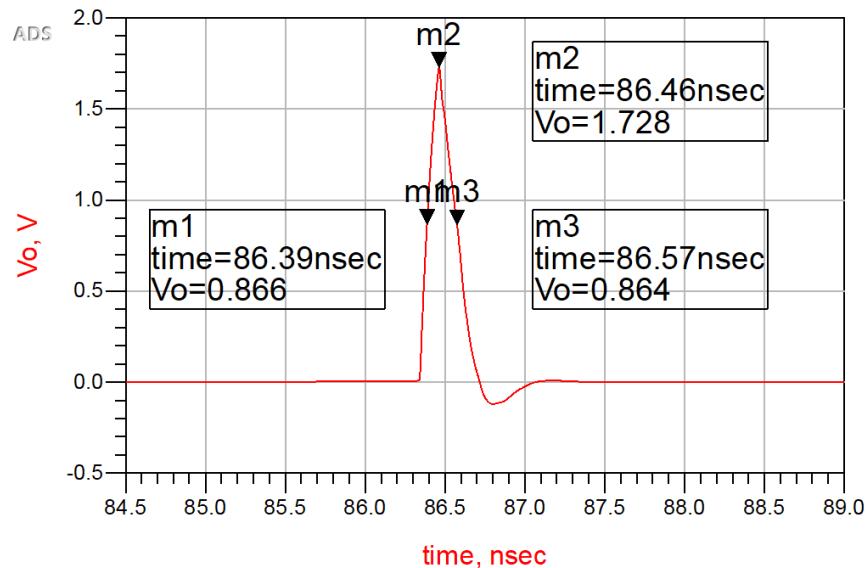


Figura 2.7: Pulso simulado con generador con *stub*

de rectificación. En cuanto al sobretiro y las oscilaciones, tampoco serán transmitidas a la salida debido al bloqueo de corriente en sentido negativo.

El costo de este diodo es la perdida de amplitud en el pulso principal, dada por la magnitud de su tensión de encendido. Para un correcto funcionamiento del generador de pulsos, es fundamental que el rectificador sea lo suficientemente rápido como para transmitir el pulso ultracorto sin degradación. Por esta razón se utiliza un diodo Schottky.

2.3.1. Selección del diodo

Se utilizó un MAE.... Este posee una baja capacidad. Hablar del pequeño factor de forma.

2.3.2. Simulaciones

En la figura 2.8 se observa un esquemático del generador de pulsos con el rectificador incluido. En la figura 2.9 se observa el resultado de la simulación. Para este caso, en la salida se encuentra únicamente el pulso principal, habiéndose anulado los pulsos generados por las transiciones de la señal de entrada.

En la figura 2.10 se observa el pulso simulado. Con respecto al de la simulación sin rectificador, figura 2.7, se observa una caída en la amplitud de COMPLETAR VALOR, dada por la tensión de encendido del Schottky utilizado, y una reducción del sobretiro y las oscilaciones MOSTRAR QUE ESTO SE REDUCE.

2.4. Consumo del generador

Cálculos de cuánto consume el generador, cuanto disipan los componentes.



Figura 2.8: *Pulser* final incluyendo diodo Schottky

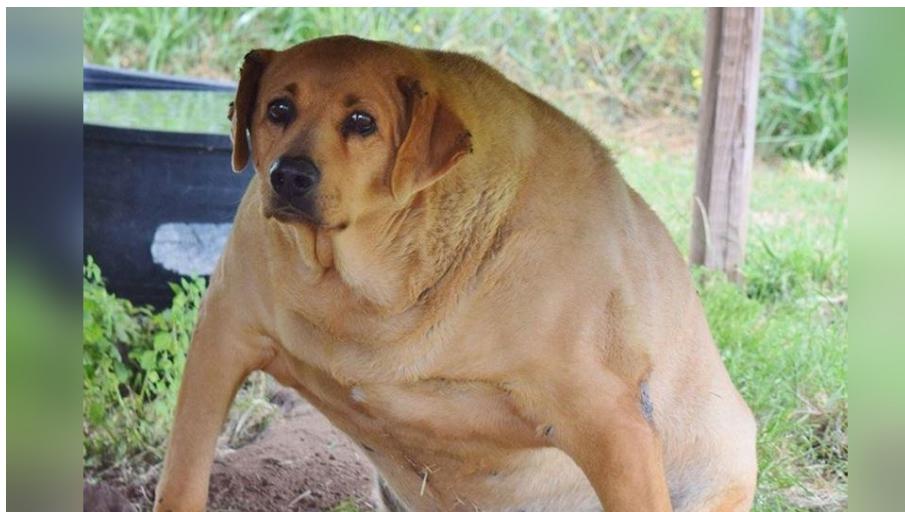


Figura 2.9: Resultado de simulación de generador con rectificador



Figura 2.10: Pulso simulado con generador con rectificador

2.5. Diseño del *driver*

2.6. Arquitectura

Dado que uno de los objetivos del trabajo es un generador de pulsos que pueda ser controlado por la salida digital de un sistema embebido, y dado que estas salidas son en la mayoría de los casos unipolares y de baja capacidad de carga, es necesario incluir en el prototipo una etapa *driver*.

La función de esta etapa es, en base a un pulso digital de entrada de control, y una fuente de alimentación continua, generar el pulso bipolar necesario para el funcionamiento del *pulser*. Este pulso bipolar tendrá un ciclo de trabajo y un período dados por el ciclo de trabajo y el período del pulso unipolar de entrada. Es necesario también que el *driver* presente una baja carga al pulso unipolar.

En la figura 2.11 se observa un diagrama en bloques del driver propuesto. El mismo está compuesto por dos componentes principales que brindan dos funciones diferenciadas, la llave y el capacitor. A la entrada es excitado por la señal digital de control, y a la salida tiene una carga Z_L . La carga en este caso será el pulser, por lo tanto será una carga no lineal, ya que como se mostró en secciones anteriores, la corriente que consume tiene una abrupta caída a 0 cuando se abre el SRD.

2.6.1. Llave

La llave conmuta entre V_{dd} y tierra según la señal de control digital. De esta manera, la corriente que consume la carga es entregada por la fuente y no por la señal de control digital. A la salida de la llave se generará una señal cuadrada unipolar, pero a diferencia de la entrada, esta conmutará entre V_{dd} y tierra, mientras que a la entrada se conmuta entre V_{dig} y tierra. De esta manera, la llave logra presentarle una carga baja y constante a la salida digital, y amplifica la conmutación a todo el rango disponible con la fuente de alimentación. Esta es una aproximación ideal, en realidad será todo el rango de la fuente de alimentación menos la caída que tenga el bloque.

A la salida de la llave tenemos entonces una señal cuadrada unipolar, con amplitud pico a pico igual a V_{dd} , es decir, toda la amplitud disponible de la fuente de alimentación, y una capacidad de entrega de corriente considerable.

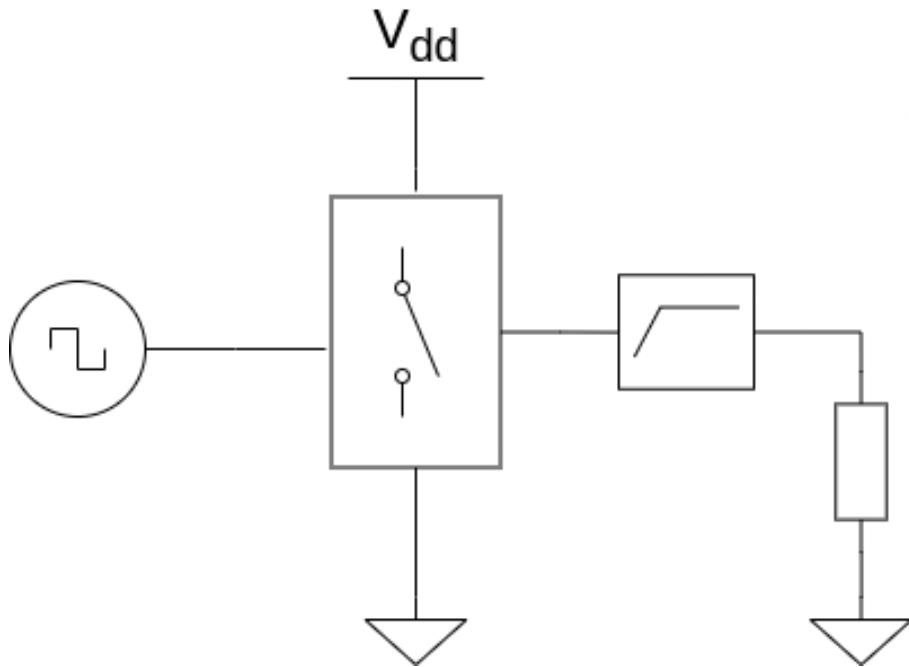


Figura 2.11: Diagrama en bloques del driver

2.6.2. Filtro pasa altos

Sabemos que un pulso cuadrado unipolar de período T tendrá un espectro dado por una componente de continua con el valor medio V_m , y múltiples harmónicos de T , cada uno con una amplitud que decae con $\frac{1}{n}$. **agregar una referencia que banque esto.**

Entonces, podemos pensar al pulso unipolar como la suma de un pulso bipolar de valor medio 0, y una constante con valor igual al valor medio del pulso unipolar. Entonces, podemos obtener al pulso bipolar restándole al unipolar su valor medio.

Teniendo en cuenta que el valor medio es la componente de DC del pulso, podemos lograr este resultado pasando el pulso unipolar por un filtro pasabandpass. El ancho de banda de este filtro debe ser tal que filtre la componente de continua y no distorsione las componentes alternas, que se encuentran a partir de T .

Sabemos que un filtro pasa altos de primer orden con frecuencia de corte f_c tiene una característica de magnitud que presenta atenuación desde continua hasta aproximadamente f_c , y una fase que varía 90° desde $\frac{f_c}{10}$ hasta $f_c \cdot 10$. Entonces, para filtrar la componente continua de la unipolar y transmitir la bipolar sin distorsión, es necesario que la frecuencia de la cuadrada sea mayor a 10 veces f_c , es decir $T > 10 \cdot f_c$, o $f_c < \frac{T}{10}$.

Siendo la PRF objetivo de 10 MHz, el requerimiento sobre f_c es entonces $f_c < 1 \text{ MHz}$.

Para implementar el filtro pasa altos propuesto, se optó por un filtro de primer orden RC. Para lograr la característica pasa altos, el capacitor debe estar en el camino de la señal, es decir, en serie. De esta manera, el filtro queda compuesto por un capacitor C serie y una impedancia Z dada por la impedancia de entrada del pulser, asumiendo una impedancia despreciable para la llave.

Para una estimación del rango de valores posibles para C asumimos un rango para Z de $Z \approx 50 \Omega$. Esta es una aproximación razonable dado que el sistema trabaja en 50Ω , por lo que Z será una serie de impedancias cercanas a 50Ω en serie o paralelo, lo que resultará en una impedancia en ese mismo orden de valores. De esta manera,

$$\begin{aligned}
f_c &< 1 \text{ MHz} \\
\frac{1}{2\pi \cdot |Z| \cdot C} &< 1 \text{ MHz} \\
C &> \frac{1}{2\pi \cdot |Z| \cdot 1 \text{ MHz}} \\
C &> \frac{1}{2\pi \cdot 50 \text{ MHz} \cdot 1 \text{ MHz}} \\
C &> 3,2 \text{ nF}
\end{aligned} \tag{2.12}$$

La capacidad debe estar por arriba de $3,2 \text{ nF}$, valores fácilmente obtenibles en los tamaños de encapsulados objetivo.

En la siguiente sección, asumiendo un filtrado ideal, es decir, donde se filtra por completo el valor medio V_m y se transmiten los harmónicos sin distorsión, se desarrolla la expresión de los valores de la bipolar.

2.6.2.1. Carga lineal

El valor medio de la tensión V_m en una señal cuadrada con valores V_+ y V_- , con período T y ciclo de trabajo D está dado por

$$V_m = D \cdot V_+ + (1 - D) \cdot V_- \tag{2.13}$$

En nuestro caso, la señal unipolar a la salida de la llave tiene valores $V_+ = V_{dd}$ y $V_- = 0$, por lo que tiene un valor medio

$$V_m = D \cdot V_{dd} \tag{2.14}$$

La cuadrada desarrollada en la impedancia de carga Z_L será la cuadrada unipolar a la salida de la llave, menos su valor medio. Esta señal tendrá entonces valores V_+ y V_- dados por

$$\begin{aligned}
V_+ &= V_{dd} - V_m = V_{dd} \cdot (1 - D) \\
V_- &= -V_m = -V_{dd} \cdot D
\end{aligned} \tag{2.15}$$

Estos son los valores de la señal cuadrada unipolar que excitará al pulser. Entonces, reconocemos que V_- es V_l en la ecuación 2.11.

$$A_p = V_{dd} \cdot D \cdot \frac{R_L}{R_L + R_s} \left(1 - e^{-\frac{2T}{\tau}}\right) \tag{2.16}$$

Entonces, tanto el valor absoluto de V_{dd} como el valor de D incrementan linealmente la amplitud del pulso a la salida. Aumentar V_{dd} tiene como límite la conducción de corriente máxima en los componentes del circuito, mientras que D tiene como límite superior el tiempo de descarga T_s , teniendo que ser $T * (1 - D) > T_s$, es decir, el tiempo en el que la cuadrada bipolar tiene el valor V_l tiene que ser suficiente para la remoción de todas las cargas en el SRD.

2.6.2.2. Carga no lineal

En el caso de una carga no lineal, no es válido el análisis de función transferencia. Podemos en cambio, basar el análisis en el balance ampere-segundo en el capacitor [4]. Este resultado establece que el valor medio de la corriente en un capacitor en estado estacionario es nulo.

$$\langle i(t) \rangle = \int_{t_0}^{t_0+T} i(t) dt = 0 \tag{2.17}$$

En caso de una carga Z_L lineal, la corriente y la tensión están linealmente relacionadas, conduciendo al resultado de la sección anterior en el que tanto la tensión como la corriente tienen

un valor medio 0. En el caso de la carga no lineal, se mantiene la ecuación 2.17, es decir, el valor medio de la corriente en el capacitor será cero, pero no necesariamente el de la tensión será 0.

Asumiendo que en estado permanente el capacitor se carga a una tensión constante V_C , este valor será el que resulte de imponer el cumplimiento de la ecuación 2.17.

Para el caso de una carga lineal, tenemos

$$\begin{aligned}\frac{V_U - V_C}{R} \cdot D &= \frac{V_C}{R} \cdot D' \\ V_U \cdot D &= V_C \cdot (D' + D) \\ V_C &= V_U \cdot D\end{aligned}\tag{2.18}$$

Es el mismo resultado que en la sección anterior.

Ahora, supongamos una carga no lineal de las siguientes características: conduce durante todo el período positivo de la unipolar D , y una porción $\alpha \cdot D'$ de la porción negativa, con $\alpha \in [0, 1]$. Un $\alpha = 0$ corresponde a una carga que no conduce en la porción negativa, como un diodo usual, y una de $\alpha = 1$ corresponde a una carga lineal. En nuestro caso, es $\alpha = \frac{T_s}{D'}$, con T_s el tiempo de descarga del diodo, es decir, el tiempo que le toma a la corriente negativa extraer todas las cargas inyectadas en la porción positiva.

En este caso, el balance de corrientes en el capacitor es

$$\begin{aligned}\frac{V_U - V_C}{R} \cdot D &= \frac{V_C}{R} \cdot \alpha \cdot D' \\ V_U \cdot D &= V_C \cdot (\alpha \cdot D' + D) \\ V_C &= V_U \cdot \frac{D}{\alpha \cdot D' + D}\end{aligned}\tag{2.19}$$

Definiendo a $\alpha' = \alpha - 1$, tenemos

$$\begin{aligned}&\alpha \cdot D' + D \\ &(1 - \alpha') \cdot D' + D \\ &\cdot D' - \alpha' \cdot D' + D \\ &1 - \alpha' \cdot D'\end{aligned}\tag{2.20}$$

Llegamos a

$$V_C = V_U \cdot \frac{D}{1 - \alpha' \cdot D}\tag{2.21}$$

Vemos que para el caso de carga lineal, $\alpha = 1$ ($\alpha' = 0$), la ecuación se convierte en la misma que 2.18 como es esperado.

Para el caso en que agreguemos una resistencia en paralelo, tenemos

$$\begin{aligned}\frac{V_U - V_C}{R_{sh}} \cdot D + \frac{V_U - V_C}{R_s} \cdot D &= \frac{V_C}{R_{sh}} \cdot D' + \frac{V_C}{R_s} \cdot \alpha \cdot D' \\ (V_U - V_C) \cdot D \cdot \left(\frac{1}{R_{sh}} + \frac{1}{R_s} \right) &= V_C \cdot D' \left(\frac{1}{R_{sh}} + \frac{\alpha}{R_s} \right) \\ V_C &= V_U \cdot \frac{D}{\alpha \cdot D' + D}\end{aligned}\tag{2.22}$$

Reconocemos la expresión de la resistencia en paralelo de R_{sh} y R_s , y la de R_{sh} y $\frac{R_s}{\alpha}$, siendo el efecto de α el de reducir la resistencia en la porción negativa en α .

$$\begin{aligned}\frac{V_U - V_C}{R_{sh}/R_s} \cdot D &= \frac{V_C}{R_{sh}/R_s} \cdot D' \\ \frac{V_U}{R_{sh}/R_s} \cdot D &= V_C \left(\frac{D}{R_{sh}/R_s} + \frac{D'}{R_{sh}/R_s} \right)\end{aligned}\tag{2.23}$$

Definiendo a $\alpha' = \alpha - 1$ y desarrollando la expresión que acompaña a V_C ,

$$\begin{aligned} & D \left(\frac{1}{R_s} + \frac{1}{R_{sh}} \right) + (1 - D) \left(\frac{1}{R_{sh}} + \frac{\alpha}{R_s} \right) \\ & D \left(\frac{1}{R_s} + \frac{1}{R_{sh}} \right) + (1 - D) \left(\frac{1}{R_{sh}} + \frac{1}{R_s} \right) - (1 - D) \frac{\alpha'}{R_s} \\ & \frac{1}{R_{sh}/R_s} - \frac{D' \cdot \alpha'}{R_s} \end{aligned} \quad (2.24)$$

Reemplazando en 2.23

$$\begin{aligned} \frac{V_U}{R_{sh}/R_s} \cdot D &= V_C \left(\frac{1}{R_{sh}/R_s} - \frac{D' \cdot \alpha'}{R_s} \right) \\ V_U \cdot D &= V_C \left(1 - \frac{R_{sh}/R_s}{R_s} \cdot D' \cdot \alpha' \right) \end{aligned} \quad (2.25)$$

Reconocemos a $\frac{R_{sh}/R_s}{R_s} = \frac{R_{sh}}{R_{sh}+R_s}$ como la expresión de un divisor resistivo entre R_{sh} y R_s . Llamaremos a esta expresión γ , y notamos que cuando $R_{sh} \gg R_s$ es $\gamma \lim 1$, y cuando $R_{sh} \ll R_s$ es $\lim_{R_{sh} \rightarrow 0} \gamma = 0$.

Entonces, llegamos a

$$\begin{aligned} V_U \cdot D &= V_C (1 - \gamma \cdot D' \cdot \alpha') \\ V_C &= V_U \cdot \frac{D}{(1 - \gamma \cdot D' \cdot \alpha')} \end{aligned} \quad (2.26)$$

Notamos los siguientes casos extremos de γ :

- $\gamma \rightarrow 1$: este caso se corresponde a $R_{sh} \rightarrow \text{ínf}$, es decir, $R_{sh} \gg R_s$. En este caso, la expresión es idéntica a 2.21. Esto es esperado, ya que en este caso la corriente que consume R_{sh} es despreciable, por lo que es un caso equivalente al que no hay R_{sh}
- $\gamma \rightarrow 0$: en este caso, $R_{sh} \rightarrow 0$, es decir, $R_{sh} \ll R_s$. En este caso, la expresión 2.26 se convierte en 2.18. Esto es esperado, ya que en este caso, la corriente de la carga no lineal es despreciable frente a la corriente de la carga lineal R_{sh} .

Notamos del último punto, que en presencia de una carga no lineal, agregar una carga lineal en paralelo R_{sh} , logra el efecto de *linearizar* la forma de onda, en el sentido de volver sus extremos más similares a los de un caso de carga lineal.

Mostrar la simulación, mostrar que fallaba sin R shunt mostrar q R SHUNT arregló

Mostrar que sin R SHUNT, la corriente en la porción positiva es mayor a la negativa, por eso nunca se abre el diodo.

Explicar que esto es esperado, ya que la corriente en el capa se balancea, y en realidad queremos que quede apagado por un tiempo el SRD.

2.7. Implementación de la llave

El driver fue diseñado en base a un integrado gate driver. Estos integrados son utilizados generalmente para conmutar un transistor de potencia con una señal digital de baja capacidad de carga, un caso de uso que se adapta perfectamente al nuestro.

2.8. Implementación

Hablar acá de cuestiones del layout, fabricación, etc, simulación final en ADS

Hablar de que se apuntó a usar componentes lo más pequeños posibles para eliminar las contribuciones de las impedancias parásitas

Capítulo 3

Mediciones

3.1. Banco de medición

En la figura 3.1 puede observarse un diagrama del banco de medición. Consiste de los siguientes bloques:

- Placa FPGA: genera un pulso cuadrado unipolar, de frecuencia y ciclo de trabajo configurables. Con la frecuencia se controla la *PRF* de los pulsos de salida, y con el ciclo de trabajo los valores de tensión del pulso de salida del *driver*.
- Fuente de alimentación: provee la alimentación V_{dd} para el driver. El valor de esta tensión determina la amplitud pico a pico del pulso de salida del *driver*.
- *Driver*: cumplía la función de *buffer* para la *FPGA*, presentando una alta impedancia a la salida de la misma. Convierte el pulso unipolar de 3,3 V en uno bipolar, con amplitud pico a pico igual a V_{dd} (5 V o 7 V).
- *Pulser*: el *DUT*, genera pulsos ultra cortos en base a la salida del driver.
- Osciloscopio: instrumento de medición del experimento. Actúa como carga con su impedancia de entrada de 50Ω .

3.1.1. Fuente de alimentación

Para la fuente de alimentación se utilizó una *Marconi Instruments TF2154*, en la figura 3.2 puede observarse la misma.

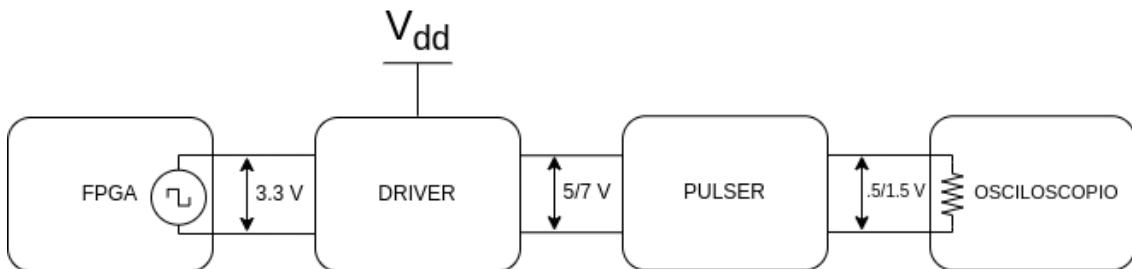


Figura 3.1: Banco de medición



Figura 3.2: Fuente de alimentación *Marconi Instruments TF2154*.

Presentaba limitación de corriente regulable e indicadores para la amplitud y la corriente suministrada, lo que permitía trabajar de manera segura, dentro de los límites de consumo obtenidos en las simulaciones anteriores **REEMPLAZAR ESTA REF ??**.

Como fuese explicado en la sección **REEMPLAZAR ESTA REF ??**, la corriente máxima esperada en las condiciones de trabajo era menor a 200 mA, por lo que se monitoreó durante todo el experimento que la corriente entregada por la fuente no supere este máximo teórico.

3.1.2. FPGA

La *FPGA* generaba el pulso unipolar cuadrado de entrada, que controla la *PRF* y el ciclo de trabajo del pulso del driver. La placa utilizada fue *Nexys-4 DDR* de Digilent [5], con un chip *Artix-7* de Xilinx. En la figura 3.3 puede observarse la misma.

Se utilizó una *FPGA* para poder validar la utilidad del prototipo en el contexto de un sistema UWB como el descripto en ??, en el que se dispone de señales de control digitales. Este componente del sistema es fácilmente reemplazable por otra *FPGA* o sistema embebido.

Las variables de ajuste del pulso unipolar de la *FPGA* eran las siguientes

- Frecuencia: la frecuencia de la señal cuadrada de entrada es igual a la frecuencia de repetición de pulsos (*PRF*) del sistema, ya que controla la frecuencia con la que el *SRD* se prende y se apaga y, por lo tanto, la frecuencia de generación de pulsos.
- Ciclo de trabajo: el ciclo de trabajo de la señal cuadrada unipolar determina los extremos de tensión de la señal cuadrada bipolar de salida del driver. A mayor ciclo de trabajo, valores más negativos. Este control se da a través del control del valor medio de la señal, que luego es restado por el capacitor serie del *driver*.

3.1.2.1. Diseño implementado

El diseño implementado en la *FPGA* consistía en un generador de cuadrada con ciclo de trabajo y frecuencia variables. La interfaz del sistema consistió en

- Los botones *BTNL* y *BTNR* controlaban el ciclo de trabajo en pasos de a 1% en incrementos y decrementos respectivamente.
- Los botones *BTND* y *BTNU* controlaban el ciclo de trabajo en pasos de a 10% en incrementos y decrementos respectivamente.



Figura 3.3: Placa de desarrollo *Nexys-4 DDR*.

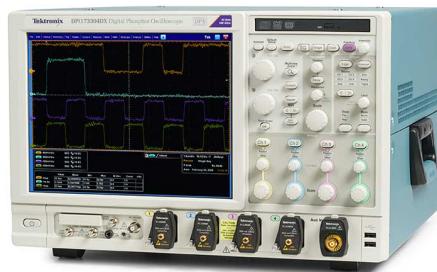


Figura 3.4: Osciloscopio *Tektronix MSO 70404C*

- Con los *switches SW0* a *SW1* se controlaba la frecuencia del pulso unipolar.
 - Con *SW0* seleccionado, la frecuencia era de 1 MHz.
 - Con *SW1* seleccionado, la frecuencia era de 5 MHz.
 - Con *SW2* seleccionado, la frecuencia era de 10 MHz.

En el anexo .1 se encuentra el *HDL* del diseño implementado.

3.1.3. Osciloscopio

El osciloscopio fue utilizado para realizar la medición en el dominio del tiempo del pulso generado. Para una medición exitosa, era indispensable que este instrumento cuente con los requerimientos de ancho de banda del pulso. Como fuese explicado en **REEMPLAZAR ESTA REF ??**, el ancho de banda esperado para el pulso era de 3,6 GHz.

El osciloscopio utilizado fue *Tektronix MSO 70404C*, en la figura 3.4 puede observarse el mismo. El instrumento posee 4 GHz de ancho de banda analógico, y una tasa de muestreo de 25 GS/s, con la posibilidad de realizar muestreo en tiempo equivalente [6]. Estas prestaciones eran suficientes para medir el pulso de salida.

El instrumento posee configuraciones de impedancia de entrada seleccionables entre 50Ω y $500\text{ M}\Omega$ [6]. Para la medición del prototipo, se seleccionó la entrada de 50Ω , actuando esta impedancia como carga del generador de pulsos.

3.1.3.1. Seguridad del instrumento

Debido a las prestaciones del osciloscopio, era fundamental garantizar la integridad del mismo en la medición del protipo. Dado que actuaba como carga del *DUT*, se debía garantizar que bajo todas las condiciones de trabajo, la potencia entregada por el generador de pulsos se encuentre dentro de los límites determinados por el fabricante del equipo para evitar posibles daños.

La máxima tensión de entrada se especifica en $5 V_{RMS}$ para una resolución $\geq 100 mV/div$ y $1 V_{RMS}$ para una resolución $< 100 mV/div$. Para garantizar la seguridad del equipo en cualquier caso, se toma como límite el valor de peor caso, $1 V_{RMS}$ (correspondiente a una resolución $\geq 100 mV/div$, para resoluciones menores a esta el límite es mayor).

En condiciones normales de funcionamiento, la potencia disipada por la carga es mínima, ya que es la potencia que disipa el tren de pulsos en un carga de 50Ω . Como fuese desarrollado en **REEMPLAZAR ESTA REF ??**, esta potencia está acotada por **9999 mW**, que en 50Ω resultan en **9999 V_{rms}**, que se encuentran muy por debajo de los $1 V_{RMS}$ especificados por el fabricante.

No solo es necesario analizar la dissipación de potencia en condiciones normales de funcionamiento, sino también para el caso de una falla, ya que el principal objetivo es garantizar la integridad del instrumento en cualquier condición.

En caso de ocurrir alguna falla con algún componente del circuito, el *stub* de salida provee una función de protección. Este componente, para señales con una variación temporal mucho mayor al largo del mismo, actúa como una puesta a tierra.

Entonces, la componente de continua a la salida del generador de pulsos tiene un valor esperado de $0 V$, tanto para condiciones normales de funcionamiento como en presencia de fallas.

En cuanto a la componente alterna de la salida, su valor esperado es extremadamente bajo, ya que únicamente señales de gran ancho de banda pueden ser filtradas y permanecer con una amplitud considerable a la salida del *stub*.

3.2. Mediciones realizadas

Las mediciones consistieron en mediciones en el dominio del tiempo del pulso de salida. Utilizando funciones provistas por el osciloscopio, se midieron tiempo de crecimiento, tiempo de decaimiento, amplitud máxima, y ancho a medio máximo (*FWHM* del inglés *Full Width at Half Maximum*).

Se realizaron distintas mediciones para distintas condiciones de trabajo del circuito. Se barrió para el pulso digital de entrada, el ciclo de trabajo, y para la fuente de alimentación distintos valores de tensión.

- Para la amplitud de la fuente, se utilizaron valores de $5 V$ y $7 V$.
 - $5 V$ por ser un valor fácilmente obtenible en los sistemas *UWB* de referencia.
 - $7 V$ por ser la máxima amplitud tolerable por el circuito. Tensiones de alimentación mayores a estas resultan en corrientes de polarización mayores a las máximas admisibles dado los dimensionamientos de las pistas de los *PCBs*.
- El ciclo de trabajo se barrió entre 50% y 70% .
 - Se tomo 50% como límite inferior por ser un valor fácilmente obtenible como división de un reloj digital.
 - Se tomo 70% como límite superior ya que se observó que valores superiores a este resultaban en un pulso bipolar con amplitudes negativas decrecientes, y por lo tanto, amplitudes de pulso decrecientes.
 - La teoría no indicaba un límite superior para el ciclo de trabajo. Sin embargo, este se observó en la práctica debido a no idealidades en el pulso de salida del driver, que no era perfectamente cuadrado.

En la figura 3.5 puede observarse el *pulser* junto con el *driver* y la *FPGA*.



Figura 3.5: *FPGA, driver y pulser.*

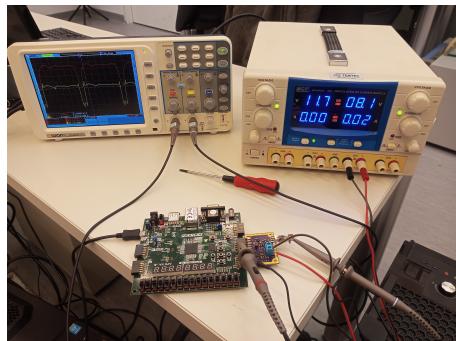


Figura 3.6: Banco de mediciones previas a la medición final del pulso.

3.2.1. Mediciones preliminares

Previo a las mediciones principales, se realizó una medición de la salida del driver, con el objetivo de validar el pulso bipolar generado.

El motivo de esta medición previa, fue la limitada disponibilidad del osciloscopio de gran ancho de banda utilizado para la medición final del pulso. Esta pre-medición del pulso bipolar se realizó con un osciloscopio de bajo ancho de banda, ya que el objetivo era validar los niveles de tensión del pulso, y su correcta variación con la variación del ciclo de trabajo del pulso unipolar.

En la figura 3.6 puede observarse el banco de medición. Los resultados fueron los esperados y, por lo tanto, no se requirió ninguna iteración sobre la implementación del driver.

3.3. Resultados

En las figuras 3.7, 3.8, 3.9, 3.10, 3.11 pueden observarse los resultados en diversas capturas de pantalla tomadas del osciloscopio.

Se observó en las mediciones una amplitud de pulso creciente con mayor ciclo de trabajo y mayor amplitud de pulso, como era esperado. La menor amplitud de pulso obtenida fue de 380 mV para un V_{cc} de 5 V y un D de 50 %, y la mayor fue de 1,12 V para un V_{cc} de 7 V y un D de 70 %



Figura 3.7: Salida @ V_{cc} 5 V, D 50 %

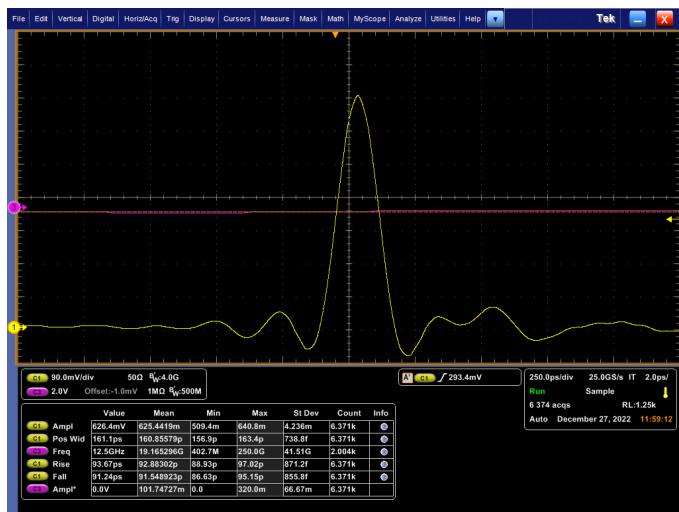


Figura 3.8: Salida @ V_{cc} 5 V, D 70 %

En cuanto al ancho de pulso, se mantuvo aproximadamente constante en 160 ps, al igual que los tiempos de crecimiento y decrecimiento, que se mantuvieron constantes en 90 ps. Este resultado es el esperado para un *pulser* basado en un *stub*, ya que el ancho de pulso está determinado por el largo del *stub*.

En la tabla 3.1 pueden observarse los resultados obtenidos. Para el ancho de banda, se utiliza el obtenido a partir de la *PSD* del pulso medido. En la sección 3.3.1 se detalla cómo fue obtenido este valor.

3.3.1. Comparación con simulación

En las figuras 3.12 a 3.21 pueden observarse los resultados de las mediciones obtenidas superpuestos con los resultados de simulación para las mismas condiciones de trabajo (amplitud de alimentación y ciclo de trabajo).

Para las simulaciones, se toman dos resultados:

- Una simulación “ideal”, indicada como “esquemático ideal” en las leyendas, que se corre-

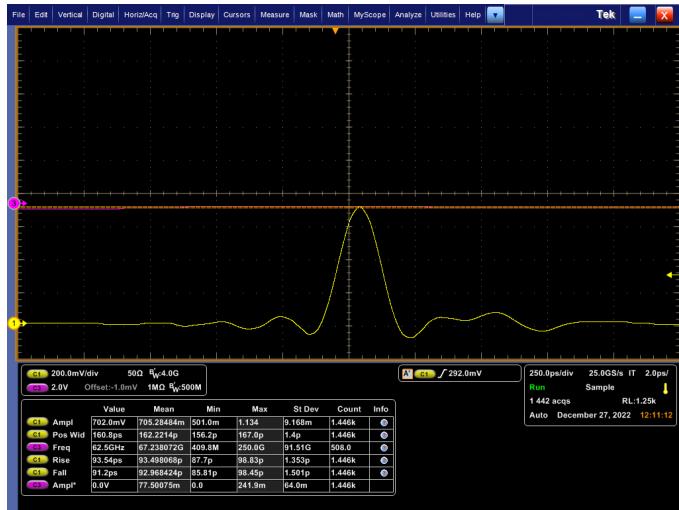


Figura 3.9: Salida @ V_{cc} 7 V, D 50 %

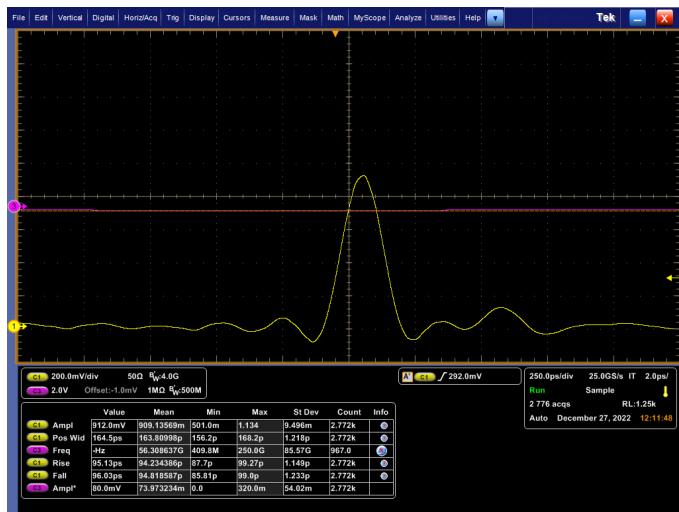


Figura 3.10: Salida @ V_{cc} 7 V, D 60 %

V_{cc} [V]	D [%]	A [V]	FWHM [ps]	3 dB B [GHz]	t_r [ps]	t_f [ps]
5	50	0.380	159	7.5	93	88
5	70	0.625	161	3.6	93	91
7	50	0.702	162	4	93	93
7	60	0.909	164	4	94	95
7	70	1.120	165	2.8	95	96

Cuadro 3.1: Resultados de mediciones.

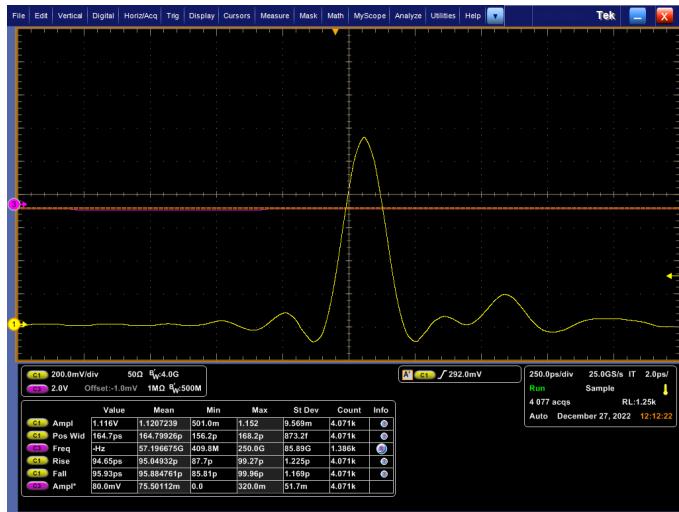


Figura 3.11: Salida @ V_{cc} 7 V, D 70 %

sponde a una simulación sin contemplar parásitos de ningún tipo.

- Una simulación “real”, en las leyendas “Layout”, una simulación en la que se extrajeron previamente los efectos parásitos del *PCB* mediante una simulación electromagnética y se incorporaron en la simulación del pulso.

Se realizan las comparaciones en el dominio del tiempo y de la frecuencia. Las comparaciones en el dominio del tiempo consisten en la superposición del pulso medido con los simulados. Para las comparaciones en el dominio de la frecuencia, se calculó el espectro de cada una de las formas de onda del dominio del tiempo. Para reducir el *leakage* espectral, se utilizó una ventana de *Hanning* [7].

En el dominio del tiempo, se observa una buena coincidencia entre la amplitud de los pulsos y el ancho. Se observa una diferencia en el *ringing* de ambos. Las simulaciones prácticamente no presentan oscilaciones alrededor del pulso, mientras que las mediciones las presentan tanto previa como posteriormente. También se observa un segundo pulso de menor amplitud siguiendo al primero.

Como causa de estas discrepancias, se descarta un efecto del *PCB* no modelado, ya que los parásitos de esta estructura fueron extraídos por una simulación electromagnética, y sus efectos contemplados en las simulaciones del *layout*.

Estas discrepancias sugieren una limitación en el modelado de alguno de los dispositivos, tanto el SRD como el Schottky. Las simulaciones predijeron correctamente la amplitud y el ancho de los pulsos resultantes, pero fallaron en predecir el *ringing* y el pulso secundario.

3.3.2. Comparación con resultados de la literatura

En la tabla 3.2 se resumen resultados reportados para generadores de pulsos *UWB* en la literatura. En la figura 3.22 se observan los valores de amplitud y duración reportados en un gráfico de dispersión.

En cuanto a los resultados reportados en este trabajo, se obtuvo uno de los anchos de pulso más bajos, existiendo otros trabajos que reportan el mismo o menor ancho de pulso con mayor amplitud, pero también mayor complejidad. Otra característica a destacar es la simplicidad del diseño implementado, tanto en cantidad de componentes activos, como en requisitos de fuente de alimentación y pulso de entrada.

En [8] se presenta un diseño compuesto de un solo SRD en el que se desarrolla un pulso balanceado a la salida. Se presentan dos diseños, uno con componentes distribuidos y otro con

V_{cc} : 5V, duty: 50%

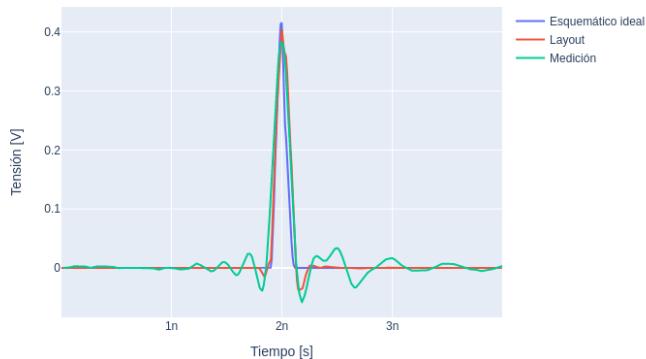


Figura 3.12: Pulso @ V_{cc} 5 V, D 50 %

PSD, V_{cc} : 5V, duty: 50%

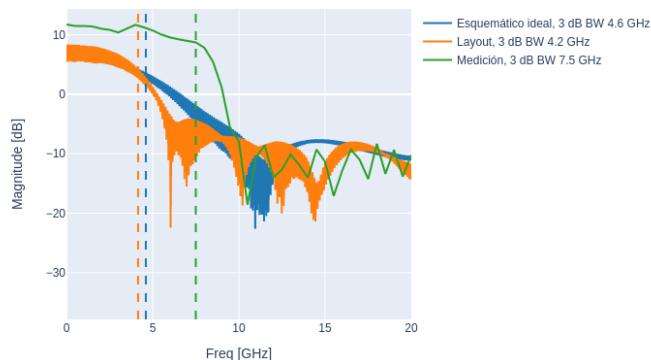


Figura 3.13: PSD @ V_{cc} 5 V, D 50 %

V_{cc} : 5V, duty: 70%

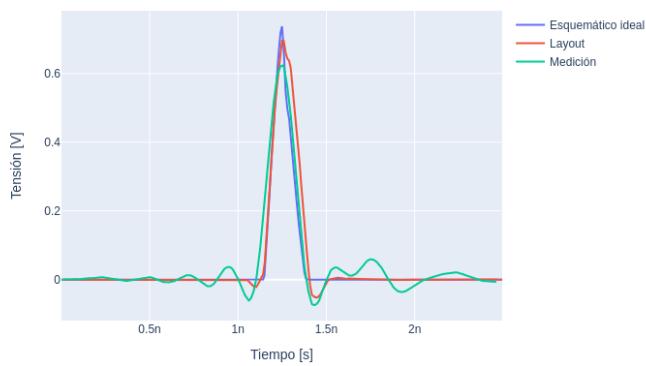


Figura 3.14: Pulso @ V_{cc} 5 V, D 70 %

PSD, Vcc: 5V, duty: 70%

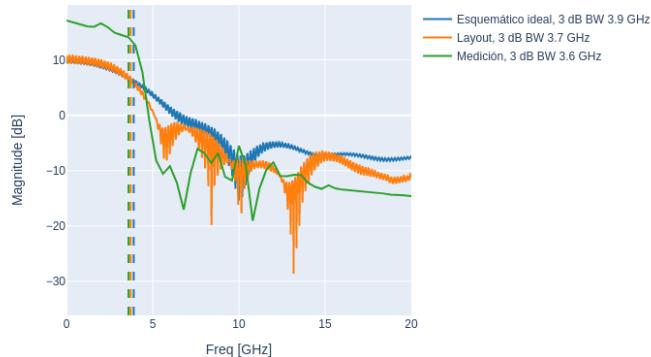


Figura 3.15: PSD @ V_{cc} 5 V, D 70 %

Vcc: 7V, duty: 50%

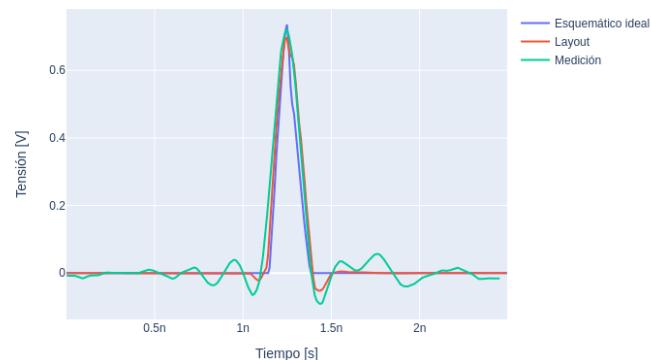


Figura 3.16: Pulso @ V_{cc} 7 V, D 50 %

PSD, Vcc: 7V, duty: 50%

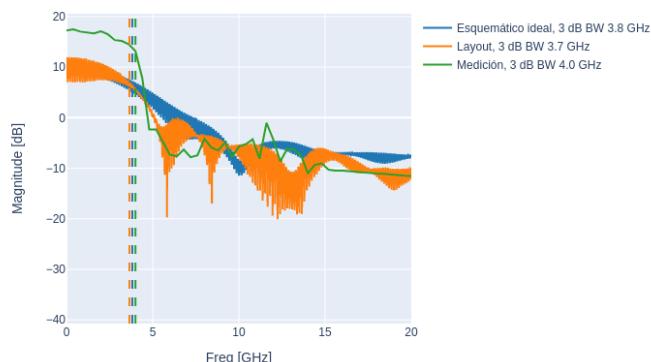


Figura 3.17: PSD @ V_{cc} 7 V, D 50 %

V_{cc} : 7V, duty: 60%

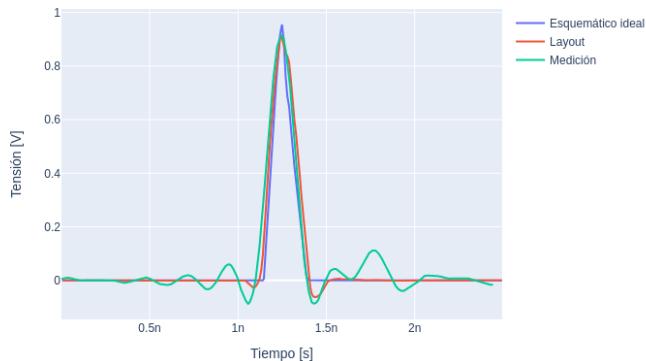


Figura 3.18: Pulso @ V_{cc} 7 V, D 60 %

PSD, V_{cc} : 7V, duty: 60%

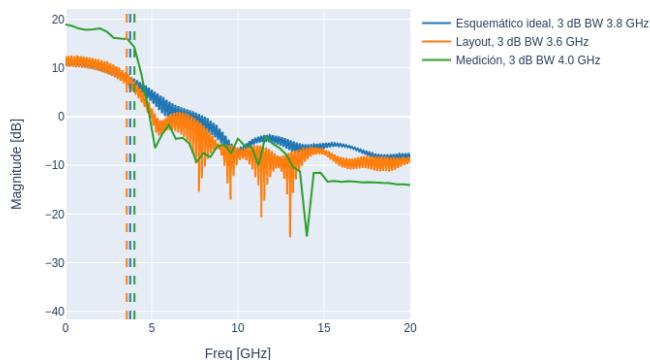


Figura 3.19: PSD @ V_{cc} 7 V, D 60 %

V_{cc} : 7V, duty: 70%

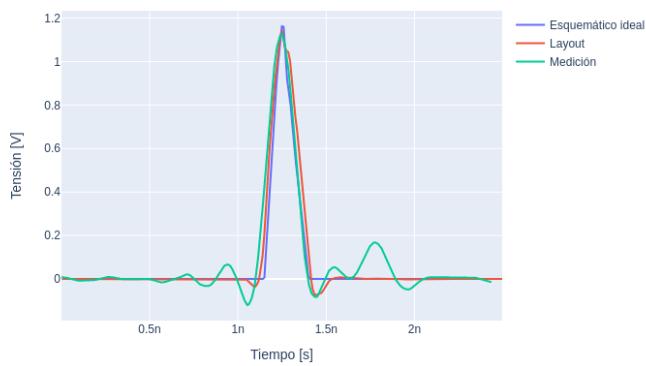


Figura 3.20: Pulso @ V_{cc} 7 V, D 70 %

PSD, V_{cc}: 7V, duty: 70%

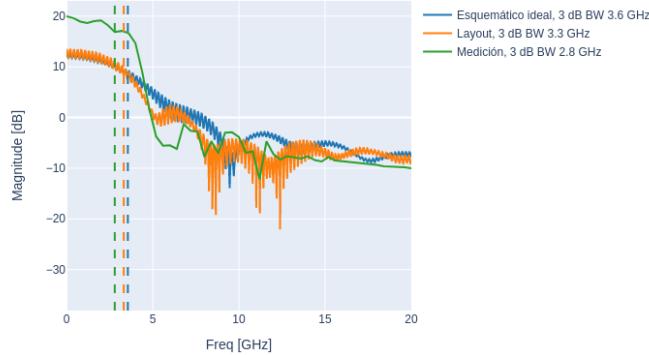


Figura 3.21: PSD @ V_{cc} 7 V, D 70 %

Cuadro 3.2: Resultados reportados en la literatura

Referencia	A [V]	$FWHM$ [ps]	Bal ^a	Bias	Dispositivos	V_{cc} [V]	V_{in} [V]	PRF [MHz]
[8]	$\pm 0,896, \pm 1,6$ ^b	335, 511	Sí	Int	SRD	5	TTL	50
[9]	-7,5	110	No	Ext	SRD+3TBJ+SD	12	TTL	5
[10]	0,8	170	No	Int	SRD	4	4	10
[11]	0,2	300	No	Ext	SRD+2SD	?	?	10
[12]	-6, -4	150	No	Int	SRD+L	?	5	12
[13]	1,27 ^c	286	No	Int	2SRD+L	10	10 ^d	?
Este trabajo	1,12	165	No	Int	SRD+SD	7	CMOS	10

^a Balanceado.

^b la publicación presenta dos resultados, correspondientes a circuitos con componentes concentrados y distribuidos.

^c la publicación presenta múltiples resultados, se muestran los mejores.

^d la señal de entrada es senoidal.

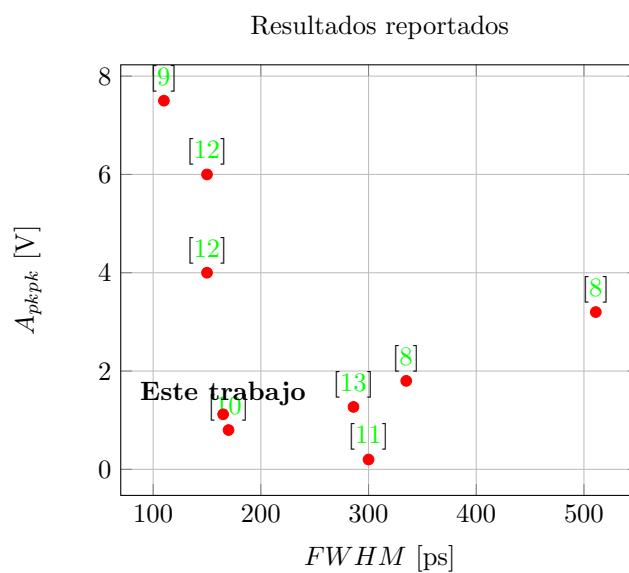


Figura 3.22: Diagrama de dispersión de resultados reportados.

componentes concentrados. En ambos casos se obtienen amplitudes pico a pico de pulso mayores a las de este trabajo. Es destacable que se obtienen mayores amplitudes usando una fuente de alimentación menor, de 5 V. En cuanto al ancho de pulso, ambos pulsos presentan duraciones mayores que las de nuestro trabajo. En cuanto a la complejidad, el *pulser* está implementado solamente con 1 SRD y componentes distribuidos o concentrados, dependiendo de la versión, por lo que es más simple que nuestro trabajo. El *driver* presenta la misma complejidad en ambos casos, ya que está implementado con un solo circuito integrado. Nuestro trabajo presenta más versatilidad, ya que la amplitud de la fuente de alimentación puede variarse entre 0 V y 30 V, mientras que el integrado utilizado en el driver de [8] trabaja con 5 V fijos.

En [9] se reporta un resultado de gran amplitud y duración de pulso menor a la de este trabajo. La complejidad del diseño implementado es mucho mayor: necesita una alimentación de 12 V y una corriente de *bias* externa, y la etapa *driver* está implementada con 3 TBJs, frente a 1 solo *gate driver* en nuestro trabajo.

En [10] el pulso reportado es de características muy similares a las de nuestro trabajo. La duración del pulso es prácticamente la misma, mientras que en amplitud nuestro trabajo logró una mayor en un 40 %. Nuestro trabajó logró para el *pulser* una complejidad menor a la reportada en [10], ya que en nuestro caso omitimos la red RC y el atenuador. En cuanto a etapa *driver*, [10] no presenta ninguna, en los resultados se reporta haber utilizado como entrada al *pulser* un pulso bipolar.

En [11] el generador presentado desarrolla pulsos monociclo, que son la primera derivada de un pulso gaussiano. Nuestro trabajó logró una amplitud de pulso mayor y también una duración de pulso menor. No se especifica el valor de amplitud de señal de entrada utilizado. La entrada al circuito es bipolar, y no se incluye un *driver* de adaptación de pulso. La complejidad del generador descripto es mayor que la de este trabajo, utilizando bias externo, un diodo SRD, dos Schottky y una red RC. Sin embargo, el generador de [11] implementa un monociclo que es una derivada de un pulso gaussiano como el desarrollado en nuestro trabajo, por lo que es natural que la complejidad sea mayor.

El resultado reportado en [12] consiste en pulsos de mayor amplitud y menor duración a los de nuestro trabajo. En ambos casos, el *pulser* se encuentra acoplado por *AC*, lo que vuelve más complejo el diseño. Se presentan dos generadores, uno con línea de transmisión, y otro con un inductor, que utiliza al SRD en paralelo. El diseño con inductor es más complejo, ya que este se encuentra en el camino del pulso por lo que debe ser seleccionado con cuidado. En ambos casos se utiliza una red RC paralelo, mientras que en nuestro trabajo no.

El resultado de [13] consiste en un pulso de mayor amplitud y mayor ancho al de nuestro trabajo. La complejidad del diseño es mayor, ya que utiliza dos SRD y un inductor que se encuentra en el camino de alta frecuencia, por lo que es costoso de seleccionar. La señal de entrada es una senoidal, que para el contexto en el que desarrollamos nuestro generador, es más costosa de conseguir, ya que requiere algún DAC, frente a la excitación de nuestro generador que es una señal cuadrada, fácilmente obtenible como salida digital de una FPGA o microcontrolador.

Bibliografía

- [1] Hewlett-Packard, “Pulse and Waveform Generation with Step Recovery Diodes,” Tech. Rep. 918, Hewlett-Packard, 1984.
- [2] J. Moll and S. Hamilton, “Physical modeling of the step recovery diode for pulse and harmonic generation circuits,” *Proceedings of the IEEE*, vol. 57, no. 7, pp. 1250–1259, 1969.
- [3] D. Pozar, *Microwave Engineering, 4th Edition*. Wiley, 2011.
- [4] R. W. Erickson and M. Dragan, *Fundamentals of Power Electronics*. Springer, hardcover ed., 8 2020.
- [5] Digilent, “Nexys 4 DDR.” Página Oficial, 2023. Disponible online en <https://digilent.com/reference/programmable-logic/nexys-4-ddr/start>.
- [6] Tektronix, Inc., “Osciloscopio MSO 70404C.” Datasheet, 2023. Disponible online en <https://download.tek.com/datasheet/DPO-DSA-MSO70000-DataSheet-EN-11Apr23.pdf>.
- [7] A. V. Oppenheim, R. W. Schafer, and J. R. Buck, *Discrete-Time Signal Processing*. Upper Saddle River, NJ: Prentice Hall, 2nd ed., 1999.
- [8] P. Rulikowski and J. Barrett, “Truly balanced step recovery diode pulse generator with single power supply,” in *Proceedings. 2004 IEEE Radio and Wireless Conference (IEEE Cat. No.04TH8746)*, pp. 347–350, 2004.
- [9] P. Protiva, J. Mrkvica, and J. Macháč, “A compact step recovery diode subnanosecond pulse generator,” *Microwave and Optical Technology Letters*, vol. 52, no. 2, pp. 438–440, 2010.
- [10] A. Kamal, A. Bhattacharya, M. Tamrakar, and C. Roy, “Low-ringing and reduced-cost step recovery diode based uwb pulse generators for gpr applications,” *Microwave and Optical Technology Letters*, vol. 56, no. 10, pp. 2289–2294, 2014.
- [11] J. Han and C. Nguyen, “A new ultra-wideband, ultra-short monocycle pulse generator with reduced ringing,” *IEEE Microwave and Wireless Components Letters*, vol. 12, no. 6, pp. 206–208, 2002.
- [12] J. Han and C. Nguyen, “Coupled-slotline-hybrid sampling mixer integrated with step-recovery-diode pulse generator for uwb applications,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, no. 6, pp. 1875–1882, 2005.
- [13] D. Oloumi and E. Fear, “A picosecond pulse generator using srd diodes: Design, analysis, and measurements,” in *2018 USNC-URSI Radio Science Meeting (Joint with AP-S Symposium)*, pp. 159–160, 2018.

.1. Código Fuente Verilog

```
'timescale 1ns / 1ps

module top(
    input clk,
    input btnU, btnD,
    input btnL, btnR,
    input [1:0] sw,
    output [1:0] led,
    output [0:0] JA
);

    wire duty_inc_coarse, duty_inc_fine, duty_dec_coarse, duty_dec_fine;

    localparam W = 8;
    reg [W-1:0] div_value = 'd10;
    reg [1:0] sw_old = 'd0;
    reg initialized = 'b0;
    reg [3:0] init_counter = 'b0;
    reg srst = 'b0;

    localparam real DUTY_CYCLE_NOMINAL = 0.5;
    localparam real DUTY_CYCLE_COARSE = 0.1;
    localparam real DUTY_CYCLE_FINE = 0.01;

    localparam integer DIV_VALUE_10MHZ = 10;
    localparam integer COUNTS_DUTY_NOMINAL_10MHZ = DUTY_CYCLE_NOMINAL *
        DIV_VALUE_10MHZ;
    localparam integer COUNTS_DUTY_COARSE_10MHZ = DUTY_CYCLE_COARSE *
        DIV_VALUE_10MHZ;
    localparam integer COUNTS_DUTY_FINE_10MHZ = DUTY_CYCLE_FINE *
        DIV_VALUE_10MHZ;

    localparam integer DIV_VALUE_5MHZ = 20;
    localparam integer COUNTS_DUTY_NOMINAL_5MHZ = DUTY_CYCLE_NOMINAL *
        DIV_VALUE_5MHZ;
    localparam integer COUNTS_DUTY_COARSE_5MHZ = DUTY_CYCLE_COARSE *
        DIV_VALUE_5MHZ;
    localparam integer COUNTS_DUTY_FINE_5MHZ = 'd1;

    localparam integer DIV_VALUE_1MHZ = 100;
    localparam integer COUNTS_DUTY_NOMINAL_1MHZ = DUTY_CYCLE_NOMINAL *
        DIV_VALUE_1MHZ;
    localparam integer COUNTS_DUTY_COARSE_1MHZ = DUTY_CYCLE_COARSE *
        DIV_VALUE_1MHZ;
    localparam integer COUNTS_DUTY_FINE_1MHZ = DUTY_CYCLE_FINE *
        DIV_VALUE_1MHZ;

    reg [W-1:0] div_value_curr,
                counts_duty_nominal_curr,
                counts_duty_coarse_curr,
                counts_duty_fine_curr;

    always @(posedge clk) begin
        if (sw[1]) begin
            div_value_curr      <= DIV_VALUE_1MHZ;
            counts_duty_nominal_curr <= COUNTS_DUTY_NOMINAL_1MHZ;
        end
    end
endmodule
```

```

        counts_duty_coarse_curr      <= COUNTS_DUTY_COARSE_1MHZ;
        counts_duty_fine_curr       <= COUNTS_DUTY_FINE_1MHZ;
    end
    else if (sw[0]) begin
        div_value_curr            <= DIV_VALUE_5MHZ;
        counts_duty_nominal_curr  <= COUNTS_DUTY NOMINAL_5MHZ;
        counts_duty_coarse_curr   <= COUNTS_DUTY_COARSE_5MHZ;
        counts_duty_fine_curr     <= COUNTS_DUTY_FINE_5MHZ;
    end
    else begin
        div_value_curr            <= DIV_VALUE_10MHZ;
        counts_duty_nominal_curr  <= COUNTS_DUTY_NOMINAL_10MHZ;
        counts_duty_coarse_curr   <= COUNTS_DUTY_COARSE_10MHZ;
        counts_duty_fine_curr     <= COUNTS_DUTY_FINE_10MHZ;
    end
    sw_old <= sw;
end

always @(posedge clk) begin
    if (initialized == 'b0) begin
        if (init_counter < 'd14) begin
            init_counter <= init_counter+1;
        end
        else begin
            initialized <= 'b1;
            srst <= 'b1;
        end
    end
    else begin
        if (sw_old != sw) srst <= 'b1;
    end
    if (srst) srst <= 'b0;
end

// debounce of buttons
debounce u_debounce_inc_coarse(clk,btnU,duty_inc_coarse);
debounce u_debounce_dec_coarse(clk,btnD,duty_dec_coarse);
debounce u_debounce_inc_fine(clk,btnR,duty_inc_fine);
debounce u_debounce_dec_fine(clk,btnL,duty_dec_fine);

// PWM generator
adhoc_generator#.WIDTH(W)u_generator(
    .clk(clk),
    .srst(srst),
    .duty_coarse(counts_duty_coarse_curr),
    .duty_fine(counts_duty_fine_curr),
    .duty_nominal(counts_duty_nominal_curr),
    .div_value(div_value_curr),
    .duty_inc_coarse(duty_inc_coarse),
    .duty_inc_fine(duty_inc_fine),
    .duty_dec_coarse(duty_dec_coarse),
    .duty_dec_fine(duty_dec_fine),
    .PWM(JA[0])
);
assign led = sw;

```

```

endmodule

module debounce(
    input clk,
    input data_in,
    output data_out
);
    localparam DEBOUNCE_BITS = 23;

    reg [DEBOUNCE_BITS-1:0] debounce_counter;
    wire debounce_enable;
    wire tmp_1, tmp_2;

    // debounce enable generation, has period T_clk/2**DEBOUNCE_BITS
    always @(posedge clk) debounce_counter = debounce_counter + 'b1;
    assign debounce_enable = debounce_counter == 2**DEBOUNCE_BITS-1 ? 'b1
        : 'b0;

    // debounce of buttons
    DFF u_DFF_inc_coarse(clk,debounce_enable,data_in,tmp_1);
    DFF u_DFF_dec_coarse(clk,debounce_enable,tmp_1,tmp_2);

    assign data_out = tmp_1 & (~ tmp_2) & debounce_enable;
endmodule

module DFF(
    input clk,
    input en,
    input D,
    output reg Q
);
    always @(posedge clk) begin
        if (en) Q <= D;
    end
endmodule

'timescale 1ns / 1ps

module adhoc_generator#(
    parameter WIDTH = 8
) (
    input clk, srst,
    input duty_inc_coarse, duty_inc_fine,
    input duty_dec_coarse, duty_dec_fine,
    input [WIDTH-1:0] duty_coarse, duty_fine, duty_nominal, div_value,
    output reg PWM
);

    reg [WIDTH-1:0] counter      = 'd0;
    reg [WIDTH-1:0] duty_cycle   = 'd0;
    wire n_PWM;

    assign n_PWM = counter < duty_cycle ? 'b1 : 'b0;

    always @(posedge clk) begin
        if (srst) begin
            duty_cycle  <= duty_nominal;
            counter     <= 'd0;
        end
    end
endmodule

```

```

        PWM      <= 'd1;
end
else begin
    counter           <= counter >= div_value-1
    ? 'd0 : counter + 1;
    PWM              <= n_PWM;
    if      (duty_inc_coarse) duty_cycle <= duty_cycle +
            duty_coarse;
    else if (duty_inc_fine)   duty_cycle <= duty_cycle + duty_fine
            ;
    else if (duty_dec_coarse) duty_cycle <= duty_cycle -
            duty_coarse;
    else if (duty_dec_fine)   duty_cycle <= duty_cycle - duty_fine
            ;
end
end
endmodule

```