

Mi Tesis

Miguel Perez Andrade

abril de 2023

Índice general

1. Introducción	3
2. SRD	4
2.1. Introducción	4
2.2. Proceso de recuperación reversa	4
2.3. Diodos de almacenamiento de carga	5
2.4. Diodo SRD	6
2.5. Modelos circuitales y de simulación	8
2.6. SRD utilizado	9
2.6.1. Validación de modelo	10
2.7. ¿Acelerador de flancos?	15
3. Diseño	16
3.1. SRD como acelerador de flanco	16
3.2. Generador de pulsos con <i>stub</i>	18
3.2.1. Principios del <i>stub</i>	18
3.2.2. Generador de pulsos SRD+ <i>stub</i>	19
3.3. Generador de pulsos con <i>stub</i> y rectificador	21
3.4. Ancho de banda del pulso	21
3.5. Consumo del generador	23
3.6. Diseño del <i>driver</i>	24
3.6.1. Filtro pasa altos	25
3.6.2. Implementación de la llave	34
3.7. Implementación en PCB	38
3.7.1. Selección de componentes pasivos	39
3.7.2. Layout del pulser	40
3.7.3. Layout del driver	43
4. Mediciones	46
4.1. Introducción	46
4.2. Banco de medición	46
4.2.1. Fuente de alimentación	46
4.2.2. FPGA	47
4.2.3. Osciloscopio	48
4.2.4. Seguridad del instrumento	48
4.3. Mediciones realizadas	49
4.3.1. Mediciones del <i>driver</i>	50
4.3.2. Medición de pulso	50
5. Conclusiones	57
A. Código Fuente Verilog	58

B. Bibliografía

62

Capítulo 1

Introducción

Para los requerimientos, hablar en algún lado de la plataforma base? Por ahora citamos [1]

Poner en algún lado una tabla con todos los requisitos: ancho de banda, amplitud, PRF, entrada de comando, fuente de alimentación, etc

Capítulo 2

SRD

2.1. Introducción

Introducir acá brevemente qué es un diodo SRD, sus diferencias con diodos “usuales” de juntura, sus aplicaciones, y los aspectos que analizaremos.

El diodo SRD pertenece a una familia de dispositivos de juntura denominada junturas de almacenamiento de carga [2]. Estos dispositivos se caracterizan por su característica de recuperación reversa.

2.2. Proceso de recuperación reversa

En la figura 2.1 se observa el proceso de recuperación reversa de un diodo. El mismo se encuentra polarizado en directa con una corriente I_f , y en el instante t_0 se aplica una corriente negativa I_r . Durante un tiempo t_s , denominado tiempo de almacenamiento (*storage time* en inglés), el diodo permanece en un estado de baja impedancia, conduciendo corriente. Luego de este tiempo, durante t_t se da el tiempo de transición (*transition time* o *decay time* en inglés). Durante este tiempo, la impedancia de la juntura transiciona de bajo a alto, interrumpiendo la conducción de corriente. El tiempo total $t_s + t_t$ es denominado tiempo de recuperación t_r .

Cada una de estas fases está relacionada a distintos procesos físicos que se dan en la juntura. Cuando el diodo se encuentra en directa, la zona de vaciamiento se reduce, resultando en un menor campo eléctrico, y una corriente neta de difusión. Este mecanismo resulta en densidades de portadores minoritarios en los extremos de la zona de vaciamiento proporcionales a $\exp(V/V_t)$, resultando en una inyección de portadores minoritarios en ambas partes de la juntura. Entonces el diodo en directa tiene un exceso de portadores minoritarios. [3]

El tiempo de almacenamiento t_s está asociado al tiempo que demora la corriente reversa I_r en remover el exceso de portadores minoritarios de la zona de vaciamiento. El tiempo de almacenamiento termina una vez que la densidad de portadores minoritarios en los extremos de la zona de vaciamiento caen a sus valores de equilibrio térmico.

Una vez terminado el tiempo de almacenamiento, las densidades de portadores minoritarios en los extremos de la zona de vaciamiento cayeron a sus valores de equilibrio térmico, pero en las zonas P y N todavía se encuentra una densidad de portadores mayor a la de una juntura en reversa. El tiempo de transición t_t está asociado al tiempo que demoran estas densidades en caer a sus valores de estado estacionario.

En la figura ?? se observa la evolución temporal de las densidades. Se observa que en $t = 0^-$ las densidades en los extremos de la zona de vaciamiento están en sus valores máximos, y en $t_4 = t_s$ caen a sus valores de equilibrio térmico. Sin embargo, en este instante las densidades en el cuerpo de la juntura no están en sus valores de estado estacionario $t = \infty$.

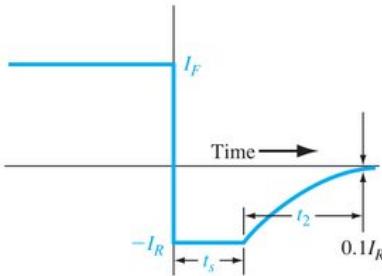


Figure 8.26 | Current characteristic versus time during diode switching.

Figura 2.1: Recuperación reversa de un diodo.

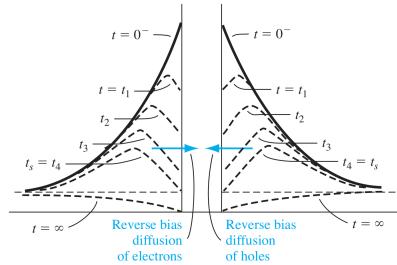


Figura 2.2: Evolución de densidad de portadores en el proceso de recuperación.

2.3. Diodos de almacenamiento de carga

En [2] se desarrolla la teoría de los diodos de almacenamiento de carga. Estos se caracterizan por su particular comportamiento de recuperación.

En un diodo de juntura usual”, tanto el tiempo de almacenamiento como el de transición tienen un orden de magnitud similar al tiempo de vida de los portadores minoritarios τ_m , o MCL del inglés *Minority Carrier Lifetime*. La característica distintiva de los diodos de almacenamiento de carga, es que el tiempo de almacenamiento mantiene su orden de magnitud de τ_m , pero el tiempo de transición t_t es mucho menor. [2]

En aplicaciones de commutación de señal, es deseado que el tiempo de recuperación t_r sea lo menor posible. Esto minimiza las pérdidas de potencia y maximiza la frecuencia de operación. En aplicaciones de generación de pulsos o multiplicación de frecuencia, no es deseado un t_r mínimo.

La combinación de tiempo de almacenamiento t_s finito y tiempo de transición t_t muy corto es de utilidad en aplicaciones de generación de pulsos o multiplicación de frecuencia. En la figura 2.3 se observa el comportamiento de un diodo de este tipo y uno con tiempo de recuperación 0.

En el caso del diodo llave ideal, la señal de salida sigue a la entrada cuando esta es positiva, y es nula cuando la entrada es negativa, es decir, es un rectificador ideal. En el caso de un diodo de almacenamiento de carga, hay un tiempo de almacenamiento finito y comparable al período de la señal de entrada, por lo que la señal de salida sigue a la entrada mientras esta es negativa. Terminado el período de almacenamiento, el rápido tiempo de transición resulta en un flanco de amplitud considerable y muy corto. Esta característica permite generar pulsos ultra cortos o harmónicos altos de la señal de entrada.

Los diodos de almacenamiento de carga implementan estas características de gran tiempo de almacenamiento t_s y tiempo de transición corto t_t . El tiempo de almacenamiento prolongando se obtiene implementando un MCL τ_m máximo posible para el proceso de fabricación. El tiempo t_t mínimo, se logra con un diseño de diodo que resulte en una distribución de portadores en directa

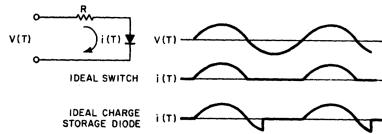


Figura 2.3: Formas de onda en rectificadores

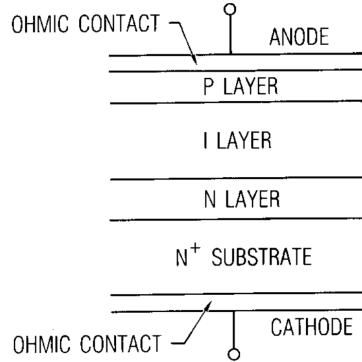


Figura 2.4: Estructura física del diodo SRD.

tal que la mayoría de las cargas se encuentren muy cerca de la zona de vaciamiento. De esta manera, una vez que las cargas de la zona de vaciamiento se remueven, prácticamente no quedan cargas en el dispositivo, minimizando el tiempo de transición t_t .

En [2] se demuestra que, siendo x_0 la distancia desde el centro de la juntura al centro de gravedad de la distribución de portadores, el tiempo t_t será proporcional a x_0^2/D , con D la constante de difusión promedio.

También se demuestra una relación inversa entre carga almacenada y velocidad de transición t_t .

2.4. Diodo SRD

El diodo SRD, del inglés *Step Recovery Diode*, diodo de recuperación en escalón, es un tipo de diodo de almacenamiento de carga, con las características de los mismos descriptas anteriormente [4].

El diodo es un diodo PIN, es decir, un semiconductor intrínseco, la capa I, entre dos semiconductores P y N. En la figura 2.4 se observa la estructura del mismo. La característica que diferencia al diodo SRD de los diodos PIN usuales con aplicaciones en RF, es que en el SRD la capa I es muy fina, entre 0,5 μm y 4 μm , mientras que en un diodo PIN el rango es entre 50 μm y 1000 μm .

El ancho de la capa I del diodo SRD le permite tener un MCL relativamente largo y un tiempo de transición relativamente corto, características descriptas en la sección 2.3 deseables para aplicaciones de generación de pulsos.

La capa I logra un dispositivo con un MCL considerable. Para lograr un tiempo de transición lo más corto posible, como fuese explicado en la sección 2.3, es necesario que la mayoría de los portadores minoritarios se encuentren alrededor de la zona de vaciamiento. Esto se logra realizando un diodo p^+in^+ , donde las zonas p y n están fuertemente dopadas. Esto resulta en una almacenamiento de portadores en la zona intrínseca *i*, y barreras de potencial que fuerzan a los portadores a mantenerse en la zona *i*.

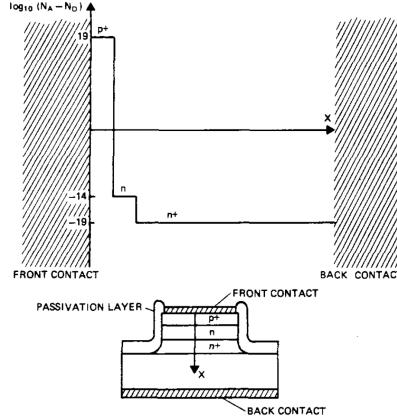


Figura 2.5: Densidad de dopaje en SRD.

Para encontrar el tiempo de almacenamiento t_s en un diodo SRD, puede plantearse la ecuación de continuidad de carga [2] [4]

$$\frac{dQ}{dt} = I - \frac{Q}{\tau_m} \quad (2.1)$$

Esta ecuación contempla la inyección/remoción de carga mediante la corriente externa I , y los efectos de recombinación de carga a través del tiempo de vida de los portadores minoritarios τ_m . En el caso de la corriente directa I_f , puede plantearse la ecuación bajo $I = I_f$ y la condición inicial $Q(0) = 0$ para llegar a la carga almacenada $Q(t)$

$$Q(t) = I_f \cdot \tau_m \cdot \left(1 - e^{-t/\tau_m}\right) \quad (2.2)$$

Si se aplica la corriente I_f durante un tiempo T_f , llegaremos a una carga almacenada de

$$Q_0 = Q(T_f) = I_f \cdot \tau_m \cdot \left(1 - e^{-T_f/\tau_m}\right) \quad (2.3)$$

Para tiempos $T_f \gg \tau_m$, será

$$Q_0 \approx I_f \cdot \tau_m \quad (2.4)$$

Para encontrar el tiempo de almacenamiento t_s , planteamos una corriente constante $I = I_r$ y una condición inicial de $Q(0) = Q_0$. Queremos encontrar t_s tal que $Q(t_s) = 0$. Llegamos a

$$t_s = \tau_m \cdot \ln \left(1 + \frac{Q_0}{I_r \cdot \tau_m}\right) \quad (2.5)$$

Para el caso de I_f constante, llegamos a

$$t_s = \tau_m \cdot \ln \left(1 + \frac{I_f}{I_r}\right) \quad (2.6)$$

Esta ecuación es válida para cualquier tipo de diodo de juntura, no solamente PIN o SRD. En el caso del diodo SRD, el tiempo τ_m es considerable, por lo que el tiempo de descarga t_s es largo, típicamente decenas de nanosegundos, y comparable con el período de la señal de entrada.

Para el tiempo de transición t_t , en [4] se establece una regla empírica que determina que será proporcional al largo de la zona i , con una relación de 10 ps por cada 1 μm de longitud.

El tiempo de transición es entonces, una cantidad que queda totalmente determinada por el diseño del diodo. Esta variable tiene una dependencia con otras, como por ejemplo la capacidad de reversa C y la tensión de ruptura V_{br} . Esta última disminuye con el volumen de la zona i , por lo que



Figura 2.6: Características del modelo de SRD.

hay una relación de compromiso entre t_t y V_{br} . Siendo que este último valor determina la potencia máxima en operaciones de multiplicación de frecuencia, existe una relación de compromiso entre máxima frecuencia de operación y máxima potencia [4].

2.5. Modelos circuitales y de simulación

A orden 0, el diodo SRD puede ser modelado como un capacitor de dos estados: con una capacidad infinita cuando el diodo se encuentra en directa, y una capacidad muy baja en reversa, con un tiempo de conmutación 0 entre estados. La capacidad de directa se corresponde con la capacidad de difusión del diodo, y la de reversa con la capacidad de juntura. Este es un modelo que representa las características de primer orden del diodo aceptablemente [4].

Se puede mejorar este modelo incorporando los efectos de recombinación a la capacidad de directa. Como fuese explicado en la sección 2.4, la recombinación puede ser contemplada incorporando en la ecuación de continuidad el término Q/τ_m , lo que tiene el efecto de una capacidad.

En la figura 2.6 se observa el modelo de SRD junto a un gráfico de su capacidad en función del tensión.

Para simular el diodo SRD, se utilizó un modelo de spice basado en este modelo de capacidad de dos estados [5] [6]. Este modelo, que puede observarse en la figura 2.7, está basado en un modelo de capacidad comutada en paralelo con una juntura PN.

Un problema del modelo de capacidad de la figura 2.6b, es la discontinuidad de la curva y su derivada. Para mejorar este aspecto y tener un modelo utilizable en simuladores comerciales, en [5] se propone una mejora. Para modelar al capacitor no lineal, se propone una relación entre carga y tensión lineal en 3 tramos, con valores que vuelven continua la curva y sus derivadas.

$$Q(V) = \begin{cases} C_r \cdot V & V \leq 0 \\ c \cdot (V + a)^2 - b & 0 < V < \phi \\ C_f \cdot (V - \phi) + Q_{rmp} & V \geq \phi \end{cases} \quad (2.7)$$

En este modelo, la capacidad tiene un valor C_r para valores de tensión negativos, y C_f para valores de tensión positivos. En el punto $V = \phi$, la carga almacenada es Q_{rmp} , representando la carga residual en la juntura al comienzo de la rampa de tensión descripta en la sección 2.4. Para la zona $0 < V < \phi$ se agregan constantes a , b y c para lograr una curva continua. Se aplican las siguientes condiciones de contorno

$$\begin{cases} Q(\phi) = Q_{rmp} \\ \frac{dQ}{dV}(\phi) = C_f \\ Q(0) = 0 \\ \frac{dQ}{dV}(0) = C_r \end{cases} \quad (2.8)$$

Aplicando las condiciones de contorno, se llega a la siguiente relación

$$Q(V) = \begin{cases} C_r \cdot V & V \leq 0 \\ \frac{C_f - C_r}{2\phi} \cdot \left(V + \frac{C_r\phi}{C_f - C_r} \right)^2 - \frac{C_r^2}{2(C_f - C_r)} \cdot \phi & 0 < V < \phi \\ C_f \cdot V - \frac{C_f - C_r}{2}\phi & V \geq \phi \end{cases} \quad (2.9)$$

Para implementar esta capacidad no lineal, se necesitan los siguientes parámetros:

- C_r : esta es la capacidad de juntura del diodo, y es parte de las especificaciones del fabricante.
- ϕ : es el potencial de juntura del diodo, especificado por el fabricante
- C_f : es la capacidad en directa del diodo. Se relaciona con el tiempo de vida de los portadores minoritarios τ_m y una resistencia dinámica R_f a través de $\tau_m = C_f \cdot R_f$. [7]

La capacidad no lineal descripta en 2.9 puede ser implementada entonces con los datos provistos por el fabricante, solo siendo necesario realizar una medición de la resistencia dinámica R_f . El modelo de simulación final puede observarse en la figura 2.7.

En cuanto al alcance del modelo, este no contempla el tiempo de transición t_t del diodo, por lo que sus efectos no están incluidos. Este modelo es suficiente para análisis que involucren la carga y descarga del diodo, es decir, su transición al estado de alta impedancia. El modelo no provee información sobre la forma de esa transición.

Con esta curva se puede implementar el modelo de capacidad conmutada descripto en [4] en una manera manejable para los simuladores de circuitos. Bajo este modelo, se reportan en la literatura múltiples diseños de generadores de pulsos [8] [9] y multiplicadores de frecuencia [6] [10], con buen acuerdo entre simulación y medición.

Existen otros modelos de simulación para el diodo SRD, como los reportados en [11] y [12] basados en balance de cargas. Sin embargo, estos son más complejos en su implementación, ya que requieren múltiples fuentes controladas y mediciones de diversos parámetros del diodo. Es por esto que se utilizó el modelo de [5].

2.6. SRD utilizado

Para la implementación del generador de pulsos de este trabajo, se seleccionó un diodo SRD MMD830 de MACOM [13]. Este pertenece a la familia de diodos SRD MMDx. Dentro de la familia, hay diversos modelos, con distintas características. En la tabla se muestran algunos

Se decidió este diodo por un balance entre desempeño y costo. Al momento de su adquisición, en agosto de 2022, el mismo tenía un costo de USD 54. Al momento de la redacción de este trabajo, el costo del mismo es de USD 33. La gran varación se debió al faltante de semiconductores que se experimentó en ese momento. El dispositivo tiene un costo elevado a comparación de semiconductores usuales que están en el rango de .1-5 USD, pero es un costo bajo como para realizar una plataforma de bajo costo.

La familia viene en distintos tipos de encapsulados. Los hay desde bare die, beam lead hasta plástico o cerámico. Dado los distintos parásitos que cada encapsulado tiene, tanto por su material como por su tamaño, el desempeño de los dispositivos presenta grandes variaciones. Por ejemplo,

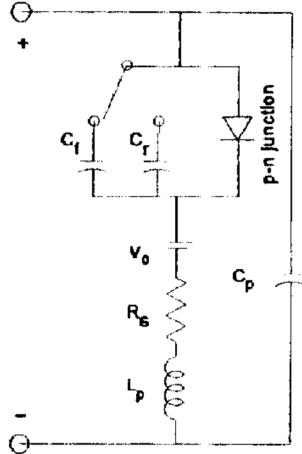


Figura 2.7: Modelo de simulación del SRD.

Modelo	V_B [V]	C_j [pF]		τ_m [ns]		t_t [ps]	
		Min	Max	Min	Typ	Typ	Max
MMD805-0805-2	60	2.56	3.56	80	100	250	300
MMD810-0805-2	50	1.75	2.75	40	70	200	250
MMD820-0805-2	40	1.06	1.76	30	60	80	100
MMD830-0805-2	25	0.56	1.06	15	30	60	80
MMD832-0805-2	20	0.46	0.86	10	15	60	80
MMD835-0805-2	15	0.36	0.86	10	20	50	70

Tabla 2.1: Desempeño de familia de SRD MMDx de MACOM.

el tiempo de transición t_t más rápido de todos es de 30 ps, para el MMDB30-B11 en beam lead. Este presenta una capacidad de juntura de 0,20 ps y una tensión de ruptura de 14 V. En el otro extremo, el más lento de todos es el MMD0803 en encapsulado de vidrio, con un tiempo de transición de 400 ps, capacidad total de 6,15 pF, y tensión de ruptura de 70 V

Entre los distintos encapsulados, se mantienen las figuras de tiempo de vida de portadores τ_m y tiempo de transición t_t para los mismos modelos. Lo que cambia con el encapsulado, es la capacidad total C_T , incrementando con mayores tamaños de encapsulado y resultando en una menor frecuencia de corte.

El encapsulado elegido es uno cerámico, el 0805-2. En la figura puede observarse un diagrama del mismo, con sus dimensiones en mils y mm. Es un encapsulado muy pequeño, de 2,16 mmx 1,40 mm. En la hoja de datos se especifican su capacidad C_p e inductancia L_p parásitas en 0,06 pF y 0,4 nH respectivamente.

2.6.1. Validación de modelo

Para validar el modelo propuesto para el SRD, y comprobar el desempeño del diodo seleccionado, se realizaron simulaciones en el software ADS.

En la figura 2.9 se observa el modelo implementado para el SRD. El mismo contiene las inductancias y capacidad parásitas del encapsulado C_p y L_p .

Para modelar al diodo en sí, se colocan en paralelo una juntura PN y un dispositivo definido simbólicamente. Este es un tipo de dispositivos disponibles en ADS que permiten definir una relación arbitraria entre las variables del dispositivo. En este caso, se define una relación entre la carga $Q(t)$ y la tensión $v(t)$, definiendo de esta manera un capacitor no lineal. El capacitor definido es el descrito en la sección 2.5.

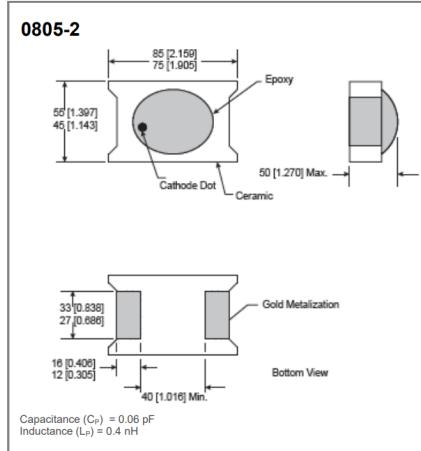


Figura 2.8: Dimensiones del encapsulado utilizado.

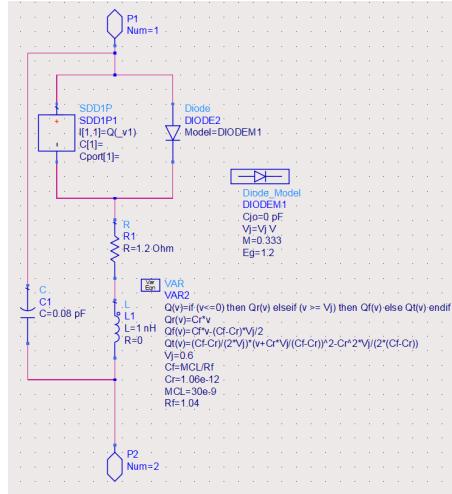


Figura 2.9: Modelo implementado en ADS para el SRD.

Como el capacitor no lineal definido contempla tanto la capacidad de difusión como la capacidad de juntura del diodo, en el modelo de diodo utilizado para modelar la juntura, se define una capacidad de juntura de 0 pF, para evitar modelar dos veces la misma. De esta manera, la juntura únicamente modela la relación IV del diodo, $i_D(t) = I_S \left(e^{\frac{v_D(t)}{V_T}} - 1 \right)$.

Con el modelo de SRD definido, se valida su comportamiento con una simulación. En la figura 2.10 puede observarse el circuito simulado. Consiste de una fuente de tensión en serie con el SRD y una resistencia de limitación de corriente. Se simula el escenario dos veces con estímulos distintos: una señal cuadrada y una senoidal, ambas de 10 MHz de frecuencia, 10 V de amplitud pico-a-pico y 0 V de valor medio.

En la figura 2.11 pueden observarse los resultados. En ambos casos, para entrada senoidal y cuadrada, dado que no hay elementos resonantes, corriente y tensión están en fase. En ambos ejes se observan las escalas. En ambos casos, se observa como la salida sigue a la entrada, afectada por el divisor de tensión de R_L y R_s . Una vez que la corriente cambia el signo y toda la carga del SRD es removida, este transiciona al estado de alta impedancia, colapsando rápidamente la tensión a 0 mA y la tensión de salida a 0 V.

Como fuese explicado en la sección 2.5, el modelo utilizado contempla el tiempo de vida de los

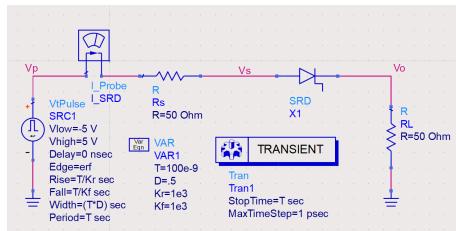
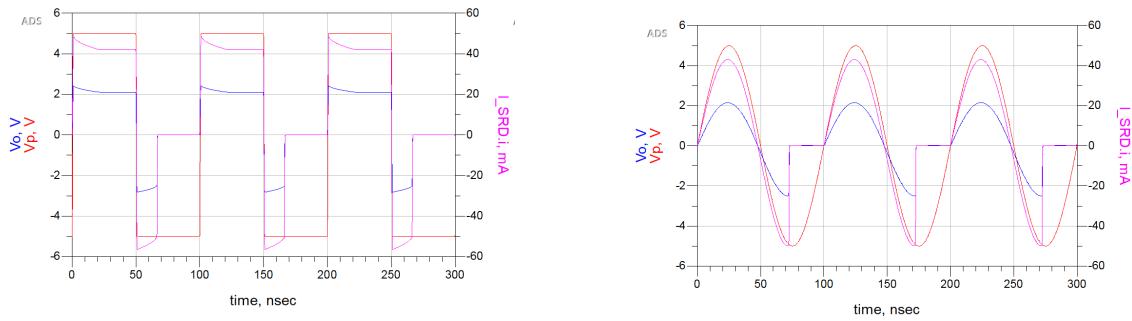


Figura 2.10: Esquemático de simulación de modelo de SRD.



(a) Resultado de simulación con entrada cuadrada.

(b) Resultado de simulación con entrada senoidal.

Figura 2.11: Resultados de simulación de modelo de SRD.

portadores minoritarios τ_m , pero no el tiempo de transición t_t . Por lo tanto, de estas simulaciones se espera un correcto modelado del tiempo de almacenamiento t_s pero no del tiempo de crecimiento de la señal una vez terminado el tiempo de almacenamiento.

El tiempo de crecimiento de la señal dependerá tanto del tiempo de transición del diodo t_t como del circuito, a través de una constante de tiempo t_{RC} . Si R y C son la resistencia y capacidad entre los terminales del SRD, el tiempo de crecimiento t_r será [14]

$$t_r = \sqrt{t_t^2 + t_{RC}^2} \quad (2.10)$$

La capacidad C estará compuesta por la capacidad de juntura del diodo y todas las capacidades parásitas (de encapsulado y de PCB) que se encuentren. En la simulación realizada, t_t es nulo, por lo que el tiempo de crecimiento t_r , observado es igual a t_{RC} . En esta simulación la única capacidad es la de juntura, en una simulación con extracción de parásitos, se contemplarían las capacidades de las estructuras adyacentes.

Hablar de dependencia de tiempo de crecimiento con carga almacenada? Podemos decir que no tuvimos en cuenta esto por simplicidad.

El diodo SRD es un diodo con un tiempo de vida de portadores minoritarios (MCL del inglés *Minority Carrier lifetime*). Esta característica resulta en almacenamiento de carga en el mismo durante el período de conducción positiva. De esta manera, si se aplica una corriente positiva y luego una negativa, el diodo permanecerá en un estado de baja impedancia, es decir, de conducción, durante una porción de tiempo de corriente negativa. Es decir, la trancisión de un estado de baja impedancia a uno de alta tiene un tiempo considerable.

Otra característica del diodo, es que una vez que la carga es removida, la trancisión al estado de alta impedancia es muy rápida, del orden de los picosegundos. Esta combinación de retraso en transición a estado de alta impedancia y rápida conmutación, permite la generación de escalones de amplitud de tiempo muy corto y amplitud considerable.

El retraso en la transición permite el desarrollo de una amplitud considerable en el diodo. En comparación a un diodo usual, en el que transición es de muy corto tiempo. Este retraso permite la generación de una amplitud considerable, y luego se da un escalón de amplitud igual a esta, y con una velocidad igual a la del diodo, que es muy rápido.

Al momento del apagado del diodo, su corriente cae a 0, resultando en una tensión igual a 0 en su cátodo. En un diodo usual, con un bajo MCL, al momento del apagado la tensión en el ánodo es pequeña en magnitud. En el caso de un diodo SRD con un MCL considerable, en el momento del apagado la tensión del ánodo se desarrolló hasta un valor considerable. La magnitud de esta tensión dependerá de la relación entre la constante de crecimiento de la fuente que mueva al ánodo y el MCL. De esta manera, al momento del apagado se genera un escalón de amplitud considerable. La velocidad de esta transición depende de la velocidad de transición intrínseca del diodo y de los parásitos del nodo, y dada la gran velocidad del diodo este escalón será rápido.

En cuanto a la geometría del diodo, este es un diodo PIN, es decir, un diodo con una capa de semiconductor intrínseco entre dos capas P y N. Para el diodo SRD, la capa I debe ser muy fina. Esto es mejor que un diodo con un dopaje lineal.

El tiempo de recuperación de un diodo SRD está limitado por el tiempo de descarga de la capacidad de juntura.

A orden 0, el diodo SRD puede modelarse como un capacitor de dos estados: en directa como un capacitor de capacidad infinita, y en reversa como un capacitor de capacidad muy pequeña, con tiempo de transición 0 entre estados [4].

Un modelo más fidedigno, incorpora los efectos de recombinación para expresar a C_{fwd} como una capacidad finita, dada por el MCL.

En cuanto al tiempo de transición t_t , podemos mejorar el modelo y considerarlo finito, y estará dado por el tiempo que demoran en extraerse los portadores libres en el volumen de ancho W y área A (ζ de la zona I?). En esta transición, también habrá una perdida de potencia por conmutación.

El tiempo de transición t_t está relacionado al ancho W y el área A de la capa I. Por lo tanto, también a V_{BR} y C_{REV} , y por lo tanto a la capacidad de disipación de potencia, que es proporcional a $V_{BR} \cdot C_{REV} \cdot f$. Por lo que tendremos una relación de compromiso entre tiempo de transición y disipación de potencia. **Buscar de donde sale esa relación con potencia disipada**

El modelo de capacidad conmuta tiene una histeresis. Cuando se conmuta desde el estado de directa al de inversa, esta conmutación no es instantánea, ya que se requiere la remoción de toda la carga almacenada. En el modelo ideal de capacidad C_{FWD} infinita, la carga a remover es toda la carga injectada durante el período de conducción. Cuando contemplamos el MCL, la carga contempla la que ya fue recombinada, por lo que el tiempo se vuelve menor.

Para contemplar los efectos de recombinación, planteamos la ecuación de continuidad teniendo en cuenta el MCL

$$\frac{dQ}{dt} = I - \frac{Q}{\tau_R} \quad (2.11)$$

Una corriente constante I_F resultará en una carga almacenada de

$$Q_F = I_F \cdot \tau_R \quad (2.12)$$

El tiempo de descarga será el tiempo que le toma a la corriente negativa remover toda esta carga almacenada Q_F .

Cuál es la diferencia entre MCL y transit time? En [15] dice que, por separado, el SRD debe

- Tener un tiempo largo de almacenamiento, i.e. tiempo largo de recombinación
- Tener una zona de vaciamiento angosta, para que los efectos de tiempo de transito no afecten la eficiencia en altas frecuencias

Entonces, no son lo mismo. Parecería que sí, en otras derivaciones donde se obtienen expresiones para las transiciones de on-off en un PN usual, y el transit time se usa casi igual que el MCL acá.

El tiempo largo de recombinación, permite que se inyecte carga en la región I y que está NO se recombine, es decir, quede almacenada ahí. Si el tiempo de recombinación fuera corto, la carga no se almacenaría, porque se vería recombinada rápidamente.

En reversa, la región de vaciamiento incluye a la región I. El ancho d está dominado por el ancho de la región intrínseca, y recordando que la capacidad en reversa es

$$C_s = \frac{\epsilon_s \cdot A}{d} \quad (2.13)$$

La capacidad de reversa es prácticamente constante, independiente del voltaje y muy chica. [15]

Como el silicio es un material con un MCL largo en comparación a GaAs, suele utilizarse para SRD.

Es importante que el diodo tenga una baja resistencia serie para minimizar las pérdidas.

Como el silicio es un material con un MCL largo en comparación a GaAs, suele utilizarse para SRD.

Es importante que el diodo tenga una baja resistencia serie para minimizar las pérdidas.

En el modelo de SPICE del diodo pn, hay un transit time. Este parámetro modela la capacidad de difusión, siendo la carga almacenada en directa [16]

$$Q_p = I_p \cdot \tau_T \quad (2.14)$$

De vuelta, cuál es la relación entre tiempo de transito y tiempo de vida de portadores minoritarios?

En [16], dice que la MCL τ_n es cuanto sobrevive una partícula en promedio. Junto a esta cantidad y la constante de difusión D_n , definimos un largo de difusión

$$L_n = \sqrt{\tau_n \cdot D_n} \quad (2.15)$$

La relación entre el largo físico W y L_n nos dice cuanta recombinación habrá

- $W \ll L_n$: no hay recombinación en la base, concentración de portadores lineal
- $W \gg L_n$: casi toda la carga se recombina en la base, la concentración es exponencial, cayendo a 0 cerca de la base.

Per Wikipedia, el carrier lifetime es el tiempo promedio que le toma a un portador recombinarse. Ahora, la aproximación de diodo corto dice que NO hay recombinación, solo en los extremos, no? De esa manera, L_n de arriba sale de W . Cómo se define MCL?

Están relacionados MCL con t_t ? Tendría sentido que a mayor MCL mayor t_t . Entonces MCL tiene que ser grande pero no tanto. Serán ambas dependientes del ancho de la capa I? Por eso tienen una capa I fina, a comparación de un diodo PIN usual.

Buscando diodos PIN, los primeros que aparecen en digikey, tienen todos MCL por arriba de los 500 ns. Entonces, no es máximo MCL lo que queremos. Mepa que es combinación de MCL largo, para retrasar el apagado, y rápida transición, osea baja t_t .

En [4], dice que los procesos físicos en el apagado de un SRD son muy similares a los de un diodo PIN, lo que cambia son los ordenes de magnitud. Un diodo pin tiene una capa I de 50 a 1000 micrones, mientras que el SRD tiene una en el rango de 0.5 a 4.

Efectivamente, [4] y [17] dicen esto. Kamal habla del centro de masa de la carga, que depende de la geometría y del dopaje. Esto va dividido por la constante de difusión ambipolar.

En [4], dice que el tiempo que tarda la carga en removese, que es el tiempo de la rampa, está dado por $W^2/8D$, y una vez que se cumple este tiempo, la resistencia se va a infinito con un delay de 10 ps por micron de I. Esto nos confirma lo que decíamos antes: I tiene que ser cortito para que la transición sea rápida.

En una juntura PN, la recuperación reversa puede dividirse en dos partes: una de almacenamiento y una de decaimiento. En los diodos de juntura PN usuales, tanto tiempo de almacenamiento como tiempo de decaimiento tienen el mismo orden de magnitud que el tiempo de vida medio de los portadores minoritarios. En una familia de diodos de juntura, llamados diodos de almacenamiento de carga, este no es el caso, siendo el tiempo de almacenamiento del orden del MCL, pero el tiempo de decaimiento ordenes de magnitud menor [2].

El tiempo de almacenamiento está determinado por el tiempo que demoran las cargas de la juntura en ser removidas. La fase de decaimiento, se encuentra determinada por la corriente debida a cargas residuales. Para minimizar la duración de esta fase y, por lo tanto, maximizar la velocidad de crecimiento, es necesario que una vez que se extraen todas las cargas de la juntura, no queden portadores minoritarios. Esto se logra restringiendo los minoritarios para que se encuentren en la juntura o en su límite. [2]

Las características constructivas del diodo son las que determinan estas propiedades. El MCL debe ser el máximo que la fabricación permita lograr, mientras que la corta fase de decaimiento se logra

La velocidad de crecimiento es proporcional a x_o^2/D , con x_o es la distancia entre el centro de la juntura y el centro de masa de la distribución de portadores inyectados. De esta manera, es claro que para lograr los tiempos de respuesta más rápidos posibles, es necesario que la carga almacenada se encuentre cerca del centro de la juntura. Esto puede lograrse con una *graded junction*

Hay una relación inversa: a más carga almacenada, mayor corrimiento del centro de masa x_o del centro de la juntura, y por lo tanto tiempo de crecimiento más lento.

Esta relación también se ve entre capacidad del diodo y velocidad. A más capacidad, menor velocidad. A mayor área de juntura, más capacidad y menos velocidad.

Para que los portadores se encuentren cerca de la juntura, es necesario que el perfil de dopaje sea graduado, y no en escalón. Esto parece decir en [2] cuando habla de "graded junction", sin embargo en [4] parece decir lo contrario, que el dopaje tiene que ser abrupto, como muestra en la figura 12.

[2] hace una diferencia entre juntas ".escalón", "graded" PIN.

2.7. ¿Acelerador de flancos?

Hablar sobre el SRD como acelerador de flancos. Capaz, depende, o podemos dejarlo en la parte de diseño, que ya está explicado.

123, 467 469 557 584 762

Capítulo 3

Diseño

3.1. SRD como acelerador de flanco

Como fuese explicado anteriormente, el diodo SRD puede utilizarse para acelerar flancos. Esta funcionalidad combinada con un stub permite generar pulsos de gran velocidad de crecimiento y ancho controlable. Para explicar el funcionamiento del generador, empezaremos explicando el funcionamiento del circuito acelerador de flancos. En la figura 3.1 puede observarse un circuito que demuestra el funcionamiento.

El circuito está compuesto por un generador de cuadrada lento, con tiempos de crecimiento y decrecimiento de 5 ns, en serie una resistencia de fuente R_s de valor 50Ω y un diodo SRD. La carga del circuito es la resistencia R_L de 50Ω .

En la figura 3.2 se observa el resultado de la simulación. Vemos que, hasta aproximadamente 85 ns, la señal de salida V_o es igual a la señal de entrada, afectada por el divisor entre R_L y R_s , $\frac{R_L}{R_L+R_s} = 0,5$. Durante este tiempo, el SRD presenta una baja impedancia. En la porción positiva de la señal de entrada V_p , esto es coincidente con un diodo usual, ya que el mismo se encuentra polarizado en directa. En lo que destaca el SRD de un diodo usual, es que luego de que la tensión de entrada se invierta, este sigue presentando una baja impedancia. Esto se debe al gran tiempo de vida de sus portadores minoritarios, lo que requiere un tiempo apreciable para descargarlos y pasar al estado de alta impedancia.

Se observa en la forma de onda de V_o que esta transición se da alrededor de 85 ns, donde la tensión de salida cae abruptamente a 0. En la forma de onda de la corriente se observa la misma caída abrupta en los 85 ns, y una inversión en el signo de la corriente con la inversión en el signo de la cuadrada de entrada.

Llamaremos corriente de inyección de carga I_F a la corriente que circula por el SRD con sentido positivo. Esta corriente determina la carga Q_F almacenada en el mismo, y ambas se relacionan mediante [14] [4]

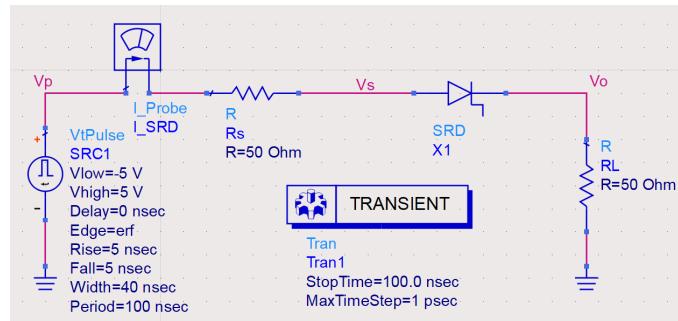


Figura 3.1: Circuito acelerador de flanco con SRD

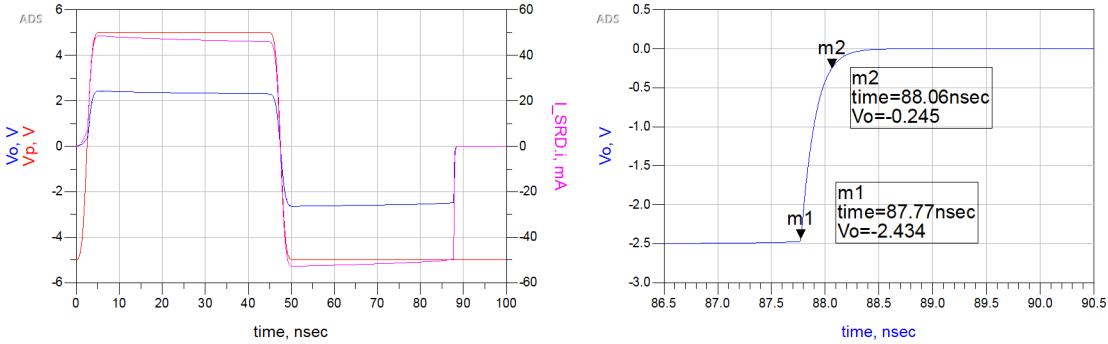


Figura 3.2: Resultado de simulación.

$$Q_F = I_F \cdot \tau \cdot \left(1 - e^{-t_F/\tau} \right) \quad (3.1)$$

Para el circuito presentado, siendo V_h el valor de la tensión positiva de la señal cuadrada de entrada, la corriente I_F estará dada por

$$I_F = \frac{V_h}{R_s + R_L} \quad (3.2)$$

Para la corriente de extracción de carga I_R , que es la corriente existente durante la porción negativa de la señal cuadrada de entrada en la que el SRD se encuentra en un estado de baja impedancia, tenemos la siguiente expresión

$$I_R = \frac{V_l}{R_s + R_L} \quad (3.3)$$

con V_l el valor de la tensión negativa de la señal cuadrada de entrada.

El tiempo de descarga del diodo t_s es el tiempo que tarda la corriente negativa en remover todas las cargas almacenadas durante la porción positiva. Por definición, es el tiempo entre el cambio de signo de la corriente en el diodo, y la caída a 0 de la corriente. Este tiempo se relaciona con las corrientes I_F e I_R y el tiempo de vida de los portadores minoritarios τ mediante [14]

$$\frac{t_s}{\tau} = \ln \left(1 + \frac{I_F}{I_R} \right) \quad (3.4)$$

En la figura 3.2, puede observarse el tiempo de crecimiento del escalón generado con el apagado del SRD. Se toma el tiempo de crecimiento 10%-90%. Siendo que el escalón de tensión se da entre -2.5 V y 0 V , tenemos que el punto de 10% es $V_{10\%} = -2.5 \text{ V} \cdot 0.9 = 2.25 \text{ V}$, y el de 90% es $V_{90\%} = -2.5 \text{ V} \cdot 0.1 = -0.25 \text{ V}$.

En cuanto a la magnitud del salto de tensión ΔV , estará dado por el valor de la tensión en el cátodo del SRD antes de que pase al estado de alta impedancia. Esta tensión estará dada por el divisor entre R_L y R_s ,

$$\Delta V = V_l \cdot \frac{R_L}{R_L + R_s} \quad (3.5)$$

El tiempo de crecimiento de este escalón estará dado por dos componentes: un tiempo de transición intrínseco del diodo SRD t_t , y un tiempo de carga t_{RC} dado por la capacidad en reversa C_{VR} del diodo SRD y la resistencia equivalente vista desde sus terminales [14]. El tiempo de crecimiento total estará dado por

$$t_r = \sqrt{t_t^2 + t_{RC}^2} \quad (3.6)$$

Vemos por los marcadores de la figura, que estos tiempos son 87,77 ns y 88,06 ns respectivamente, por lo que tenemos un tiempo de crecimiento

$$t_r = 87,77 \text{ ns} - 88,06 \text{ ns} = 290 \text{ ps} \quad (3.7)$$

Como fuese explicado anteriormente, este tiempo de crecimiento estará dado por el tiempo de transición del diodo y por el tiempo del RC formado entre la capacidad de reversa del diodo y la resistencia vista desde los nodos del capacitor.

3.2. Generador de pulsos con *stub*

3.2.1. Principios del *stub*

Agregando una linea de transmisión terminada en tierra en paralelo con el acelerador de flancos descripto anteriormente, es posible formar pulsos con un tiempo de crecimiento igual al tiempo de crecimiento del escalón generado por la apertura del SRD, y un ancho proporcional al largo de la línea de transmisión.

Un *stub* consiste de una línea de transmisión conectada en paralelo al camino de la señal. Su efecto sobre la señal dependerá de su impedancia característica, largo e impedancia de terminación [18].

Cuando el *stub* se encuentra abierto, es decir, terminado por una impedancia infinita, la señal propagada se verá reflejada con signo positivo, y en el caso de una línea de transmisión sin pérdidas, con un factor de ganancia unitario. En el caso de una línea de transmisión real, las pérdidas resultaran en un factor de atenuación. Este efecto permite generar resonancias en ciertas frecuencias, útiles para filtrado de señales o adaptación de impedancias.

En el caso de un *stub* cortocircuitado, es decir, con una impedancia de terminación igual a 0, el efecto será una reflexión de la señal con fase opuesta, y un factor de atenuación dado por las pérdidas de la línea.

El caso de interés para el circuito generador de pulsos, es el del *stub* cortocircuitado, ya que la reflexión de señal con fase opuesta, permite generar un pulso en base a una forma de onda creciente o decreciente.

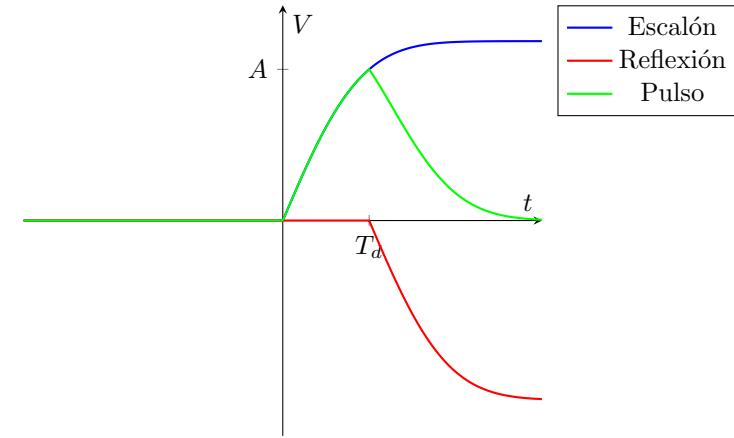


Figura 3.3: Generación de pulsos en base a reflexiones

En la figura 3.3 se observa el principio de funcionamiento del generador de pulsos en base a un stub. En línea azul, se observa un escalón que actúa como señal de entrada, en nuestro caso será el mismo que en la figura 3.2. Por acción del stub, este escalón se ve reflejado con polaridad opuesta, arribando al nodo de entrada con un retraso T_d . Esta reflexión se suma al escalón de entrada, resultando en la formación de un pulso. El ancho del pulso dependerá de T_d y de la

velocidad de crecimiento del escalón de entrada. De esta manera, se puede controlar el ancho del pulso ajustando el largo de la línea, que determina el valor de T_d .

Definiendo al tiempo de propagación de la línea de transmisión T , vemos que el tiempo T_d que demora el pulso de entrada en reflejarse es $2 * T$, el tiempo de un camino de ida y vuelta. El tiempo de propagación T está dado por la velocidad de propagación en la línea de transmisión v_p y el largo de la línea L .

En un medio con permisividad relativa κ y permeabilidad magnética relativa unitaria, la velocidad de propagación está dada por [18]

$$v_p = \frac{c_0}{\sqrt{\kappa}} \quad (3.8)$$

Para una línea de transmisión, es posible desarrollar una *permisividad efectiva* κ_{eff} , que es una función de la geometría de la línea y sus materiales [18]. Esta función puede obtenerse a través de una forma cerrada, generalmente involucrando diversas aproximaciones, o mediante métodos numéricos iterativos. El punto a resaltar es que, dada una determinada estructura de línea de transmisión y sus materiales, se puede considerar a κ_{eff} una constante del circuito.

Es interesante notar que para una línea de transmisión con modo de propagación TEM, κ_{eff} es una función del corte transversal de la línea de transmisión, y no de su dimensión longitudinal. De esta manera, κ_{eff} es independiente del largo L de la línea [18].

Entonces, el tiempo T_d estará dado por

$$T_p = 2 \cdot T = 2 \cdot \frac{L}{v_p} = 2 \cdot \sqrt{\kappa_{eff}} \cdot \frac{L}{c_0} \quad (3.9)$$

De esta forma, se puede diseñar el largo de línea L para obtener un tiempo T_d deseado

$$L = \frac{T_p}{2} \cdot \frac{c_0}{\sqrt{\kappa_{eff}}} \quad (3.10)$$

El tiempo T_d es el tiempo en el que el pulso formado alcanza su valor máximo A . El ancho del pulso T_p dependerá de T_d y también del tiempo de crecimiento t_r de la señal de entrada. La forma del pulso estará dada por la relación entre t_r y T_d . Para casos en los que $T_d \approx t_r$, la forma del pulso será aproximadamente gaussiana y podemos tomar la aproximación

$$T_p \approx 2 \cdot T_d \quad (3.11)$$

Donde la aproximación indica que el ancho del pulso T_p tendrá un orden de magnitud $2 \cdot T$. Para una relación precisa entre las variables, es necesario contemplar el tiempo de crecimiento t_r .

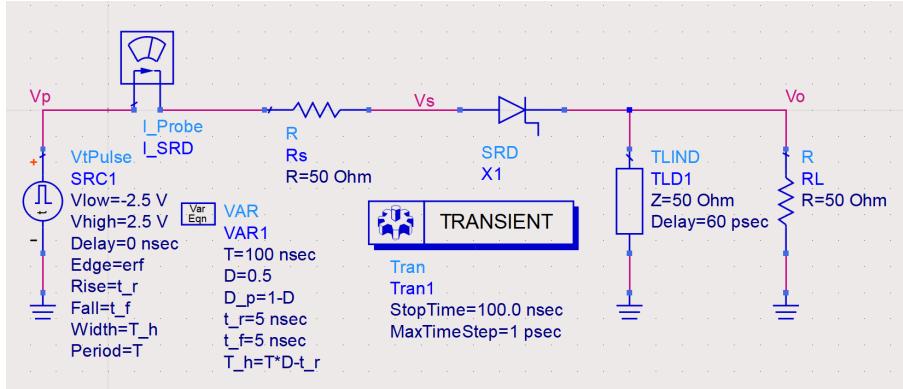
3.2.2. Generador de pulsos SRD+stub

A continuación se analizará el agregado de un stub al acelerador de flancos basado en SRD descripto anteriormente. El SRD generará el flanco rápido, el stub generará el pulso en base a este flanco de entrada, determinando el ancho del pulso con su longitud. La amplitud del pulso estará dado por la amplitud de la señal cuadrada de entrada, y por la relación entre la impedancia de carga Z_L y la del generador Z_g .

Como fuese explicado en la sección 3.1, el escalón de tensión generado en el SRD tiene una magnitud dada por

$$\Delta V = V_l \cdot \frac{R_L}{R_L + R_s} \quad (3.12)$$

La amplitud del pulso A estará dada por el valor de este escalón en el instante en el que el pulso reflejado se recombinan, como puede observarse en la figura 3.3. Si asumimos que el escalón crece como un sistema de primer orden con constante de tiempo τ , el valor del escalón en función del tiempo es

Figura 3.4: Generador de pulsos basado en *stub*

$$V(t) = \Delta V \left(1 - e^{-\frac{t}{\tau}} \right) \quad (3.13)$$

Siendo el tiempo que tarda el pulso en reflejarse ida y vuelta $2T$ o T_d , la amplitud del pulso estará dada por

$$A_p = V(T_d) = V_l \cdot \frac{R_L}{R_L + R_s} \left(1 - e^{-\frac{T_d}{\tau}} \right) \quad (3.14)$$

Vemos que ΔV es el máximo valor que puede alcanzar el pulso, siendo la relación $\frac{T_d}{\tau}$ la que determina qué porcentaje de este valor tomará el pulso. Para $\tau \ll T_d$, será $e^{-\frac{T_d}{\tau}} \approx 1$, y por lo tanto $A_p \approx 0$. Este es el mismo resultado que intuitivamente se obtendría, que para señales con una variación temporal τ mucho menor al tiempo de propagación en el *stub* T_d , la señal será filtrada por el efecto de puesta a tierra.

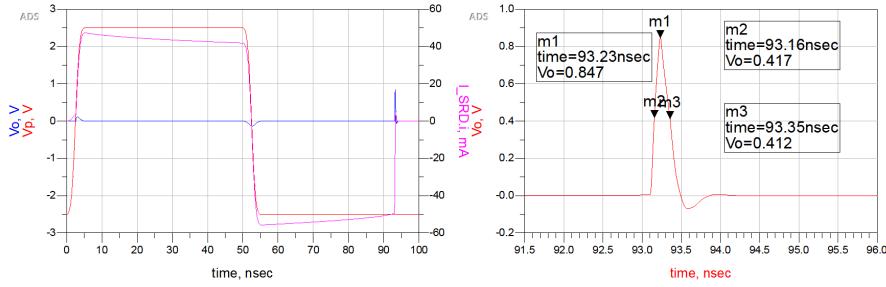
Para el caso de la señal de escalón generada por el SRD, es fácil obtener un tiempo de crecimiento del orden de los cientos de picosegundos, por lo que su amplitud resulta un porcentaje considerable de ΔV . Cuanto más rápido sea el flanco, mayor amplitud.

En la figura 3.4 podemos observar un esquemático del generador de pulsos basado en SRD y *stub*. La fuente es simétrica, con amplitudes de ± 2.5 V. La impedancia de fuente Z_g se encuentra perfectamente adaptada a la de carga Z_L , siendo ambas de 50Ω . La línea de transmisión es ideal, caracterizada únicamente por su impedancia característica, 50Ω en este caso, y su retardo de propagación, 60 ps en este caso.

En la figura 3.5 se observan los resultados de la simulación del esquemático de la figura 3.4. En la figura se observan las formas de onda de la señal de entrada V_p , la tensión de salida V_o y la corriente sobre el SRD I_{SRD} . Se observa que la tensión de salida V_o sigue a la de entrada V_p hasta aproximadamente 85 ns, donde el SRD pasa del estado de baja impedancia al de alta. En este instante, se forma un pulso por una combinación del salto de tensión en el SRD y el efecto de reflexión del stub cortocircuitado. Es interesante notar que los flancos positivos y negativos de la señal de entrada también resultan en pulsos a la salida, aunque de mucha menor amplitud. La forma de onda de la corriente es coincidente con lo mencionado anteriormente, siendo una versión escalada por la impedancia de la forma de onda de entrada V_p , hasta los 85 ns, donde cae abruptamente a 0 debido al cambio de impedancia en el SRD.

Es interesante notar que en este caso, los valores de la corriente están dados por $\frac{V_p}{R_s}$ y no $\frac{V_p}{R_s + R_L}$ como en la sección 3.1. Esto se debe a que el *stub* actúa como un cortocircuito sobre R_L , anulando su impedancia. Es importante notar que, entonces, R_s tiene la función de limitación de corriente durante la etapa de conducción del SRD. De ser 0 esta impedancia, la corriente sería infinita (en rigor, se vería limitada únicamente por la resistencia serie del SRD).

En la figura 3.5 también se observa un zoom sobre el pulso obtenido. Tiene una amplitud de 847 mV y una duración de 180 ps. Se observa que el pulso presenta un sobrepico negativo, una no

Figura 3.5: Resultado de simulación de generador con *stub*

idealidad no contemplada hasta ahora en el modelo presentado.

3.3. Generador de pulsos con *stub* y rectificador

Para compensar tanto las transmisiones de los flancos de la fuente de entrada y el sobrepico negativo observado, se agrega al generador un diodo rectificador en serie con la resistencia de carga R_L . Siendo la tensión de encendido del diodo mayor a la amplitud de los pulsos generados por las transiciones de la onda de entrada, estos no serán transmitidos a la carga R_L debido a la acción de rectificación. En cuanto al sobrepico, también será filtrado debido al bloqueo de corriente en sentido negativo.

Para un correcto funcionamiento del generador de pulsos, es fundamental que el rectificador sea lo suficientemente rápido como para transmitir el pulso ultracorto sin degradación. Por esta razón se utiliza un diodo Schottky.

El costo de este diodo es la perdida de amplitud en el pulso principal, dada por la magnitud de su tensión de encendido

Para esta función de rectificación, se utilizó un diodo Schottky MA4E2502H [19]. Este diodo con aplicaciones en rango de frecuencias de microondas posee una muy baja capacidad total, del orden de 0,1 pF, y capacidad e inductancia parásitas extremadamente bajas debido a su encapsulado. Esto permite trabajar en el ancho de banda necesario. Además, el encapsulado es de montaje superficial por lo que es fácilmente integrable. Su tensión de encendido es de 650 mV, por lo que la amplitud perdida se encontrará en ese orden.

En la figura 3.6 se observa un esquemático del generador de pulsos con el rectificador incluido. En la figura 3.7 se observa el resultado de la simulación. Para este caso, en la salida se encuentra únicamente el pulso principal, habiéndose bloqueado los pulsos generados por las transiciones de la señal de entrada.

En la figura 3.7 se observa el pulso simulado. Con respecto al de la simulación sin rectificador, figura 3.5, se observa una perdida en la amplitud pico de 400 mV, dada por la tensión de encendido del Schottky utilizado, y una anulación del sobrepico negativo.

3.4. Ancho de banda del pulso

Tanto para dimensionar correctamente los sistemas por los que el pulso será transmitido como para calcular diversas métricas de desempeño, es fundamental la figura de ancho de banda del pulso. Se obtendrá la misma en base a estimaciones teóricas y resultados extraídos de las simulaciones realizadas.

En un sistema de primer orden, pueden relacionarse el tiempo de crecimiento τ_r con el ancho de banda del sistema B mediante [20]

$$B = \frac{0,35}{\tau_r} \quad (3.15)$$

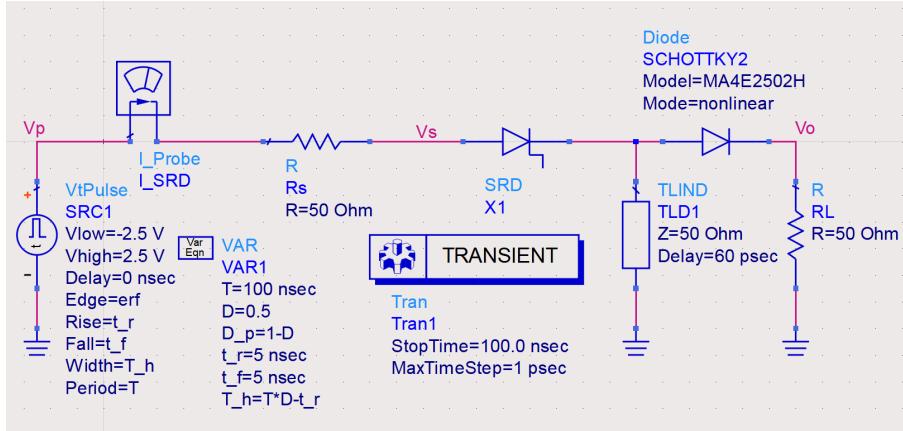


Figura 3.6: Pulser final incluyendo diodo Schottky

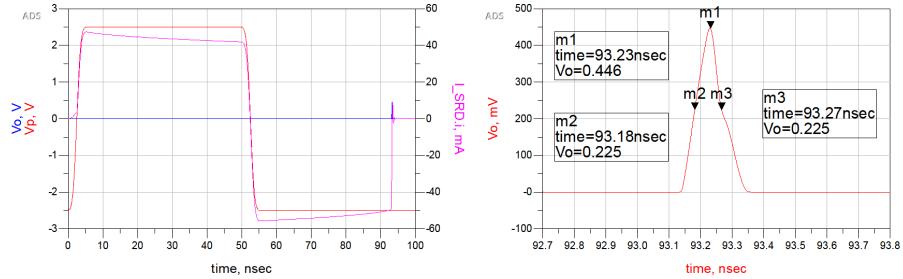


Figura 3.7: Resultado de simulación de generador con rectificador

Entonces, podemos encontrar el ancho de banda B necesario en un sistema para transmitir una señal con tiempo de crecimiento τ_r en base a esta relación.

Como puede observarse en el esquema de la figura 3.3, el pulso crecerá durante un tiempo T_d , con T_d el tiempo de ida y vuelta en el stub. Es decir, la señal crecerá durante T_d . Podemos tomar a este tiempo como el t_r de un sistema de primer orden. De esa manera, tenemos un ancho de banda B dado por

$$\begin{aligned} B &= \frac{0,35}{T_d} \\ B &= \frac{0,35}{120 \text{ ps}} \\ B &= 2,92 \text{ GHz} \end{aligned} \tag{3.16}$$

Para pulsos gaussianos, existe una relación entre su ancho temporal y el tiempo de crecimiento. Esta es [21]

$$B = \frac{0,44}{\tau_p} \tag{3.17}$$

Bajo esta definición, tenemos un ancho de banda

$$\begin{aligned} B &= \frac{0,44}{T_d} \\ B &= \frac{0,44}{120 \text{ ps}} \\ B &= 3,67 \text{ GHz} \end{aligned} \tag{3.18}$$

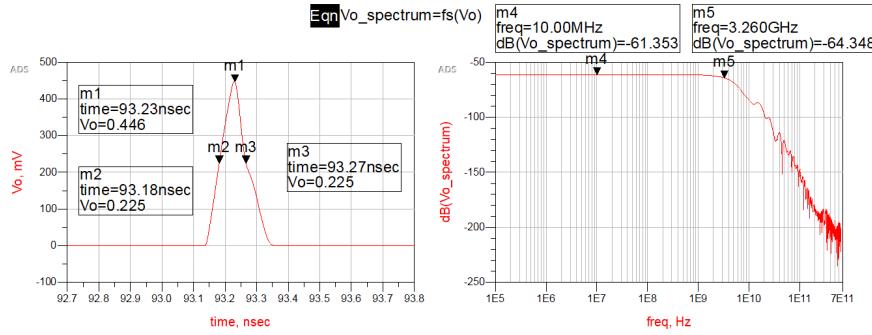


Figura 3.8: Espectro del pulso de la figura 3.7

Tenemos dos estimaciones de ancho de banda, 2,92 GHz y 3,67 GHz. Podemos comparar estas figuras con el ancho de banda del pulso de la simulación realizada. Para esto, calculamos el ancho de banda de 3 dB del pulso de la figura 3.7. En la figura 3.8 se observa el pulso junto a su espectro. De los marcadores, se observa un ancho de banda de 3 dB 3,26 GHz.

Dadas las dos estimaciones teóricas de ancho de banda y el resultado de la simulación, se tomará como estimación de ancho de banda del pulso 3,5 GHz.

3.5. Consumo del generador

El pulser final, que puede observarse en la captura del esquemático simulado en la figura 3.6, está compuesto por 3 componentes: la resistencia serie R_s , el diodo SRD y el diodo Schottky. Calcularemos el consumo de potencia de los 3.

Para un período de la señal cuadrada de entrada, podemos identificar 3 secciones

- La sección positiva, en la que la tensión de la señal de entrada es positiva, y la corriente la aproximaremos constante y positiva.
- La sección de conducción negativa, en la que la tensión de la señal de entrada se vuelve negativa, y la corriente es constante y también negativa.
- La sección de no conducción, en la que la señal de entrada es negativa y ya no circula corriente debido a la transición al estado de alta impedancia del SRD.

La corriente en el SRD y R_s durante un período de la señal cuadrada tendrá 3 valores: I_+ en el período positivo, I_- en el de conducción negativa y 0 en la sección de no conducción. Definiendo a D como el ciclo de trabajo de la señal de entrada y al ciclo complementario $D' = 1 - D$, la corriente RMS es

$$\begin{aligned} I_{RMS}^2 &= \frac{1}{T} \cdot \int_{t_0}^{t_0+T} i(t)^2 dt = \frac{1}{T} \cdot (D \cdot T \cdot I_+^2 + T_s \cdot I_-^2) \\ I_{RMS}^2 &= D \cdot I_+^2 + \frac{T_s}{T} \cdot I_-^2 \\ I_{RMS}^2 &< D \cdot I_+^2 + D' \cdot I_-^2 \end{aligned} \quad (3.19)$$

Podemos acotar a la corriente RMS con $D \cdot I_+^2 + D' \cdot I_-^2$. Despreciando la caída de tensión en el SRD, las expresiones de estas corrientes son

$$\begin{aligned} I_+ &= \frac{V_+}{R_s} \\ I_- &= \frac{V_-}{R_s} \end{aligned} \quad (3.20)$$

Tomando como tensión máxima 10 V, tenemos que la corriente máxima será $I_M = \frac{10\text{V}}{50\Omega} = 200\text{mA}$.

$$\begin{aligned} I_{RMS}^2 &< D \cdot \left(\frac{V_+}{R_s}\right)^2 + D' \cdot \left(\frac{V_-}{R_s}\right)^2 \\ I_{RMS}^2 &< D \cdot \left(\frac{10\text{V}}{50\Omega}\right)^2 + D' \cdot \left(\frac{10\text{V}}{50\Omega}\right)^2 \\ I_{RMS}^2 &< \left(\frac{10\text{V}}{50\Omega}\right)^2 \\ I_{RMS} &< 200\text{mA} \end{aligned} \quad (3.21)$$

En cuanto a la corriente de la rama de salida, esta está igual a

$$i_o(t) = \frac{v_o(t)}{R_L} \quad (3.22)$$

Podemos acotar el consumo tomando un pulso de peor caso de 3 V de amplitud y 0,5 ns de duración.

$$\begin{aligned} V_{RMS}^2 &< \frac{1}{T} \cdot \int_{t_0}^{t_0+T} v(t)^2 dt = \frac{1}{100\text{ns}} \cdot 0,5\text{ns} \cdot (3\text{V})^2 \\ V_{RMS} &< \frac{3\text{V}}{\sqrt{200}} \\ V_{RMS} &< 213\text{mV} \end{aligned} \quad (3.23)$$

En la impedancia de salida Z_o , esto resulta en una disipación de potencia

$$\begin{aligned} P_o &= \frac{V_{RMS}^2}{R_o} \\ P_o &= \frac{213\text{mV}^2}{50\Omega} \\ P_o &= 0,3\text{mW} \end{aligned} \quad (3.24)$$

Que representa una potencia prácticamente despreciable.

En el caso del diodo Schottky, asumiendo una tensión de encendido constante durante la duración del pulso y de un valor igual a 650 mV, tenemos

$$\begin{aligned} P_D &< \frac{1}{T} \cdot \int_{t_0}^{t_0+T} v(t) \cdot i(t) dt = \frac{1}{T} \cdot \int_{t_0}^{t_0+T} V_D \cdot \frac{v_o(t)}{R_o} dt \\ P_D &< \frac{1}{100\text{ns}} \cdot \left(0,5\text{ns} \cdot 650\text{mV} \cdot \frac{3\text{V}}{50\Omega}\right) \\ P_D &< 0,2\text{mW} \end{aligned} \quad (3.25)$$

La máxima potencia especificada por el fabricante es de 50 mW, por lo que nos encontramos muy por debajo del límite.

3.6. Diseño del *driver*

El pulser desarrollado permite generar pulsos ultracortos con un circuito extremadamente simple. Como fuese explicado anteriormente, la amplitud del pulso generado depende linealmente de la amplitud de la señal cuadrada de entrada, y el consumo de corriente del pulser también es lineal con la amplitud. Este consumo es considerable, ya que es todo el consumo de polarización del SRD. En cuanto a los niveles de tensión de la señal cuadrada, es necesario que sean positivo y negativo para poder polarizar en directa e inversa al SRD en los ciclos de la señal.

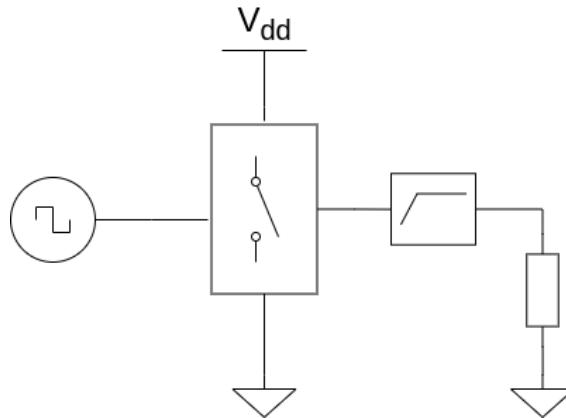


Figura 3.9: Diagrama en bloques del driver propuesto

Estos requerimientos de carga, amplitud y polaridad vuelven impracticable conectar directamente la salida digital de un sistema embebido a la entrada del pulser. Estas salidas suelen tener poca capacidad de carga, y niveles de tensión igual a 0 y 3,3 V o 5 V en el mejor de los casos.

Dado que uno de los objetivos del trabajo es un generador de pulsos que pueda ser directamente controlado por la salida digital de un sistema embebido, y dadas los requerimientos sobre la señal de entrada del pulser, es necesario desarrollar una etapa driver que permita con una señal unipolar y de baja capacidad de carga, controlar la generación de pulsos.

La función de esta etapa es, en base a un pulso digital de entrada de control y una fuente de alimentación continua, generar el pulso bipolar necesario para el funcionamiento del *pulser*. Tanto el período como ciclo de trabajo de este pulso bipolar serán iguales a los del pulso unipolar de entrada. Es necesario también que el *driver* presente una baja carga a la entrada.

En la figura 3.9 se observa un diagrama en bloques del driver propuesto. El mismo está compuesto por dos componentes principales que brindan dos funciones diferenciadas, la llave y el capacitor. A la entrada es excitado por la señal digital de control, y a la salida está cargado por una impedancia Z_L . La carga en este caso será el pulser, por lo tanto será una carga no lineal, ya que como se mostró en secciones anteriores, la corriente que consume tiene una abrupta caída a 0 en el instante que se genera el pulso.

La llave conmuta entre V_{dd} y tierra según la señal de control digital. De esta manera, la corriente que consume la carga es entregada por la fuente y no por la señal de control digital. A la salida de la llave se generará una señal cuadrada unipolar, pero a diferencia de la entrada, esta conmutará entre V_{dd} y tierra, mientras que a la entrada se conmuta entre V_{dig} y tierra, siendo V_{dig} la tensión de alimentación del sistema digital de control. De esta manera, la llave logra presentarle una carga baja y constante a la salida digital, y amplifica la conmutación a todo el rango disponible con la fuente de alimentación.

A la salida de la llave tenemos entonces una señal cuadrada unipolar, con amplitud pico a pico igual a V_{dd} , es decir, toda la amplitud disponible de la fuente de alimentación, y una capacidad de entrega de corriente considerable. Para convertir esta señal en una bipolar, se utiliza un filtro pasa altos, que elimina la componente continua de la señal unipolar, resultando en una bipolar.

En las próximas secciones se explica en detalle los requerimientos e implementación de cada uno de estos bloques.

3.6.1. Filtro pasa altos

El objetivo del filtro pasa altos es convertir el pulso unipolar en uno bipolar. Esta conversión se hará restándole al pulso unipolar su valor medio V_m . Estando el espectro de un pulso cuadrado de período T compuesto por una componente de continua con el valor medio V_m y múltiples harmónicos de T , cada uno con una amplitud que decrece con $\frac{1}{n}$ [22], podemos pensar esta operación

de resta de valor medio como un filtrado pasa altos. El ancho de banda de este filtro debe ser tal que filtre la componente de continua y no distorsione las componentes alternas, que se encuentran a partir de T .

Sabemos que un filtro pasa altos de primer orden con frecuencia de corte f_c tiene una característica de magnitud que presenta atenuación desde continua hasta aproximadamente f_c , y una fase que varía 90° desde $\frac{f_c}{10}$ hasta $f_c \cdot 10$. Entonces, para filtrar la componente continua de la unipolar y transmitir la bipolar sin distorsión, es necesario que la frecuencia de la cuadrada sea mayor a 10 veces f_c , es decir $T > 10 \cdot f_c$, o $f_c < \frac{T}{10}$.

Siendo la *PRF* objetivo de 10 MHz, el requerimiento sobre f_c es entonces $f_c < 1$ MHz.

Para implementar el filtro pasa altos propuesto, se optó por un filtro de primer orden RC. Para lograr la característica pasa altos, el capacitor debe estar en el camino de la señal, es decir, en serie. De esta manera, el filtro queda compuesto por un capacitor C serie y una impedancia Z dada por la impedancia de entrada del pulser, asumiendo una impedancia despreciable para la llave.

Para una estimación del rango de valores posibles para C asumimos un rango para Z de $Z \approx 50\Omega$. Esta es una aproximación razonable dado que el sistema trabaja en 50Ω , por lo que Z será una serie de impedancias cercanas a 50Ω en serie o paralelo, lo que resultará en una impedancia en ese mismo orden de valores. De esta manera,

$$\begin{aligned} f_c &< 1 \text{ MHz} \\ \frac{1}{2\pi \cdot |Z| \cdot C} &< 1 \text{ MHz} \\ C &> \frac{1}{2\pi \cdot |Z| \cdot 1 \text{ MHz}} \\ C &> \frac{1}{2\pi \cdot 50 \text{ MHz} \cdot 1 \text{ MHz}} \\ C &> 3,2 \text{ nF} \end{aligned} \tag{3.26}$$

La capacidad debe estar por arriba de $3,2 \text{ nF}$, valores fácilmente obtenibles en los tamaños de encapsulados objetivo.

Para un valor C de capacidad por encima de los $3,2 \text{ nF}$, la tensión sobre el capacitor tendrá una forma triangular, con una amplitud pico a pico inversamente proporcional al valor de capacidad. Para minimizar la amplitud de esta señal triangular, usaremos un valor muy por encima del límite de $3,2 \text{ nF}$, siendo el valor elegido de 100 nF .

En la siguiente sección, asumiendo un filtrado ideal, es decir, donde se filtra por completo el valor medio V_m y se transmiten los harmónicos sin distorsión, se desarrolla la expresión de los valores de la bipolar.

Cuadrada unipolar filtrada por pasa altos

El valor medio de la tensión V_m en una señal cuadrada con valores V_+ y V_- , con período T y ciclo de trabajo D está dado por

$$V_m = D \cdot V_+ + (1 - D) \cdot V_- \tag{3.27}$$

En nuestro caso, la señal unipolar a la salida de la llave tiene valores $V_+ = V_{dd}$ y $V_- = 0$, por lo que tiene un valor medio

$$V_m = D \cdot V_{dd} \tag{3.28}$$

La cuadrada desarrollada en la impedancia de carga Z_L será la cuadrada unipolar a la salida de la llave, menos su valor medio. Esta señal tendrá entonces valores V_+ y V_- dados por

$$\begin{aligned} V_+ &= V_{dd} - V_m = V_{dd} \cdot (1 - D) \\ V_- &= -V_m = -V_{dd} \cdot D \end{aligned} \tag{3.29}$$

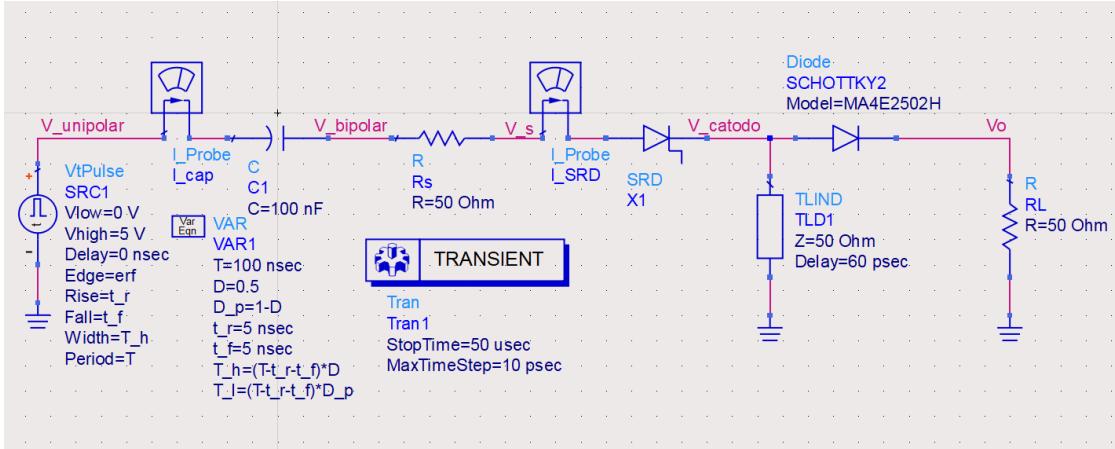


Figura 3.10: Esquemático simulado para filtro pasa altos con carga no lineal.

Estos son los valores de la señal cuadrada unipolar que excitará al pulser. Entonces, reconocemos que V_- es V_l en la ecuación 3.14.

$$A_p = V_{dd} \cdot D \cdot \frac{R_L}{R_L + R_s} \left(1 - e^{-\frac{2T}{\tau}} \right) \quad (3.30)$$

Vemos que tanto V_{dd} como D incrementan linealmente la amplitud del pulso a la salida. Aumentar V_{dd} tiene como límite la conducción de corriente máxima en los componentes del circuito, mientras que D tiene como límite superior el tiempo de descarga T_s , teniendo que ser $T*(1-D) > T_s$, es decir, el tiempo en el que la cuadrada bipolar tiene el valor V_l tiene que ser suficiente para la remoción de todas las cargas en el SRD.

Pasa altos con pulser

Simulamos el circuito pasa altos utilizando como carga al pulser. En la figura 3.10 puede observarse el esquemático simulado. A la entrada tenemos una fuente unipolar de 5 V de amplitud, con un ciclo de trabajo $D = 0,5$. En base a 3.29, esperamos en el nodo $V_{bipolar}$ una señal cuadrada simétrica con amplitudes de $\pm 2,5$ V. Siendo la constante de tiempo del circuito pasa altos $\tau \approx 100 \text{ nF} \cdot 50 \Omega = 5 \mu\text{s}$, el tiempo total de simulación es de $50 \mu\text{s}$ de manera tal de capturar 10 constantes y analizar el estado permanente del circuito.

En la figura 3.11 se observan los resultados de la simulación. Contrario a lo predecido por 3.29, los valores de $V_{bipolar}$ no son $\pm 2,5$ V, sino 3 V y $-1,9$ V. Esto es consistente con el valor en estado estacionario de la tensión en el capacitor, que es $-1,9$ V, y no $-2,5$ V.

En cuanto al nodo de salida V_o , vemos que no desarrolla los pulsos esperados, encontrándose constante en 0 V. Esto es consistente con la forma de onda bipolar generada: al presentar un nivel de tensión positivo de mayor magnitud al negativo, aplicándose ambos niveles durante el mismo tiempo (es decir $D = 0,5$), es esperado que la carga inyectada al SRD no sea removida, no pasando este al estado de alta impedancia y, por lo tanto, no se dé la generación de pulsos.

Esto se confirma observando la forma de onda de la corriente: es simétrica, con la misma corriente siendo inyectada en la porción positiva de la cuadrada bipolar que siendo removida en la porción negativa.

Desarrollaremos en detalle el comportamiento del filtro pasa altos con una carga no lineal para explicar la razón de este problema, y presentar una solución al mismo.

Carga lineal

Empezamos analizando el caso de una carga lineal, pero sin apelar a argumentos de función transferencia, ya que para el caso de una carga no lineal no son válidos. Basaremos el análisis en

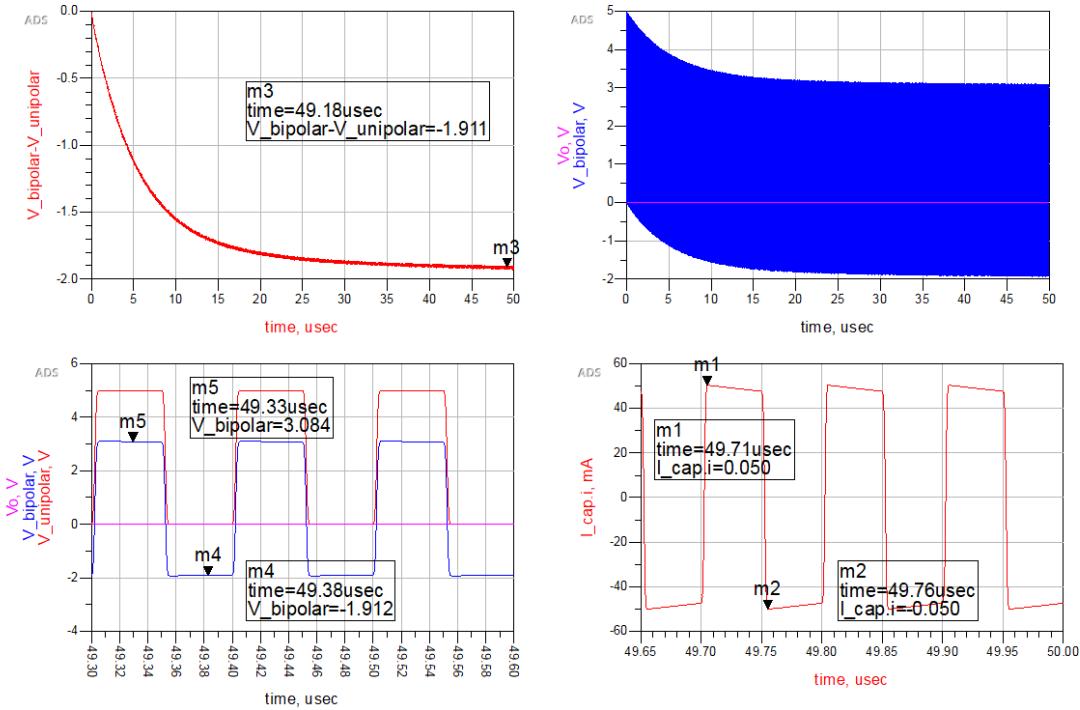


Figura 3.11: Resultados de simulación para filtro pasa altos con carga no lineal.

el balance ampere-segundo en el capacitor [23]. Este resultado establece que el valor medio de la corriente en un capacitor en estado estacionario es nulo.

$$\langle i(t) \rangle = \int_{t_0}^{t_0+T} i(t) dt = 0 \quad (3.31)$$

En caso de una carga Z_L lineal, la corriente y la tensión están linealmente relacionadas, conduciendo al resultado de la sección anterior en el que tanto la tensión como la corriente tienen un valor medio 0. En el caso de la carga no lineal, se mantiene la ecuación 3.31, es decir, el valor medio de la corriente en el capacitor será cero, pero no necesariamente el de la tensión será 0.

Asumiendo que en estado permanente el capacitor se carga a una tensión constante V_C , este valor será el que resulte de imponer el cumplimiento de la ecuación 3.31.

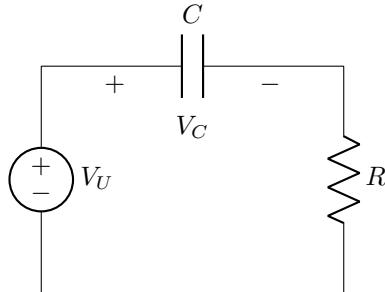


Figura 3.12: Circuito pasa altos con carga lineal

Para el caso de una carga lineal, tenemos un circuito como el de 3.12. Asumiendo que durante las porciones positivas y negativas de la tensión unipolar tenemos corrientes constantes I_+ e I_- ,

aplicando 3.31 llegamos a

$$\int_{t_0}^{t_0+T} i(t)dt = I_+ \cdot D - I_- \cdot D' = 0 \quad (3.32)$$

$$I_+ \cdot D = I_- \cdot D'$$

En este caso, las corrientes son

$$I_+ = \frac{V_U - V_C}{R} \quad (3.33)$$

$$I_- = \frac{V_C}{R}$$

Reemplazando en 3.39,

$$\frac{V_U - V_C}{R} \cdot D = \frac{V_C}{R} \cdot D' \quad (3.34)$$

$$V_U \cdot D = V_C \cdot (D' + D)$$

$$V_C = V_U \cdot D$$

Es el mismo resultado que en la sección anterior.

Carga no lineal

Ahora, supongamos una carga no lineal de las siguientes características: conduce durante todo el período positivo de la unipolar D , y una porción $\alpha \cdot D'$ de la porción negativa, con $\alpha \in [0, 1]$. En la figura 3.13 se muestra gráficamente la definición. Un $\alpha = 0$ corresponde a una carga que no conduce en la porción negativa, como un diodo usual, y una de $\alpha = 1$ corresponde a una carga lineal. En nuestro caso, es $\alpha = 2 \cdot \frac{T_s}{T}$, con T_s el tiempo de descarga del SRD, es decir, el tiempo que le toma a la corriente negativa extraer todas las cargas inyectadas en la porción positiva.

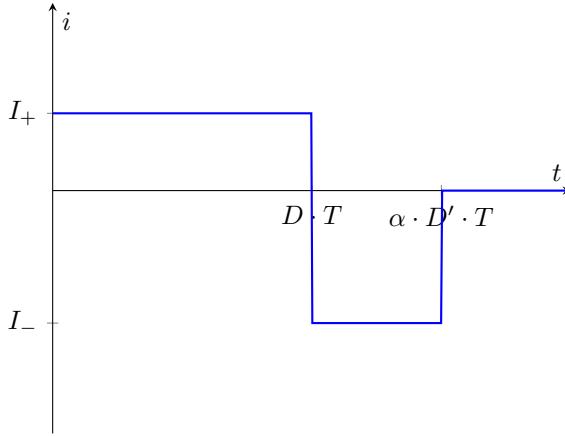


Figura 3.13: Definición del parámetro α

En este caso, el balance de corrientes es

$$\int_{t_0}^{t_0+T} i(t)dt = I_+ \cdot D - I_- \cdot \alpha \cdot D' = 0 \quad (3.35)$$

$$I_+ \cdot D = I_- \cdot \alpha \cdot D'$$

Las corrientes I_+ e I_- son las mismas que en 3.33. Entonces, llegamos a

$$\begin{aligned}\frac{V_U - V_C}{R} \cdot D &= \frac{V_C}{R} \cdot \alpha \cdot D' \\ V_U \cdot D &= V_C \cdot (\alpha \cdot D' + D) \\ V_C &= V_U \cdot \frac{D}{\alpha \cdot D' + D}\end{aligned}\tag{3.36}$$

Definiendo a $\alpha' = \alpha - 1$, tenemos

$$\begin{aligned}&\alpha \cdot D' + D \\ &(1 - \alpha') \cdot D' + D \\ &\cdot D' - \alpha' \cdot D' + D \\ &1 - \alpha' \cdot D'\end{aligned}\tag{3.37}$$

Llegamos a

$$V_C = V_U \cdot \frac{D}{1 - \alpha' \cdot D}\tag{3.38}$$

Vemos que para el caso de carga lineal $\alpha = 1$ ($\alpha' = 0$), la ecuación se convierte en la misma que 3.34 como es esperado.

El resultado obtenido es consistente con el resultado de la simulación del pasa altos con el pulser como carga. La ecuación 3.37 indica que a mayor α , es decir, menor conducción de corriente durante la porción negativa, menor es V_C , la tensión de estado permanente en el capacitor. Este resultado es contrario a las necesidades de operación del generador de pulsos, ya que este se basa en la transición al estado de alta impedancia del SRD, es decir, en un $\alpha < 1$. Esta condición resulta en un V_C menor, lo que incrementa I_+ y decremente I_- , imposibilitando la remoción de carga en el SRD.

En la siguiente sección, desarrollamos el efecto de un resistor lineal en paralelo con la carga no lineal. Se demostrará como este tiene el efecto de linearizar la operación, compensando el efecto de $\alpha < 1$, y posibilitando el funcionamiento del pulser.

Carga no lineal en paralelo con carga lineal

Tenemos un circuito como el de la figura 3.14. Nombramos R_s a la resistencia de la rama no lineal, ya que en el caso del pulser, cuando la rama conduce, su resistencia es igual a R_s . R_{sh} es una resistencia propuesta para mitigar el efecto mencionando anteriormente.

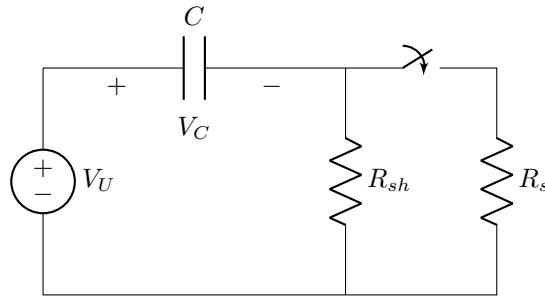


Figura 3.14: pasa altos con carga no lineal en paralelo con lineal

Planteando el balance de corrientes en el capacitor, tenemos

$$\begin{aligned}\int_{t_0}^{t_0+T} i(t) dt &= (I_{+L} + I_{+NL}) \cdot D - (I_{-L} \cdot D' + I_{-NL} \cdot \alpha \cdot D') = 0 \\ (I_{+L} + I_{+NL}) \cdot D &= (I_{-L} + I_{-NL} \cdot \alpha) \cdot D'\end{aligned}\tag{3.39}$$

Siendo ambas expresiones $I_{\pm-L}$ e $I_{\pm-NL}$ las de 3.33 evaluando $R = R_{sh}$ y $R = R_s$ respectivamente, llegamos a

$$\begin{aligned} \left(\frac{V_U - V_C}{R_{sh}} + \frac{V_U - V_C}{R_s} \right) \cdot D &= \left(\frac{V_C}{R_{sh}} + \frac{V_C}{R_s} \cdot \alpha \right) \cdot D' \\ (V_U - V_C) \cdot D \cdot \left(\frac{1}{R_{sh}} + \frac{1}{R_s} \right) &= V_C \cdot D' \left(\frac{1}{R_{sh}} + \frac{\alpha}{R_s} \right) \end{aligned} \quad (3.40)$$

Reconocemos la expresión de la resistencia en paralelo de R_{sh} y R_s , y la de R_{sh} y $\frac{R_s}{\alpha}$, siendo el efecto de α el de reducir la resistencia en la porción negativa en α .

$$\begin{aligned} \frac{V_U - V_C}{R_{sh}/R_s} \cdot D &= \frac{V_C}{R_{sh}/\frac{R_s}{\alpha}} \cdot D' \\ \frac{V_U}{R_{sh}/R_s} \cdot D &= V_C \left(\frac{D}{R_{sh}/R_s} + \frac{D'}{R_{sh}/R_s} \right) \end{aligned} \quad (3.41)$$

Definiendo a $\alpha' = \alpha - 1$ y desarrollando la expresión que acompaña a V_C ,

$$\begin{aligned} D \left(\frac{1}{R_s} + \frac{1}{R_{sh}} \right) + (1 - D) \left(\frac{1}{R_{sh}} + \frac{\alpha}{R_s} \right) \\ D \left(\frac{1}{R_s} + \frac{1}{R_{sh}} \right) + (1 - D) \left(\frac{1}{R_{sh}} + \frac{1}{R_s} \right) - (1 - D) \frac{\alpha'}{R_s} \\ \frac{1}{R_{sh}/R_s} - \frac{D' \cdot \alpha'}{R_s} \end{aligned} \quad (3.42)$$

Reemplazando en 3.41

$$\begin{aligned} \frac{V_U}{R_{sh}/R_s} \cdot D &= V_C \left(\frac{1}{R_{sh}/R_s} - \frac{D' \cdot \alpha'}{R_s} \right) \\ V_U \cdot D &= V_C \left(1 - \frac{R_{sh}/R_s}{R_s} \cdot D' \cdot \alpha' \right) \end{aligned} \quad (3.43)$$

Reconocemos a $\frac{R_{sh}/R_s}{R_s} = \frac{R_{sh}}{R_{sh} + R_s}$ como la expresión de un divisor resistivo entre R_{sh} y R_s . Llamaremos a esta expresión γ , y notamos que cuando $R_{sh} \gg R_s$ es $\gamma \rightarrow 1$, y cuando $R_{sh} \ll R_s$ es $\gamma \rightarrow 0$.

Entonces, llegamos a

$$\begin{aligned} V_U \cdot D &= V_C (1 - \gamma \cdot D' \cdot \alpha') \\ V_C &= V_U \cdot \frac{D}{(1 - \gamma \cdot D' \cdot \alpha')} \end{aligned} \quad (3.44)$$

Notamos los siguientes casos extremos de γ :

- $\gamma \rightarrow 1$: este caso se corresponde a $R_{sh} \rightarrow \infty$, es decir, $R_{sh} \gg R_s$. En este caso, la expresión es idéntica a 3.38. Esto es esperado, ya que en este caso la corriente que consume R_{sh} es despreciable, por lo que es un caso equivalente al que no hay R_{sh}
- $\gamma \rightarrow 0$: en este caso, $R_{sh} \rightarrow 0$, es decir, $R_{sh} \ll R_s$. En este caso, la expresión 3.44 se convierte en 3.34. Esto es esperado, ya que en este caso, la corriente de la carga no lineal es despreciable frente a la corriente de la carga lineal R_{sh} .

Notamos del último punto, que en presencia de una carga no lineal, agregar una carga lineal en paralelo R_{sh} , logra el efecto de *linearizar* la forma de onda, en el sentido de volver sus extremos más similares a los de un caso de carga lineal. En base a este principio, es que agregamos un resistor no lineal en paralelo al pulser para lograr su correcto funcionamiento.

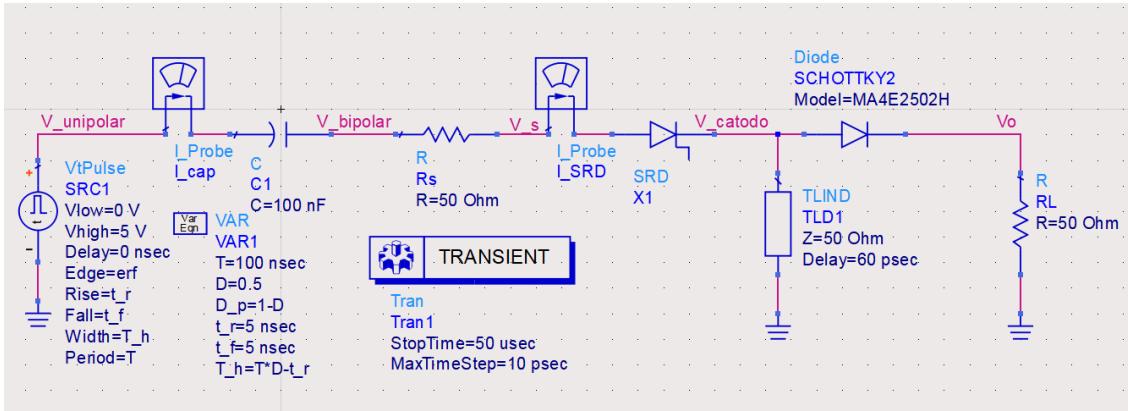


Figura 3.15: Circuito pasa altos con carga no lineal y lineal en paralelo simulado

Realizamos una simulación de la mejora propuesta. En la figura 3.15 se observa el esquemático simulado. Es la misma configuración que en 3.12, pero ahora se agrega un resistor en paralelo con el pulsar.

En la figura 3.16 se observan los resultados de la simulación. En este caso, a la salida se observa la generación de pulsos. Analizando la corriente sobre el SRD, vemos que en este caso la corriente negativa es de mayor módulo que la positiva, observándose la transición a alta impedancia del SRD con su característica abrupta caída a 0 de la corriente. Para la corriente en el capacitor, vemos que ahora es la suma de la corriente en el resistor lineal y la corriente en el SRD.

En cuanto a la tensión cargada en el capacitor, vemos que ahora es $-2,52$ V, mayor que los $-1,9$ V de la simulación sin carga lineal en paralelo. Este incremento de la tensión de carga es consistente con la ecuación 3.44. Evaluando la ecuación, tenemos en este caso

$$D = 0,5$$

$$\begin{aligned} \gamma &= \frac{R_{sh}}{R_{sh} + R_s} = 0,5 \\ \alpha &= \frac{0,4}{0,5} = 0,9 \end{aligned} \quad (3.45)$$

Donde tomamos α leyendo el eje x de 3.16. Para estos valores, 3.44 predice un valor de

$$\begin{aligned} V_C &= V_U \cdot \frac{D}{(1 - \gamma \cdot D' \cdot \alpha')} \\ V_C &= 5 \text{ V} \cdot \frac{0,5}{(1 - 0,5 \cdot (1 - 0,5) \cdot (1 - 0,9))} \\ V_C &= 2,56 \text{ V} \end{aligned} \quad (3.46)$$

La ecuación es consistente con el resultado de la simulación. En este caso, los valores de la señal bipolar son $\pm 2,5$ V, habiendo logrado bajar los niveles con respecto al resultado de la figura 3.11.

El agregado del resistor lineal en paralelo logró el efecto deseado, aumentando la tensión en el capacitor serie, logrando una señal bipolar que logra cargar y descargar al SRD permitiendo la generación de pulsos.

Para terminar de demostrar su funcionamiento, repetimos la simulación del esquemático de la figura 3.15, ahora con un ciclo de trabajo $D = 0,8$. En la figura 3.17 se observa el resultado. Ahora se logra el efecto descripto anteriormente, mediante el incremento del ciclo de trabajo D decrece la tensión V_+ y aumenta V_- , resultando en una mayor amplitud de pulso. Vemos que esta es 0,85 V, mientras que en 3.16 se obtuvieron 0,45 V.

En cuanto a la tensión en el capacitor, aplicando la ecuación 3.44, tenemos

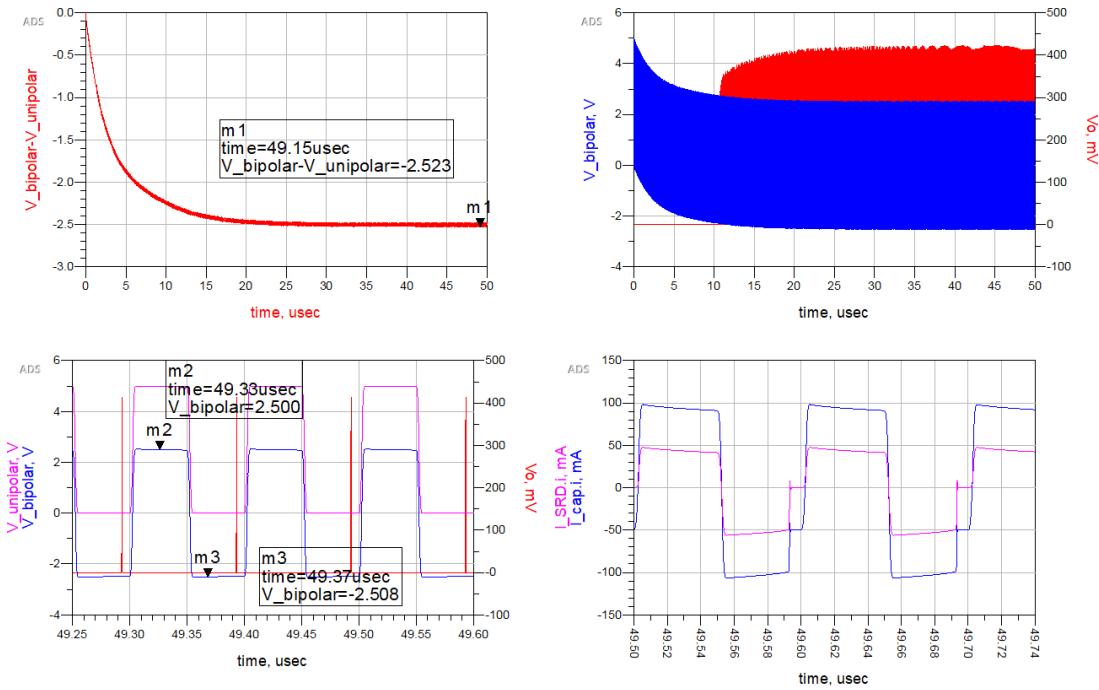
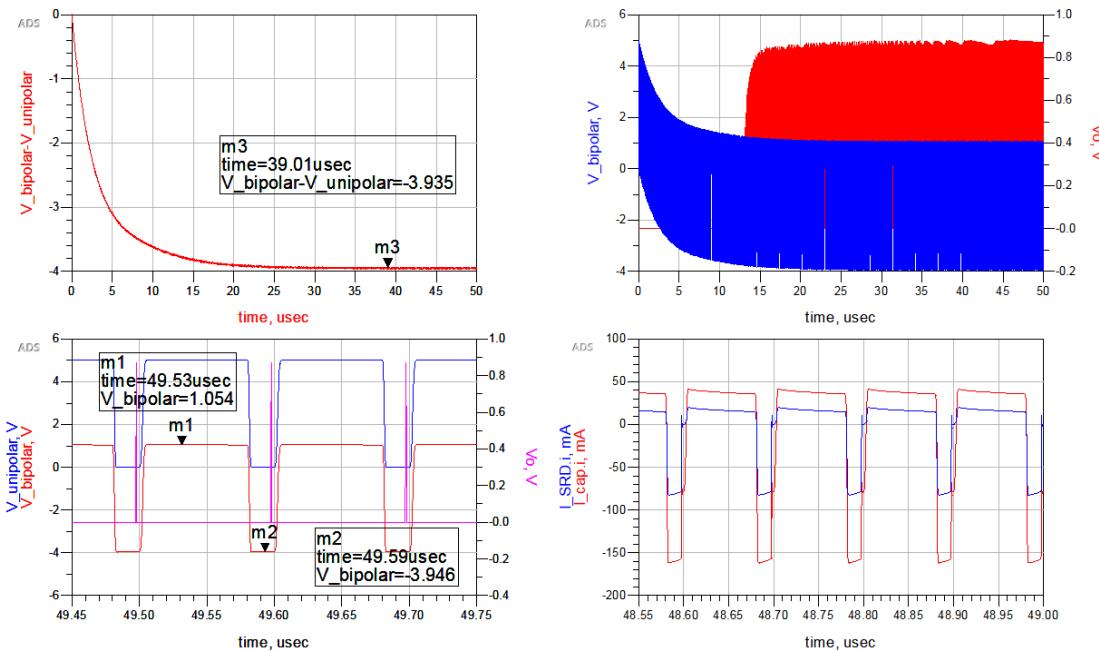


Figura 3.16: Resultado de simulación de pasa altos con carga no lineal y lineal en paralelo.

Figura 3.17: Resultado de simulación de pasa altos con carga no lineal y lineal en paralelo, $D = 0.8$.

Variable	Requerimiento
V_{in}	CMOS @ $V_{DD} = 3,3\text{ V}$ ($V_{OH} 2,4\text{ V}$)
f_{in}	Typ 10 MHz
τ_r / τ_f	Max 10 ns
V_{dd}	5 V - 8 V
I_{out}	Max 200 mA

Tabla 3.1: Requerimientos de la llave para el driver.

$$\begin{aligned}
 V_C &= V_U \cdot \frac{D}{(1 - \gamma \cdot D' \cdot \alpha')} \\
 V_C &= 5\text{ V} \cdot \frac{0,8}{(1 - 0,5 \cdot (1 - 0,8) \cdot (1 - 0,9))} \\
 V_C &= 4\text{ V}
 \end{aligned} \tag{3.47}$$

La ecuación se encuentra consistente con el resultado obtenido en la simulación.

3.6.2. Implementación de la llave

Cómo fuese explicado anteriormente, el bloque de llave en el diagrama de la figura 3.9 cumple la función de commutar entre 0 y V_{dd} según la señal de control de entrada. En esta sección se discute la implementación de este bloque, empezando por un análisis de los requerimientos del mismo y siguiendo con la realización de un circuito que los cumpla.

Requisitos

En la tabla 3.1 se describen los requerimientos que debe cumplir la llave

El requerimiento de tensión de entrada es debido al sistema objetivo de integración del prototipo, en el que los sistemas digitales de control trabajan con un V_{DD} de 3,3 V. Además, este nivel de tensión es versátil en cuanto a que permite trabajar con otro tipo de salidas, como CMOS 5 V.

La frecuencia de entrada se debe a la PRF objetivo de 10 MHz. El requerimiento de tiempo de crecimiento y caída τ_r / τ_f es impuesto para que no sean mucho mayores a $\frac{10}{f_{in}}$. Esto garantiza que la forma de tensión no se diferencie demasiado de la forma de onda ideal con la que se diseñó el sistema. Es probable que formas de onda con mayores relaciones entre tiempo de crecimiento y período funcionen para generación de pulsos, pero para este primer prototipo se optó por una forma de onda lo más ideal posible.

En rigor, también existe un requisito de tiempo mínimo de crecimiento/caída. Esto se debe a la presencia del stub. Como fuese explicado en 3.2, el stub genera pulsos para cualquier tipo de transición, con una amplitud de pulso proporcional a la velocidad de crecimiento de la señal. Si los tiempos de crecimiento/caída de la llave fueran tales que el pulso generado por el stub tenga una amplitud mayor a la tensión de encendido del diodo Scottky, se transmitirían pulsos indeseados en la salida. Es por esto que existe un límite inferior para el tiempo de crecimiento/caída de la llave. De todas formas, no se impondrá este requerimiento sobre la llave, ya que en el circuito se dejará disponible un lugar para el soldado de un capacitor C paralelo a la salida de la llave. Esto permite volver más lento el tiempo de crecimiento en caso de que este sea demasiado rápido.

El requerimiento de V_{dd} se debe al rango de tensiones de alimentación de interés del sistema. Estas son fácilmente obtenibles en las plataformas a las que se apunta integrar el prototipo.

El requisito de consumo es en base al número de consumo del pulser obtenido en la sección 3.5.

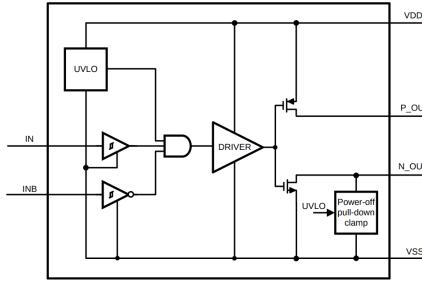


Figura 3.18: Diagrama en bloques del LM5114. Tomado de [24]

Llave utilizada

En base a todos estos requerimientos, se optó por un circuito integrado comercial *gate driver*. Estos dispositivos son utilizados para conmutar la compuerta de un transistor CMOS de potencia en base a una señal digital de baja capacidad de carga. Debido a la similitud entre este caso de uso y el de este trabajo, fue fácil encontrar un dispositivo que cumpla con los requisitos de la tabla 3.1.

El integrado seleccionado fue el LM5114 [24]. En la figura 3.18 puede observarse un diagrama en bloques del mismo, tomado de [24]. El dispositivo posee dos salidas, una para el transistor *P* y otra para el *N*. Esto permite, mediante resistencias externas, igualar los tiempos de crecimiento de cada transición. En nuestra aplicación, esto no es de interés, por lo que ambas salidas estarán cortocircuitadas.

El integrado presenta dos versiones, *A* y *B*, la primera teniendo niveles de tensión de entrada CMOS y la segunda TTL. Se optó por la versión *B*, ya que los niveles de tensión CMOS dependen de la tensión de alimentación V_{dd} , mientras que la TTL tiene niveles de tensión independientes de V_{dd} y compatibles con los especificados en 3.1. En cuanto al encapsulado, se optó por la versión en WSON debido a su disponibilidad en stock.

En cuanto a rango de V_{dd} , la hoja de datos lo especifica en 4 V - 10 V, excediendo el requerimiento de 3.1. No se especifica una corriente continua máxima de operación, pero se puede obtener esta medida a partir de la especificación de máxima temperatura de juntura T_{jM} y resistencia térmica θ_{jA} . Estas están especificadas en

$$\begin{aligned} T_{jM} &= 125 \text{ }^{\circ}\text{C} \\ \theta_{jA} &= 51,2 \frac{\text{ }^{\circ}\text{C}}{\text{W}} \end{aligned} \quad (3.48)$$

La relación entre potencia disipada P en el integrado, temperatura de juntura T_j , temperatura ambiente T_A y resistencia térmica θ_{jA} es

$$T_j = T_A + P \cdot \theta_{jA} \quad (3.49)$$

Dada la máxima temperatura de juntura T_{jM} , la máxima potencia P_M es

$$P_M = \frac{T_{jM} - T_A}{\theta_{jA}} \quad (3.50)$$

Aproximando el consumo de potencia en el integrado con la corriente de salida multiplicada por la impedancia de salida, es decir, despreciando todas las otras fuentes de disipación, tenemos

$$\begin{aligned} P_M &= I_{RMS_{max}}^2 \cdot R_o = \frac{T_{jM} - T_A}{\theta_{jA}} \\ I_{RMS_{max}} &= \sqrt{\frac{T_{jM} - T_A}{\theta_{jA}}} \cdot \frac{1}{R_o} \end{aligned} \quad (3.51)$$

La hoja de datos especifica distintos rangos de R_o para la salida N y la P . Utilizaremos la peor que es $4,78\Omega$. Para θ_{JA} , dado que el valor depende no solo del integrado sino también del PCB, tomaremos un peor caso aumentando en un 50 % el especificado por el fabricante. Entonces tenemos

$$\begin{aligned} I_{RMS_{max}} &= \sqrt{\frac{125^\circ\text{C} - 25^\circ\text{C}}{51,2 \frac{\text{°C}}{\text{W}} \cdot 1,5}} \cdot \frac{1}{4,78\Omega} \\ I_{RMS_{max}} &= 240 \text{ mA} \end{aligned} \quad (3.52)$$

Vemos que el requisito de la tabla 3.1 se cumple. Cabe destacar que esta corriente I_M fue obtenida asumiendo peores casos, en caso de requeriría una corriente superior, probablemente el integrado pueda proveerla. Incluso en caso de exceder la corriente la temperatura máxima de juntura, se puede colocar un disipador.

En cuanto a tiempo de caída/crecimiento τ_r / τ_f , el fabricante especifica una dependencia del mismo en función de la capacidad de carga C_L , con mayores tiempos a mayor carga. Para la carga mínima especificada, 1000 pF, el tiempo de crecimiento es de 8 ns y el de caída de 3,2 ns. Ambos se encuentran por debajo de los máximos 10 ns especificados en 3.1.

De todas maneras, analizando la capacidad de carga que tiene el integrado, esta es mucho menor a 1000 pF. Como fuese explicado anteriormente, la impedancia que presenta el pulser es igual a la resistencia R_s durante el período de conducción positivo, y R_s/α durante el período negativo. La carga del gate driver está compuesta por el pulser en serie con el capacitor de filtrado pasa altos. Este capacitor es de 100 nF, y en las frecuencias de trabajo de la señal cuadrada, presenta una impedancia

$$\begin{aligned} |Z_C| &< \frac{1}{2\pi \cdot PRF \cdot C} \\ |Z_C| &< \frac{1}{j2\pi \cdot 10 \text{ MHz} \cdot 100 \text{ nF}} \\ |Z_C| &< 15 \text{ m}\Omega \end{aligned} \quad (3.53)$$

La impedancia del capacitor es menor en todo el rango ya que el contenido espectral de la señal cuadrada se encuentra por arriba de la frecuencia fundamental PRF . Entonces, la impedancia de carga del gate driver es $Z_L \approx 50\Omega + j \cdot 15 \text{ m}\Omega \approx 50\Omega$, es decir una carga resistiva pura, debido a lo despreciable de la impedancia del capacitor serie con la resistencia de limitación de corriente R_s . En este análisis no se tuvieron en cuenta las capacidades a tierra parásitas tanto de los encapsulados como del PCB, por lo que serán estas las que determinen la capacidad de carga real.

Se encuentra especificada una asimetría importante entre τ_r y τ_f , siendo el último aproximadamente un 25 % del primero. Esta asimetría es un sentido beneficioso para el circuito, ya que el tiempo de transición crítico es el de caída. Este tiempo tiene que ser lo suficientemente rápido para que cuando el SRD transiciones al estado de alta impedancia, la forma de onda de entrada ya haya llegado a su mínimo valor. Caso contrario, el pulso tendrá menor amplitud. Esto es claro de la ecuación 3.14, donde se establece que la amplitud del pulso es directamente proporcional a la tensión en el ánodo del SRD.

El dispositivo no presenta una especificación de frecuencia de trabajo, pero contiene especificaciones de tiempo de propagación y tiempos de caída/crecimiento, que imponen una restricción sobre la máxima frecuencia de operación. En la figura 3.19 se observan las definiciones de tiempo de propagación y caída/crecimiento. De la definición, el tiempo desde que la señal de entrada llega a un 50 % hasta que la salida comuta es aproximadamente $t_{D-on} + t_r$ para el caso de una transición 0 → 1, y para la transición 1 → 0 será $t_{D-off} + t_f$.

Referenciando estos al inicio de la transición de la señal de entrada, tenemos que son $t_{ri} + t_{D-on} + t_{ro}$ y $t_{fi} + t_{D-off} + t_{fo}$, donde definimos a t_{ri} y t_{fi} y t_{ro} y t_{fo} como los tiempos de transición 10 % – 90 % de las señales de entrada y salida respectivamente. Estas expresiones son cotas superiores, ya que los tiempos de crecimiento son del 10 % al 90 %, mientras que el tiempo anterior estaba reverenciado desde el 50 % de la señal de entrada.

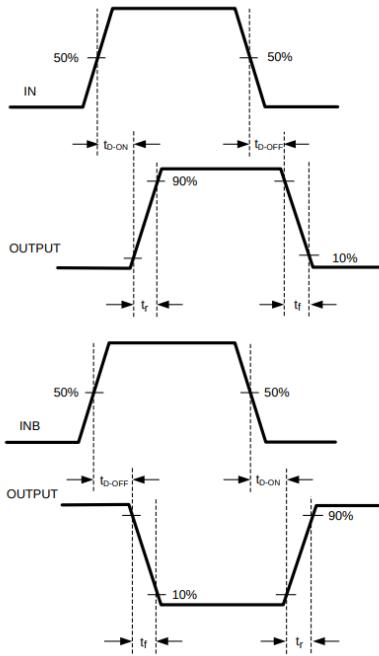


Figura 3.19: Definición de tiempos de transición y propagación, tomado de [24]

Entonces, vemos que el período mínimo será $T_{min} = t_{ri} + t_{D-on} + t_{ro} + t_{fi} + t_{D-off} + t_{fo}$. De la hoja de datos, tenemos los siguientes peores (máximos) tiempos especificados para operación a $T_j = 25^\circ\text{C}$

- $t_{D-on} = 27 \text{ ns}$
- $t_r @ 1000 \text{ pF} = 12 \text{ ns}$
- $t_{D-off} = 27 \text{ ns}$
- $t_f @ 1000 \text{ pF} = 3 \text{ ns}$

Asumiendo para un peor caso, tiempos de transición de entrada de 10 ns, tenemos un período mínimo de

$$\begin{aligned} T_{min} &= t_{ri} + t_{D-on} + t_{ro} + t_{fi} + t_{D-off} + t_{fo} \\ T_{min} &= 10 \text{ ns} + 27 \text{ ns} + 12 \text{ ns} + 10 \text{ ns} + 27 \text{ ns} + 3 \text{ ns} \\ T_{min} &= 89 \text{ ns} \end{aligned} \quad (3.54)$$

El período mínimo se encuentra por debajo del período de 100 ns correspondiente a los 10 MHz especificados en la tabla 3.1, por lo que se cumple el requerimiento de f_{in} .

Simulación

El fabricante provee un modelo de SPICE del gate driver [25]. Con este se realizó una simulación para confirmar el correcto funcionamiento. En la figura 3.20 puede observarse el esquemático simulado. El mismo consiste en el pulser, el capacitor de filtrado pasa altos, y el LM5114 junto a una fuente cuadrada unipolar de 3,3 V. Esta simula la señal de control del sistema embebido de bajo costo.

La simulación se realiza bajo dos condiciones de ciclo de trabajo para la señal de entrada: 50 %, con el resultado en la figura 3.21 y 70 %, resultado en la figura 3.22. En ambos casos se

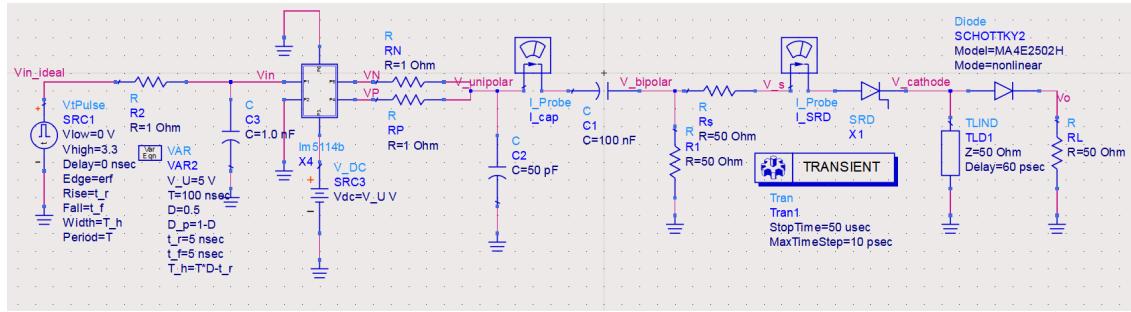
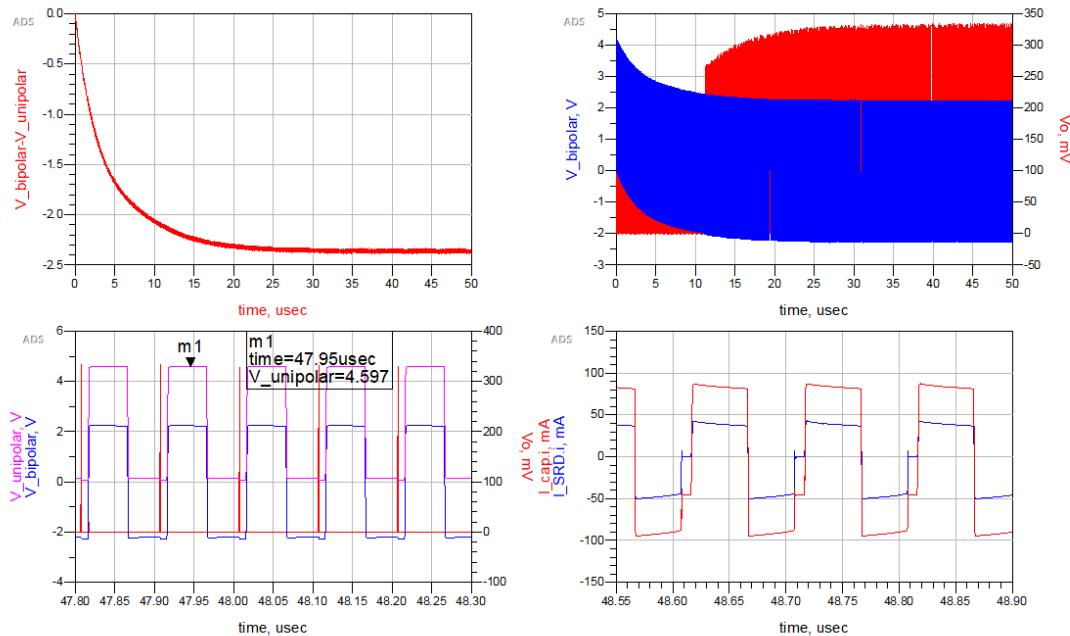


Figura 3.20: Esquemático de simulación con modelo de LM5114.

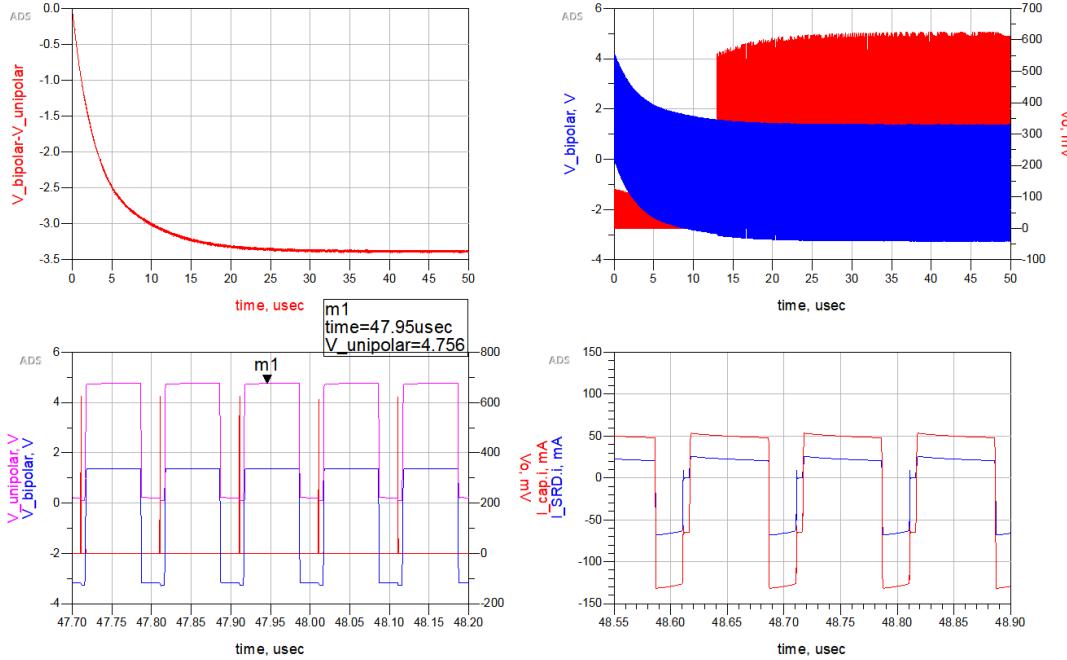
Figura 3.21: Resultado de simulación con modelo de LM5114, $D = 0,5$.

observa la transición del SRD al estado de alta impedancia y la consecuente generación de pulsos. Se observa que en este caso la señal cuadrada unipolar no tiene la amplitud completa de la fuente de alimentación, 5 V, sino aproximadamente 4,5 V, debido a las perdidas en el LM5114. Se observa que el efecto de aumentar el ciclo de trabajo de 50 % a 70 % logra un aumento en la amplitud del pulso de casi un 100 % como en la sección anterior.

3.7. Implementación en PCB

En cuanto a la implementación física de los circuitos del driver y el pulser, se diseñaron placas distintas para cada uno. Se tomó esta decisión para darle más versatilidad al trabajo. De esta manera, el pulser puede utilizarse con otro eventual driver, el driver puede ser evaluado por separado antes de una medición final, y en caso de falla de diseño en alguno de los dos circuitos, la falla se mantiene contenida al modulo defectuoso y no a la totalidad del sistema.

Se optó por realizar las placas con el fabricante OSHPark. Se utilizó el servicio de 4 capas y material FR408HR de Isola [26]. En ambos circuitos, el pulser y el driver, solo eran necesarias 2 capas, una de señal y una de tierra. Se eligió el proceso de 4 capas en lugar de 2 dado que este

Figura 3.22: Resultado de simulación con modelo de LM5114, $D = 0,7$.

último presentaba un grosor de dieléctrico mayor, y dado el tamaño de las placas la diferencia en costo era despreciable.

En cuanto al material del sustrato, FR408HR de Isola, a diferencia del FR4 más económico presenta buena estabilidad en frecuencia para su constante dieléctrica y bajas perdidas, por lo que es apropiado para trabajar en el ancho de banda necesario. La constante dieléctrica presenta una variación menor al 2 % en el rango 100 MHz a 10 GHz, y una tangente de pérdidas con mayor variación pero menor a 0,01 hasta 10 GHz [26].

En la tabla 3.2 se muestra el apilamiento de las capas del proceso de fabricación, con sus dimensiones y materiales. El proceso consta de 4 capas conductoras, todas compuestas por cobre. Entre ambos pares de conductores se encuentra el *prepeg* de constante dieléctrica estable en frecuencia. Entre los dos pares se encuentra el núcleo FR4. Por sobre las capas de cobre superior e inferior se encuentran capas de serigrafía y máscaras de soldadura, que a los efectos de cálculos de impedancia tienen un rol despreciable.

3.7.1. Selección de componentes pasivos

Los componentes pasivos que se encuentran en el camino de la señal tienen que ser seleccionados cuidadosamente para evitar distorsiones indeseadas. Estos incluyen todos los que se encuentran entre la salida del LM5114 y el nodo de salida. Refiriéndonos a la figura 3.20, estos serían R_1 , R_s , C_1 y C_2 .

Dado el ancho de banda del sistema, los componentes pasivos a utilizar deben tener parásitos despreciables para las frecuencias de interés. Para esto, se seleccionaron componentes SMD. En cuanto al encapsulado seleccionado, se analizó el desempeño de cada uno en base a reportes de la literatura [27].

Cuanto más pequeño el encapsulado, menores parásitos y mayor ancho de banda. En contraparte, menores dimensiones implican mayor dificultad para la fabricación y menor capacidad de disipación de potencia. Elegir el encapsulado entonces consistió en encontrar el balance adecuado entre estos aspectos.

Capa	C/D ^a	Grosor [mil]	ϵ_r ^b
Serigrafía	D	1 ±0.2	
Máscara de soldadura	D	1 ±0.2	
Cobre 1 oz	C	1.7	
<i>Prepreg</i> FR408HR 2113	D	7.96 ±0.796	3.61@1 GHz
Cobre 0.5 oz	C	0.68	
Núcleo FR408HR	D	39 ±3.9	
Cobre 0.5	C	0.68	
<i>Prepreg</i> FR408HR 2113	D	7.96 ±0.796	3.61@1 GHz
Cobre 1 oz	C	1.7	
Máscara de soldadura	D	1 ±0.2	
Serigrafía	D	1 ±0.2	

^a Conductor/Dieléctrico.

^b Permisividad relativa.

Tabla 3.2: Apilamiento de capas del proceso de fabricación de OSH Park

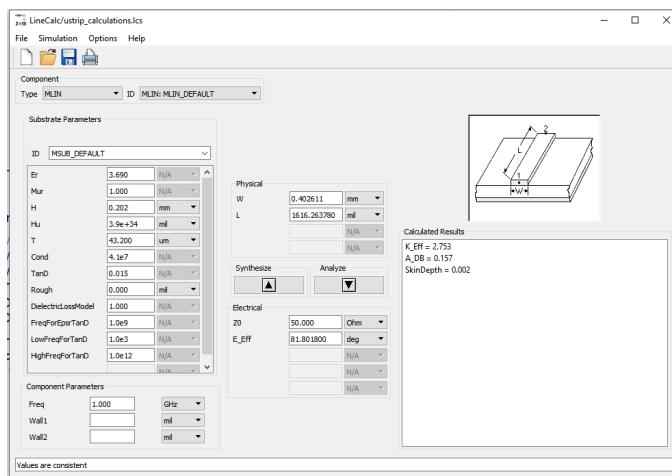


Figura 3.23: Calculo de línea de transmisión para obtener 50Ω .

Se optó por usar componentes 0603. Estos tienen una buena respuesta en frecuencia en el ancho de banda de trabajo, y su tamaño permite una fabricación manual de las placas. En cuanto a disipación de potencia, componentes en este encapsulado con disipaciones máximas de 0,5 W se encuentran ampliamente disponibles y a un bajo precio.

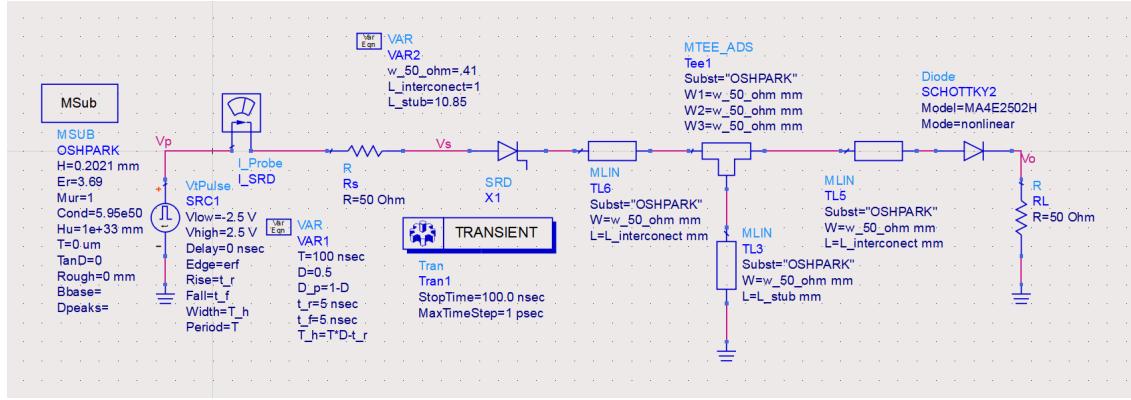
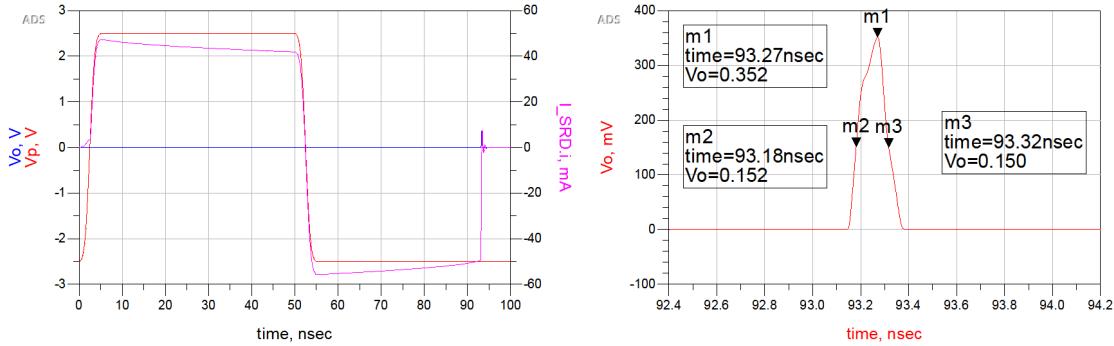
3.7.2. Layout del pulser

Diseño del *stub*

Para el pulser, se utilizó la capa superior de cobre como plano de señal y la capa de cobre inferior a esta como tierra. De esta manera, se forma un linea de transmisión microtira [18], siendo el material dieléctrico el *prepreg* de permisividad relativa estable en frecuencia y una altura de $H = 7.96$ mil = 0,0202 mm.

Dado el H de la línea de transmisión, se calculó el w necesario para obtener una impedancia característica de 50Ω . Para esto, se utilizó el programa *LineCalc* disponible dentro de *ADS*. Este programa permite cargar una configuración de línea de transmisión, y en base al alto del dieléctrico H y una impedancia característica deseada Z_o , obtener el ancho w necesario. En la figura 3.23 se observan los parámetros configurados. Esto resultó en un ancho de pista de 0,4 mm.

Con la línea de transmisión a utilizar en el pulser determinada como una microtira de los

Figura 3.24: Esquemático de simulación con *stub* realFigura 3.25: Resultado de simulación con *stub* real

parámetros dados por el proceso de fabricación de la tabla 3.2, se obtuvo su κ_{eff} con el programa *LineCalc*. En la figura 3.23 se observa que este es de 2,753.

Reemplazando estos datos en la ecuación 3.10 podemos obtener el largo necesario para obtener un retardo de 60 ps.

$$\begin{aligned} L &= \frac{T_p}{2} \cdot \frac{c_0}{\sqrt{\kappa_{eff}}} \\ L &= \frac{120 \text{ ps}}{2} \cdot \frac{3 \times 10^8 \text{ m s}^{-1}}{\sqrt{2,753}} \\ L &= 10.85 \text{ mm} \end{aligned} \quad (3.55)$$

Con los parámetros de la línea obtenidos, se realiza una simulación del generador, reemplazando la línea ideal por una real. En la figura 3.24 se observa el esquemático simulado. En la figura 3.25 puede observarse el resultado. El pulso obtenido tiene una amplitud de 352 mV y una duración de 140 ps.

Layout

Una vez diseñada la línea de transmisión y simulada en *ADS*, se exportó el layout obtenido en formato *Gerber*. Este fue importado en el software de código abierto *KiCad* donde se realizaron ajustes finales. En la figura 3.26a puede observarse el resultado.

En todo el plano se agregaron vías, con una separación de 0,5 mm. Estas mejoran la puesta a tierra de todo el plano, reduciendo la impedancia del mismo. También se agregaron agujeros de

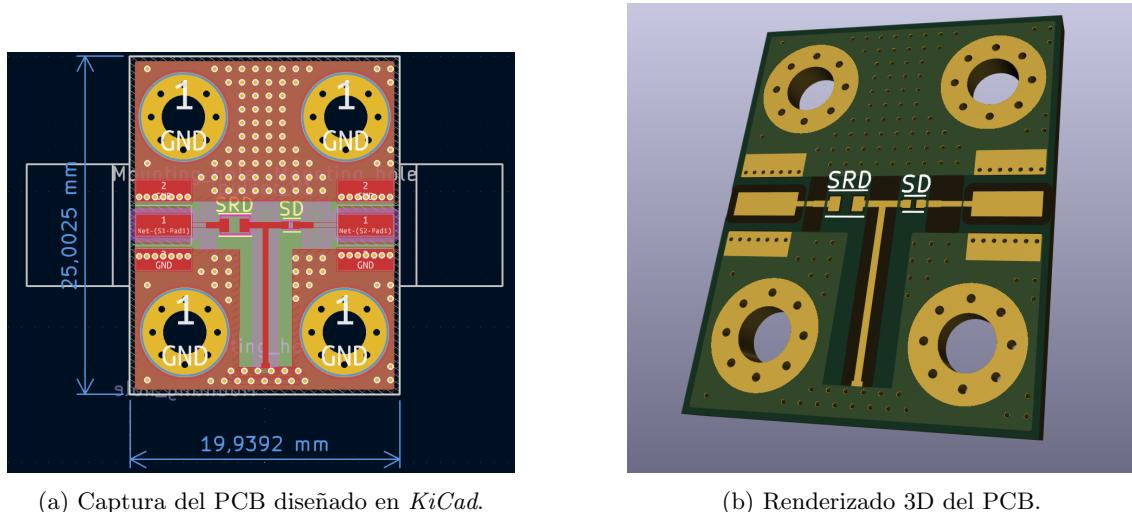


Figura 3.26: PCB diseñado para el pulser.

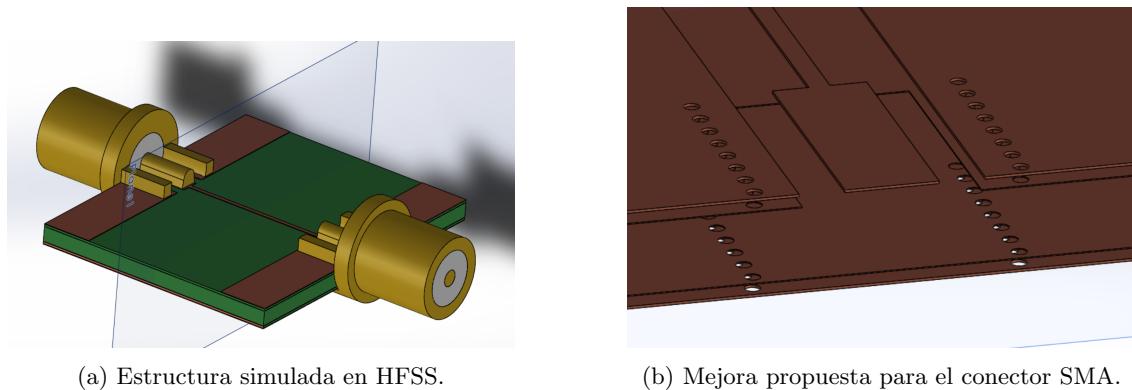


Figura 3.27: Estructuras simuladas en HFSS.

montaje en los 4 extremos de la placa para permitir el montaje de un eventual chasis.

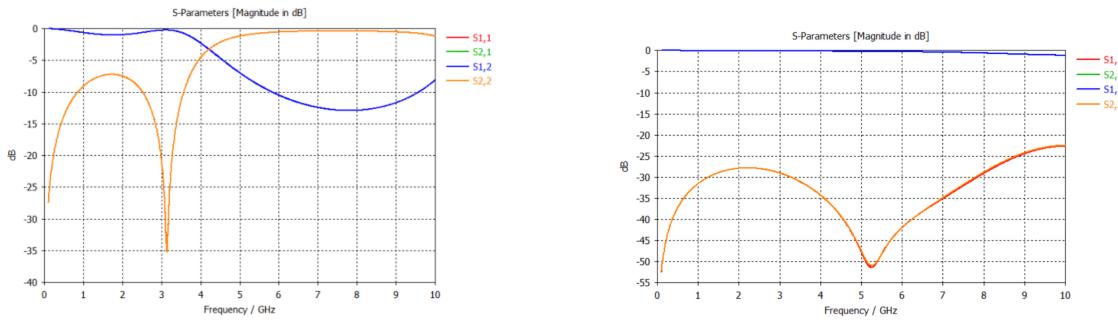
Como fuese explicado anteriormente, se utilizó la capa superior de cobre como plano de señal, y la capa intermedia como plano de tierra. Las otras dos capas no fueron utilizadas, siendo puestas a tierra.

Se agregaron conectores *SMA* para la entrada y salida. Estos ofrecen una conexión segura y un buen rendimiento en el ancho de banda de trabajo, minimizando las pérdidas y reflexiones. Además, son de amplia disponibilidad y versatilidad.

El buen ancho de banda de los conectores *SMA* puede degradarse severamente si su interfaz con la línea microtira no es la adecuada. Para comprobar esta interfaz, se realizó una simulación en el software de elementos finitos *HFSS*. Se realizó un modelo del sustrato de OSH Park, y se simuló el desempeño del conector soldado directamente a la placa.

En la figura 3.27b puede observarse la mejora propuesta. Esta consiste en un agujero en el plano de tierra, por debajo del conector. En la figura 3.28 se observan los resultados para ambos casos. Se observa que la mejora propuesta resulta en un severo incremento del desempeño del sistema, logrando una perdida de retorno mejor a 20 dB y una atenuación menor a 2 dB en todo el ancho de banda de interés.

Para validar el diseño, se exportó a formato gerber, y luego fue importado dentro de *ADS*. El programa permite realizar extracciones de parásitos de la estructura en base a una simulación electromagnética. Utilizando esta función, se realizó una simulación del modelo del PCB. En la



(a) Desempeño del conector conectado directamente.

(b) Desempeño del conector con la mejora propuesta.

Figura 3.28: Resultados de simulaciones en HFSS.

figura 3.29 se observa la simulación realizada.

En la figura 3.30 se observa el resultado de la simulación realizada. El pulso obtenido en este caso tiene una amplitud de 500 mV y una duración de 190 ps. Se observan dos efectos no deseados que con las simulaciones anteriores no ocurrieron: un sobrepico negativo previo al pulso principal, y oscilaciones posteriores.

3.7.3. Layout del driver

En la figura 3.31 se observa el PCB del driver. Este incluye al driver LM114 y al filtro pasa altos, y a circuitería de soporte para alimentación y comunicación con la FPGA.

Para la alimentación, hay dos opciones disponibles: alimentar al driver directamente con una fuente externa, o alimentarlo con un ADM7150. Este integrado provee la función de regulador lineal de ultra bajo ruido, con una salida fija de 5 V y una corriente máxima de 800 mA. Para alimentar con mayores amplitudes, se dispone de la posibilidad de alimentar al LM5114 directamente con la fuente externa. Para seleccionar entre las dos opciones, la placa tiene dos jumpers.

Para la comunicación con la FPGA, se utilizó un conector PMOD macho. Este permite conectarse directamente a la placa. De los 12 pines que dispone, solo se utilizaron 3: dos para conexión de tierra, y uno para la señal de control. Esta señal de control es la que controla el LM5114, determinando la frecuencia o ciclo de trabajo de la señal cuadrada.

Para el ruteo del LM5114 se minimizaron las distancias entre componentes de todo el camino de señal de la salida, para minimizar efectos parásitos. Se agregó a la salida un capacitor opcional C3, que permite bajar el tiempo de crecimiento de la señal de salida en caso de ser necesario.

En toda la placa se agregaron vías para mejorar la conexión a tierra. Podría haberse evitado este paso ya que las señales del driver no son de gran ancho de banda, pero de todas maneras mejorar la impedancia del plano de tierra siempre ayuda. En este caso, alrededor de la placa se dejó un espacio de 3 mm sin máscara antisoldante, para el agregado de un eventual chasis.

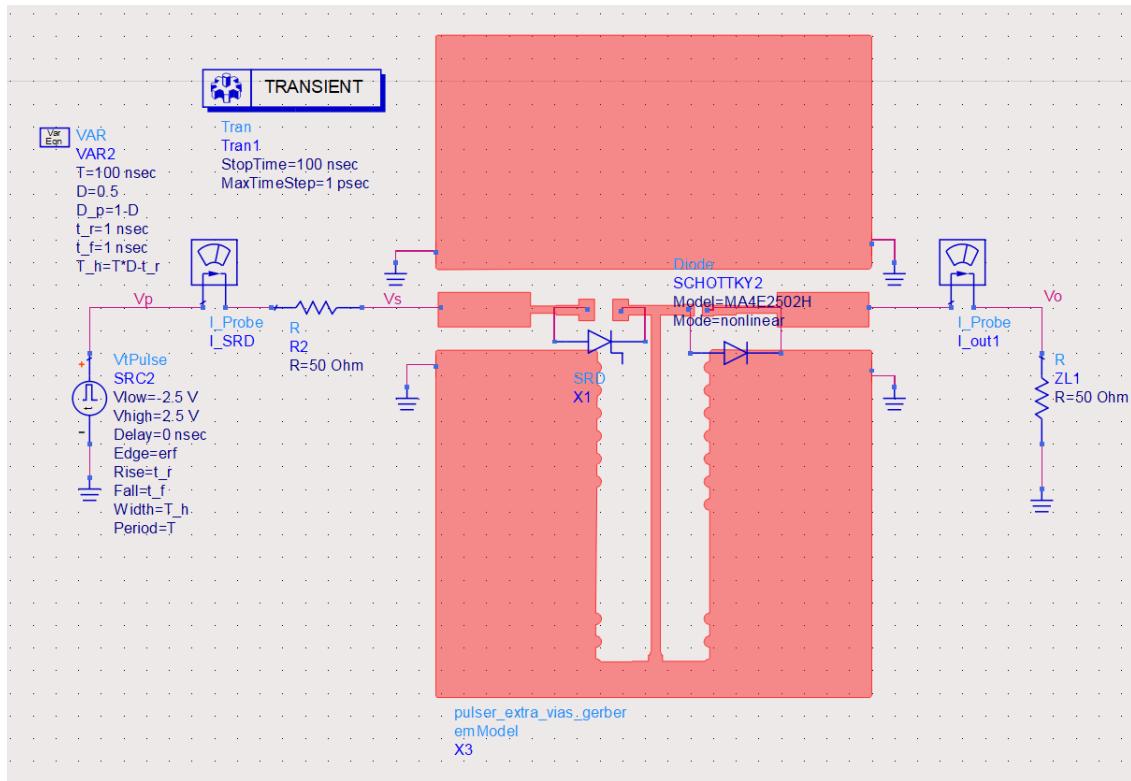


Figura 3.29: Esquemático de simulación de layout

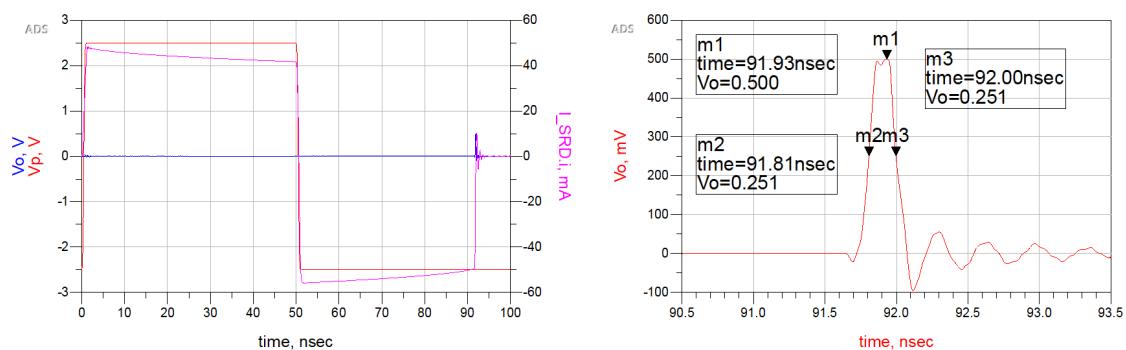
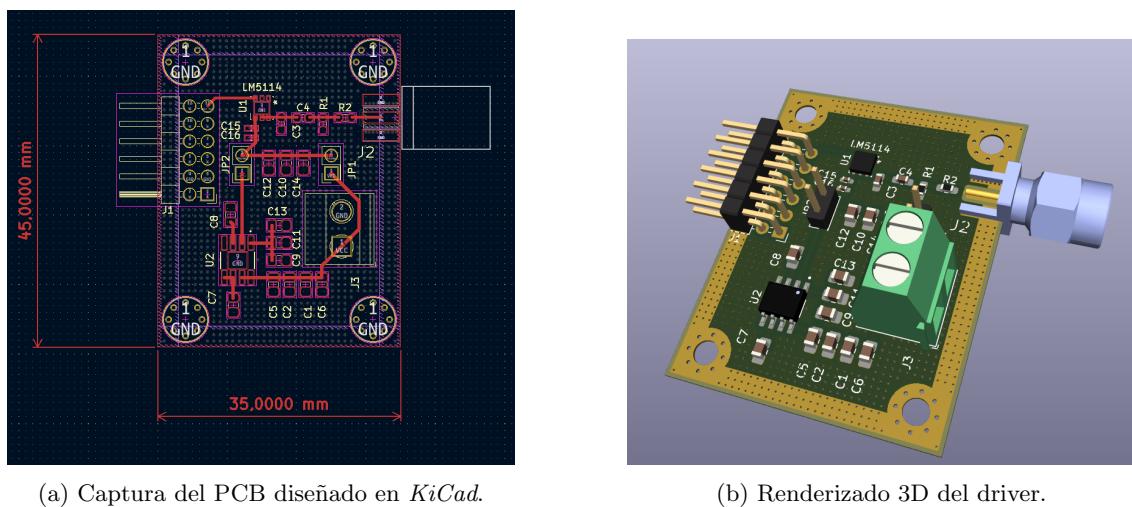


Figura 3.30: Resultado de simulación layout

(a) Captura del PCB diseñado en *KiCad*.

(b) Renderizado 3D del driver.

Figura 3.31: PCB diseñado para el driver.

Capítulo 4

Mediciones

4.1. Introducción

En este capítulo se detallarán las mediciones realizadas sobre el prototipo. Se explicará el banco de mediciones conformado, con todos sus componentes. Se discutirá el desempeño medido del sistema en el contexto de los resultados reportados en la literatura. Al final del capítulo, se presentan una tabla y un gráfico comparando el desempeño obtenido con el reportado en otros trabajos.

4.2. Banco de medición

En la Figura 4.1 puede observarse un diagrama del banco de medición. Consiste de los siguientes bloques:

- Placa FPGA: genera un pulso cuadrado unipolar, de frecuencia y ciclo de trabajo configurables. Con la frecuencia se controla la *PRF* de los pulsos de salida, y con el ciclo de trabajo los valores de tensión del pulso de salida del *driver*.
- Fuente de alimentación: provee la alimentación V_{dd} para el *driver*. El valor de esta tensión determina la amplitud pico a pico del pulso de salida del *driver*.
- *Driver*: cumple la función de *buffer* para la FPGA, presentando una alta impedancia a la salida de la misma. Convierte el pulso unipolar de 3,3 V en uno bipolar, con amplitud pico a pico igual a V_{dd} (5 V o 7 V).
- *Pulser*: el DUT, genera pulsos ultra cortos en base a la salida del driver.
- Osciloscopio: instrumento de medición del experimento. Actúa como carga con su impedancia de entrada de 50Ω .

4.2.1. Fuente de alimentación

Para la fuente de alimentación se utilizó una *Marconi Instruments TF2154*, en la figura 4.4 puede observarse la misma.

Presentaba limitación de corriente regulable e indicadores para la amplitud y la corriente suministrada, lo que permitía trabajar de manera segura, dentro de los límites de consumo obtenidos en las simulaciones anteriores.

Como fuese explicado en la sección 3.5, la corriente máxima esperada en las condiciones de trabajo era menor a 200 mA, por lo que se monitoreó durante todo el experimento que la corriente entregada por la fuente no supere este máximo teórico.

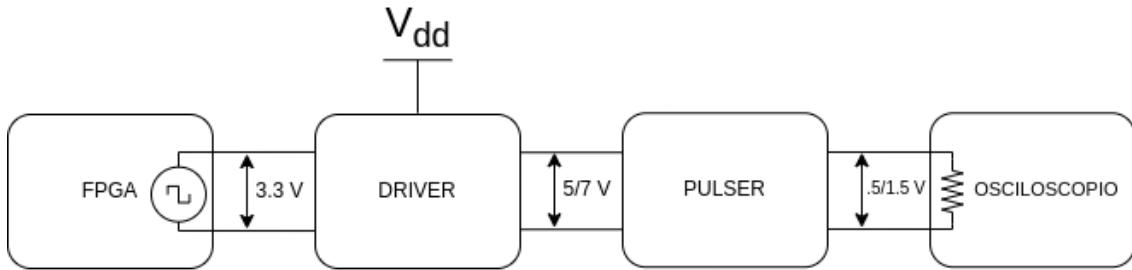


Figura 4.1: Banco de medición

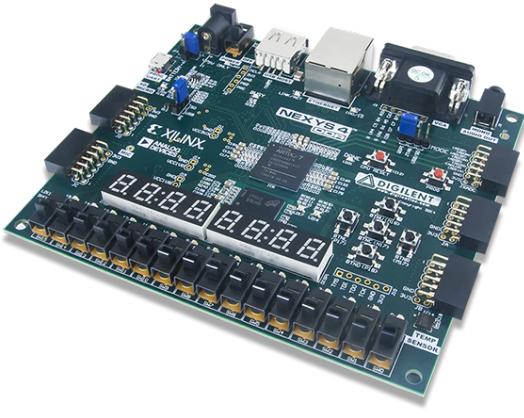


Figura 4.2: Placa de desarrollo FPGA para generación de señal de control.



Figura 4.3: FPGA, driver y pulser.

4.2.2. FPGA

La FPGA generaba el pulso unipolar cuadrado de entrada, que controlaba la *PRF* y el ciclo de trabajo del pulso del driver. La placa utilizada fue *Nexys-4 DDR* de Digilent [28], con un chip *Artix-7* de Xilinx. En la figura 4.2 puede observarse la misma.

Se utilizó una FPGA para poder validar la utilidad del prototipo en el contexto de un sistema UWB como el descripto en [1], en el que se dispone de señales de control digitales. Este componente del sistema es fácilmente reemplazable por otra FPGA o sistema embebido. Las variables de ajuste del pulso unipolar de la FPGA eran las siguientes

- Frecuencia: la frecuencia de la señal cuadrada de entrada es igual a la frecuencia de repetición de pulsos (*PRF*) del sistema, ya que controla la frecuencia con la que el SRD se prende y se apaga y, por lo tanto, la frecuencia de generación de pulsos.
- Ciclo de trabajo: el ciclo de trabajo de la señal cuadrada unipolar determina los extremos de tensión de la señal cuadrada bipolar de salida del driver. A mayor ciclo de trabajo, valores más negativos. Este control se da a través del control del valor medio de la señal, que luego es restado por el capacitor serie del *driver*.

Diseño implementado:

El diseño implementado en la FPGA consistía en un generador de cuadrada con ciclo de trabajo y frecuencia variables. La interfaz del sistema era la siguiente



Figura 4.4: Fuente utilizada para alimentar el prototipo.

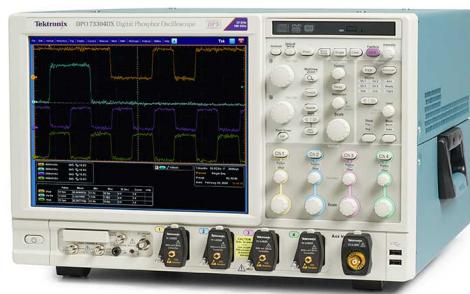


Figura 4.5: Osciloscopio *Tektronix MSO 70404C* utilizado para la medición del pulso.

- Los botones *BTNL* y *BTNR* controlaban el ciclo de trabajo en pasos de a 1 % en incrementos y decrementos respectivamente.
- Los botones *BTND* y *BTNU* controlaban el ciclo de trabajo en pasos de a 10 % en incrementos y decrementos respectivamente.
- Con los *switches SW0* a *SW1* se controlaba la frecuencia del pulso unipolar.
 - Con *SW0* seleccionado, la frecuencia era de 1 MHz.
 - Con *SW1* seleccionado, la frecuencia era de 5 MHz.
 - Con *SW2* seleccionado, la frecuencia era de 10 MHz.

En el anexo A se encuentra el HDL del diseño implementado.

4.2.3. Osciloscopio

El osciloscopio fue utilizado para realizar la medición en el dominio del tiempo del pulso generado. Para una medición exitosa, era indispensable que este instrumento cuente con los requerimientos de ancho de banda del pulso. Como fuese explicado en 3.4, el ancho de banda esperado para el pulso era de 3,5 GHz.

El osciloscopio utilizado fue un *Tektronix MSO 70404C*, en la figura 4.5 puede observarse el mismo. El instrumento posee 4 GHz de ancho de banda analógico, y una tasa de muestreo de 25 GS/s, con la posibilidad de realizar muestreo en tiempo equivalente [29]. Estas prestaciones eran suficientes para medir el pulso de salida.

El instrumento posee configuraciones de impedancia de entrada seleccionables entre 50Ω y $500\text{M}\Omega$ [29]. Para la medición del prototipo, se seleccionó la entrada de 50Ω , actuando esta impedancia como carga del generador de pulsos.

4.2.4. Seguridad del instrumento

Debido a las prestaciones del osciloscopio y su gran costo, era fundamental garantizar la integridad del mismo en la medición del experimento. Dado que actuaba como carga del DUT, se debía garantizar que bajo todas las condiciones de trabajo, la potencia entregada por el generador de pulsos se encuentre dentro de los límites determinados por el fabricante del equipo para evitar posibles daños.

La máxima tensión de entrada se especifica en $5V_{RMS}$ para una resolución $\geq 100mV/div$ y $1VRMS$ para una resolución $< 100mV/div$. Para garantizar la seguridad del equipo en cualquier caso, se toma como límite el valor de peor caso, $1V_{RMS}$ (correspondiente a una resolución $\geq 100mV/div$, para resoluciones menores a esta el límite es mayor).

En condiciones normales de funcionamiento, la potencia disipada por la carga es mínima, ya que es la potencia que disipa el tren de pulsos en un carga de 50Ω . Como fuese desarrollado en la sección 3.5, esta potencia está acotada por $0,3\text{ mW}$, que en 50Ω resultan en 123 mVRMS , que se encuentran muy por debajo de los 1 V_{RMS} especificados por el fabricante.

No solo es necesario analizar la disipación de potencia en condiciones normales de funcionamiento, sino también para el caso de una falla, ya que el principal objetivo es garantizar la integridad del instrumento en cualquier condición.

En caso de ocurrir alguna falla con algún componente del circuito, el *stub* de salida provee una función de protección. Este componente, para señales con una variación temporal mucho mayor al largo del mismo, actúa como una puesta a tierra.

Entonces, la componente de continua a la salida del generador de pulsos tiene un valor esperado de 0 V , tanto para condiciones normales de funcionamiento como en presencia de fallas.

En cuanto a la componente alterna de la salida, su valor esperado es extremadamente bajo, ya que únicamente señales de gran ancho de banda pueden ser filtradas y permanecer con una amplitud considerable a la salida del *stub*.

4.3. Mediciones realizadas

Las mediciones consistieron en mediciones en el dominio del tiempo del pulso de salida. Utilizando funciones provistas por el osciloscopio, se midieron tiempo de crecimiento, tiempo de decaimiento, amplitud máxima, y ancho a medio máximo (FWHM del inglés *Full Width at Half Maximum*).

Se realizaron distintas mediciones para distintas condiciones de trabajo del circuito. Se barrió para el pulso digital de entrada, el ciclo de trabajo, y para la fuente de alimentación distintos valores de tensión.

- Para la amplitud de la fuente, se utilizaron valores de 5 V y 7 V .
 - 5 V por ser un valor fácilmente obtenible en los sistemas UWB de referencia.
 - 7 V por ser la máxima amplitud tolerable por el circuito. Tensiones de alimentación mayores a estas resultan en corrientes de polarización mayores a las máximas admisibles dado los dimensionamientos de las pistas de los PCBs.
- El ciclo de trabajo se barrió entre 50% y 70% .
 - Se tomo 50% como límite inferior por ser un valor fácilmente obtenible como división de un reloj digital.
 - Se tomo 70% como límite superior ya que se observó que valores superiores a este resultaban en un pulso bipolar con amplitudes negativas decrecientes, y por lo tanto, amplitudes de pulso decrecientes.
 - La teoría no indicaba un límite superior para el ciclo de trabajo. Sin embargo, este se observó en la práctica debido al comportamiento no ideal del pulso de salida del *driver*, que no era perfectamente cuadrado.

En la figura 4.3 puede observarse el *pulser* junto con el *driver* y la FPGA.

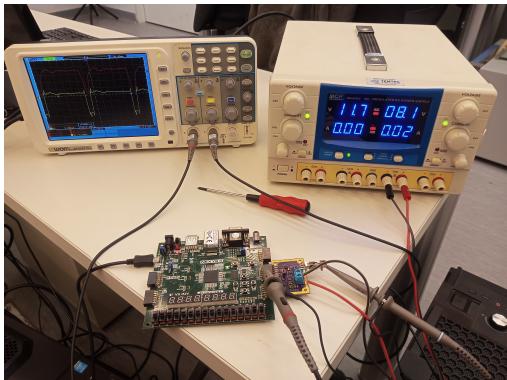


Figura 4.6: Banco de medición para el *driver*.



Figura 4.7: Medición de driver para $D = 50\%$

4.3.1. Mediciones del *driver*

Previo a las mediciones principales, se realizó una medición de la salida del driver, con el objetivo de validar el pulso bipolar generado.

El motivo de esta medición previa fue la limitada disponibilidad del osciloscopio de gran ancho de banda utilizado para la medición final del pulso. Esta pre-medición del pulso bipolar se realizó con un osciloscopio de bajo ancho de banda, ya que el objetivo era validar los niveles de tensión del pulso, y su correcta variación con la variación del ciclo de trabajo del pulso unipolar.

En la figura 4.6 puede observarse el banco de medición. Se utilizó la FPGA para generar el pulso cuadrado unipolar, y se conectó la punta de un osciloscopio a los terminales de un conector SMA conectado a la salida del *driver*. La entrada del osciloscopio se configuró en alta impedancia. La alimentación la proveyó una fuente de continua como se observa en la figura 4.6, con una alimentación de 8 V. El osciloscopio utilizado en este caso no fue el Tektronix MSO 70404C de gran ancho de banda, sino uno comercial de 50 MHz.

En las figuras 4.7, 4.8 y 4.9 se observan los resultados obtenidos para distintas condiciones de ciclo de trabajo. En rojo se muestra la salida de la FPGA y en amarillo la salida del driver. Abajo y a la izquierda de las formas de onda, se observan las mediciones configuradas en el osciloscopio. La cantidad V_p se corresponde a la amplitud pico-a-pico, $+D$ al ciclo de trabajo y M_i al valor mínimo.

Para la salida de la FPGA se observa que la escala es de 1 V por división, notándose que la señal comuta entre 0 V y 3,3 V. El valor pico a pico es ligeramente mayor, alrededor de 3,8 V debido a sobrepicos presentes en la señal. El mismo comentario aplica para la salida del driver, que está alimentado por 8 V, pero presenta una amplitud pico a pico de casi 9 V debido a sobrepicos.

En la tabla 4.1 se resumen los resultados obtenidos. Se observa una buena coincidencia entre los valores medidos y los predecidos. Es de interés destacar que para la porción negativa del pulso, se observa un sobrepico negativo, y que para mayores ciclos de trabajo, este sobrepico representa casi la totalidad del período negativo.

En cuanto al valor positivo de la salida, es interesante notar que para el ciclo de trabajo de 92 %, notando que la escala es de 2 V, se observa un valor que oscila entre 400 mV y 800 mV. Este valor no es suficiente para polarizar en directa al SRD, por lo que quedan descartados ciclos de trabajo superiores a este valor para operar el pulser.

4.3.2. Medición de pulso

En las figuras 4.10 y 4.11 se observan las mediciones realizadas para V_{cc} de 5 V y 7 V respectivamente. En ambos casos, se realizaron mediciones para dos ciclos de trabajo de la señal cuadrada de entrada: 50 % y 70 %.



Figura 4.8: Medición de driver para $D = 71\%$



Figura 4.9: Medición de driver para $D = 92\%$

$D [\%]$	V_{-m} ^a	V_{-e} ^b
50	4.4	4.5
71	5.52	5.68
92	6.884	7.36

^a V_- medido

^b V_- esperado según
3.28

Tabla 4.1: Resultados de medición de *driver*

V_{cc} [V]	D [%]	A [V]	FWHM [ps]	3 dB	B [GHz]	t_r [ps]	t_f [ps]
5	50	0.380	159	5.5	93	88	
5	70	0.625	161	2.8	93	91	
7	50	0.702	162	2.9	93	93	
7	70	1.120	165	2.5	95	96	

Tabla 4.2: Resultados de mediciones de pulso.

En las mediciones se observa una captura del osciloscopio. En todas las mediciones la entrada del osciloscopio fue configurada en 50Ω , como fuese explicado anteriormente. En las capturas se observa la forma de onda del pulso medido, y en la parte inferior una tabla con diversos parámetros medidos por el instrumento. Las de interés en este caso con la amplitud, el ancho y los tiempos de crecimiento y caída.

Se observó en las mediciones una amplitud de pulso creciente con mayor ciclo de trabajo y mayor amplitud de pulso, como era esperado. La menor amplitud de pulso obtenida fue de 380 mV para un V_{cc} de 5 V y un D de 50 %, y la mayor fue de 1,12 V para un V_{cc} de 7 V y un D de 70 %

En cuanto al ancho de pulso, se mantuvo aproximadamente constante en 160 ps, al igual que los tiempos de crecimiento y decrecimiento, que se mantuvieron constantes en 90 ps. Este resultado es el esperado para un *pulser* basado en un *stub*, ya que el ancho de pulso está determinado por el largo del *stub*.

En cuanto a la forma del pulso, se observa una prácticamente gaussiana. Se observan no idealidades no contempladas en los modelos de simulación utilizados. Se observan oscilaciones tanto antes como después del pulso, y también un segundo de menor amplitud.

En la tabla 4.2 pueden observarse los resultados obtenidos. Para el ancho de banda, se utiliza el obtenido a partir de la *PSD* del pulso medido. En la sección 4.3.2 se detalla cómo fue obtenido este valor.

(a) Pulso medido, V_{cc} 5 V, D 50 %(b) Pulso medido, V_{cc} 5 V, D 70 %Figura 4.10: Pulsos medidos para $V_{cc} = 5$ V(a) Pulso medido, V_{cc} 7 V, D 50 %(b) Pulso medido, V_{cc} 7 V, D 70 %Figura 4.11: Pulsos medidos para $V_{cc} = 7$ V

Comparación contra simulación

En las figuras 4.12a a 4.15b pueden observarse los resultados de las mediciones obtenidas superpuestos con los resultados de simulación para las mismas condiciones de trabajo (amplitud de alimentación y ciclo de trabajo).

Para las simulaciones, se toman dos resultados:

- Una simulación “ideal”, indicada como “esquemático ideal” en las leyendas, que se corresponde a una simulación sin contemplar parásitos de ningún tipo.
- Una simulación “real”, en las leyendas “Layout”, una simulación en la que se extrajeron previamente los efectos parásitos del *PCB* mediante una simulación electromagnética y se incorporaron en la simulación del pulso.

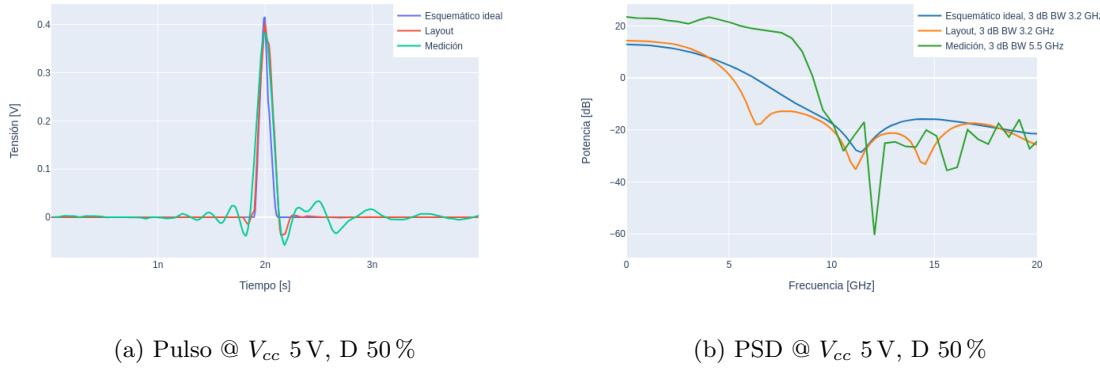
Se realizan las comparaciones en el dominio del tiempo y de la frecuencia. Las comparaciones en el dominio del tiempo consisten en la superposición del pulso medido con los simulados. Para las comparaciones en el dominio de la frecuencia, se calculó el espectro de cada una de las formas de onda del dominio del tiempo. Para realizar las comparaciones, se exportaron los resultados a formato CSV y se importaron dentro de un programa en python. Mediante las librerías numpy y plotly se realizaron los distintos graficos.

```

1 import numpy as np
2
3 def get_spectrum(x, sample_time):
4     w = np.hanning(len(x.shape))
5     s_win = np.linalg.norm(w, 2) ** 2
6     x_w = np.multiply(x, w)
7     X_W = np.fft.rfft(x_w)
8     P_xx = np.abs(X_W)**2 / s_win
9     P_xx_dB = 10 * np.log10(P_xx)
10    freq = np.fft.rfftfreq(x_w.shape[-1]) / sample_time
11    return pd.DataFrame({'frequency': freq, 'magnitude': P_xx_dB})

```

Código 4.1: Función para obtener PSD

Figura 4.12: Pulsos y PSDs para V_{cc} 5 V, D 50 %

En cuanto a la obtención de la PSD de cada pulso, en el código 4.1 se muestra la función utilizada para obtenerla. La misma reciba una secuencia de datos discretos x y el tiempo de muestreo entre cada muestra $sample_time$. Obtiene la PSD aplicando una ventana de *Hanning* y normaliza por la norma L^2 de la ventana [20].

En el dominio del tiempo, se observa una buena coincidencia entre la amplitud de los pulsos y el ancho. Se observa una diferencia en el *ringing* de ambos. Las simulaciones prácticamente no presentan oscilaciones alrededor del pulso, mientras que las mediciones las presentan tanto previa como posteriormente. También se observa un segundo pulso de menor amplitud siguiendo al primero.

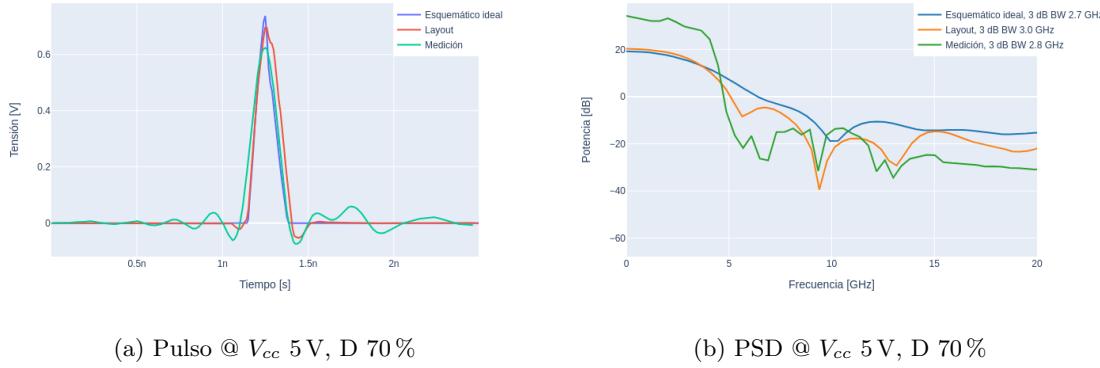
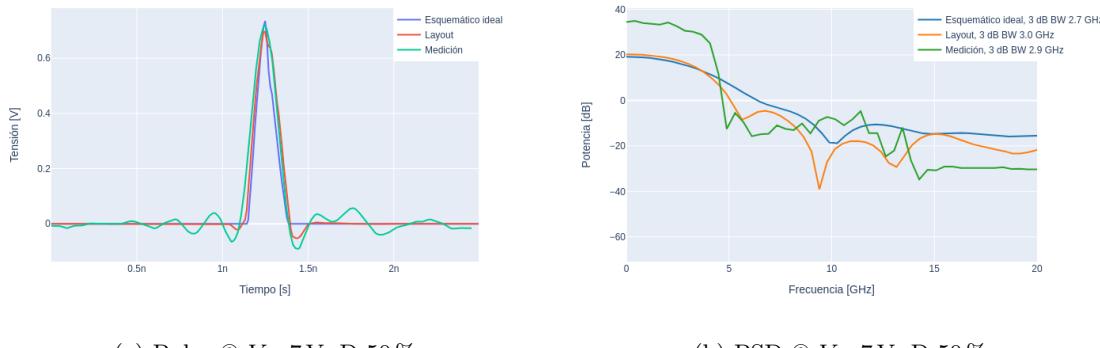
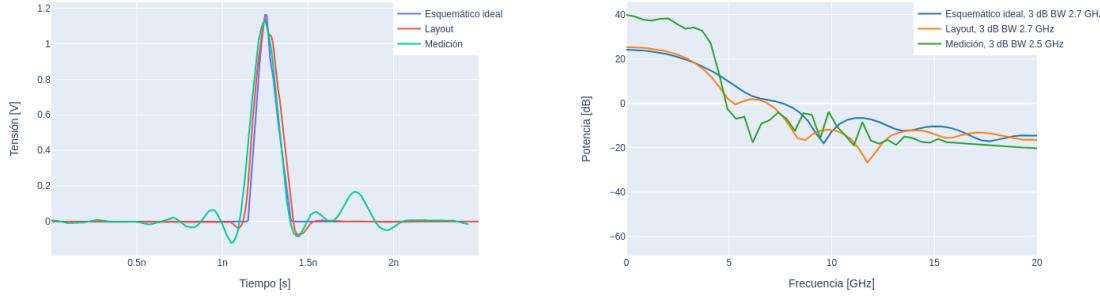
Como causa de estas discrepancias, se descarta un efecto del *PCB* no modelado, ya que los parásitos de esta estructura fueron extraídos por una simulación electromagnética, y sus efectos contemplados en las simulaciones del *layout*.

Estas discrepancias sugieren una limitación en el modelado de alguno de los dispositivos, tanto el SRD como el Schottky. Las simulaciones predijeron correctamente la amplitud y el ancho de los pulsos resultantes, pero fallaron en predecir el ringing y el pulso secundario.

Comparación contra resultados de la literatura

En la tabla 4.3 se resumen resultados reportados para generadores de pulsos *UWB* en la literatura. En la figura 4.16 se observan los valores de amplitud y duración reportados en un gráfico de dispersión.

En cuanto a los resultados reportados en este trabajo, se obtuvo uno de los anchos de pulso más bajos, existiendo otros trabajos que reportan el mismo o menor ancho de pulso con mayor amplitud, pero también mayor complejidad. Otra característica a destacar es la simplicidad del

(a) Pulso @ V_{cc} 5 V, D 70 %(b) PSD @ V_{cc} 5 V, D 70 %Figura 4.13: Pulsos y PSDs para V_{cc} 5 V, D 70 %(a) Pulso @ V_{cc} 7 V, D 50 %(b) PSD @ V_{cc} 7 V, D 50 %Figura 4.14: Pulsos y PSDs para V_{cc} 7 V, D 50 %(a) Pulso @ V_{cc} 7 V, D 70 %(b) PSD @ V_{cc} 7 V, D 70 %Figura 4.15: Pulsos y PSDs para V_{cc} 7 V, D 70 %

diseño implementado, tanto en cantidad de componentes activos, como en requisitos de fuente de alimentación y pulso de entrada.

En [30] se presenta un diseño compuesto de un solo SRD en el que se desarrolla un pulso

Ref.	A [V]	$FWHM$ [ps]	Bal ^a	Bias	Dispositivos	V_{cc} [V]	V_{in} [V]	PRF [MHz]
[30]	$\pm 0,896, \pm 1,6$ ^b	335, 511	Sí	Int	SRD	5	TTL	50
[31]	-7,5	110	No	Ext	SRD+3TBJ+SD	12	TTL	5
[17]	0,8	170	No	Int	SRD	4	4	10
[32]	0,2	300	No	Ext	SRD+2SD	?	?	10
[33]	-6, -4	150	No	Int	SRD+L	?	5	12
[34]	1,27 ^c	286	No	Int	2SRD+L	10	10 ^d	?
Prop.	1,12	165	No	Int	SRD+SD	7	CMOS	10

^a Balanceado.

^b la publicación presenta dos resultados, correspondientes a circuitos con componentes concentrados y distribuidos.

^c la publicación presenta múltiples resultados, se muestran los mejores.

^d la señal de entrada es senoidal.

Tabla 4.3: Resultados reportados en la literatura

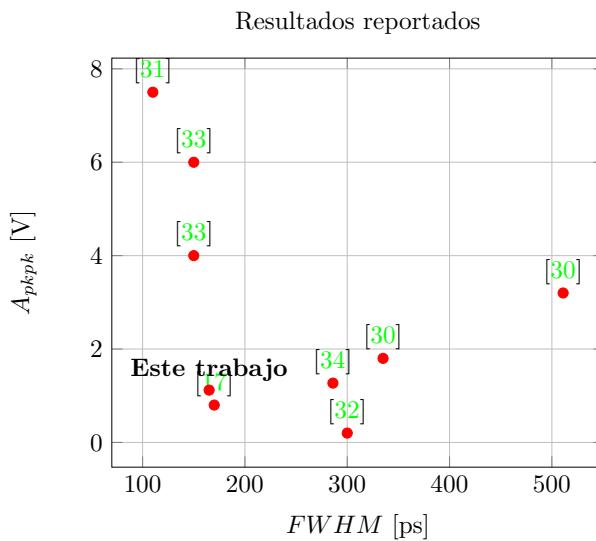


Figura 4.16: Diagrama de dispersión de resultados reportados.

balanceado a la salida. Se presentan dos diseños, uno con componentes distribuidos y otro con componentes concentrados. En ambos casos se obtienen amplitudes pico a pico de pulso mayores a las de este trabajo. Es destacable que se obtienen mayores amplitudes usando una fuente de alimentación menor, de 5 V. En cuanto al ancho de pulso, ambos pulsos presentan duraciones mayores que las de nuestro trabajo. En cuanto a la complejidad, el *pulser* está implementado solamente con 1 SRD y componentes distribuidos o concentrados, dependiendo de la versión, por lo que es más simple que nuestro trabajo. El *driver* presenta la misma complejidad en ambos casos, ya que está implementado con un solo circuito integrado. Nuestro trabajo presenta más versatilidad, ya que la amplitud de la fuente de alimentación puede variarse entre 0 V y 30 V, mientras que el integrado utilizado en el driver de [30] trabaja con 5 V fijos.

En [31] se reporta un resultado de gran amplitud y duración de pulso menor a la de este trabajo. La complejidad del diseño implementado es mucho mayor: necesita una alimentación de 12 V y una corriente de *bias* externa, y la etapa *driver* está implementada con 3 TBJs, frente a 1 solo *gate driver* en nuestro trabajo.

En [17] el pulso reportado es de características muy similares a las de nuestro trabajo. La duración del pulso es prácticamente la misma, mientras que en amplitud nuestro trabajo logró una mayor en un 40 %. Nuestro trabajo logró para el *pulser* una complejidad menor a la reportada en [17], ya que en nuestro caso omitimos la red RC y el atenuador. En cuanto a etapa *driver*, [17] no presenta ninguna, en los resultados se reporta haber utilizado como entrada al *pulser* un pulso

bipolar.

En [32] el generador presentado desarrolla pulsos monociclo, que son la primera derivada de un pulso gaussiano. Nuestro trabajó logró una amplitud de pulso mayor y también una duración de pulso menor. No se especifica el valor de amplitud de señal de entrada utilizado. La entrada al circuito es bipolar, y no se incluye un *driver* de adaptación de pulso. La complejidad del generador descripto es mayor que la de este trabajo, utilizando bias externo, un diodo SRD, dos Schottky y una red RC. Sin embargo, el generador de [32] implementa un monociclo que es una derivada de un pulso gaussiano como el desarrollado en nuestro trabajo, por lo que es natural que la complejidad sea mayor.

El resultado reportado en [33] consiste en pulsos de mayor amplitud y menor duración a los de nuestro trabajo. En ambos casos, el pulser se encuentra acoplado por *AC*, lo que vuelve más complejo el diseño. Se presentan dos generadores, uno con línea de transmisión, y otro con un inductor, que utiliza al SRD en paralelo. El diseño con inductor es más complejo, ya que este se encuentra en el camino del pulso por lo que debe ser seleccionado con cuidado. En ambos casos se utiliza una red RC paralelo, mientras que en nuestro trabajo no.

El resultado de [34] consiste en un pulso de mayor amplitud y mayor ancho al de nuestro trabajo. La complejidad del diseño es mayor, ya que utiliza dos SRD y un inductor que se encuentra en el camino de alta frecuencia, por lo que es costoso de seleccionar. La señal de entrada es una senoidal, que para el contexto en el que desarrollamos nuestro generador, es más costosa de conseguir, ya que requiere algún DAC, frente a la excitación de nuestro generador que es una señal cuadrada, fácilmente obtenible como salida digital de una FPGA o microcontrolador.

Capítulo 5

Conclusiones

Acá van todas las conclusiones.

Apéndice A

Código Fuente Verilog

```
'timescale 1ns / 1ps

module top(
    input clk,
    input btnU, btnD,
    input btnL, btnR,
    input [1:0] sw,
    output [1:0] led,
    output [0:0] JA
);

    wire duty_inc_coarse, duty_inc_fine, duty_dec_coarse, duty_dec_fine;

    localparam W = 8;
    reg [W-1:0] div_value = 'd10;
    reg [1:0] sw_old = 'd0;
    reg initialized = 'b0;
    reg [3:0] init_counter = 'b0;
    reg srst = 'b0;

    localparam real DUTY_CYCLE_NOMINAL = 0.5;
    localparam real DUTY_CYCLE_COARSE = 0.1;
    localparam real DUTY_CYCLE_FINE = 0.01;

    localparam integer DIV_VALUE_10MHZ = 10;
    localparam integer COUNTS_DUTY_NOMINAL_10MHZ = DUTY_CYCLE_NOMINAL *
        DIV_VALUE_10MHZ;
    localparam integer COUNTS_DUTY_COARSE_10MHZ = DUTY_CYCLE_COARSE *
        DIV_VALUE_10MHZ;
    localparam integer COUNTS_DUTY_FINE_10MHZ = DUTY_CYCLE_FINE *
        DIV_VALUE_10MHZ;

    localparam integer DIV_VALUE_5MHZ = 20;
    localparam integer COUNTS_DUTY_NOMINAL_5MHZ = DUTY_CYCLE_NOMINAL *
        DIV_VALUE_5MHZ;
    localparam integer COUNTS_DUTY_COARSE_5MHZ = DUTY_CYCLE_COARSE *
        DIV_VALUE_5MHZ;
    localparam integer COUNTS_DUTY_FINE_5MHZ = 'd1;

    localparam integer DIV_VALUE_1MHZ = 100;
    localparam integer COUNTS_DUTY_NOMINAL_1MHZ = DUTY_CYCLE_NOMINAL *
        DIV_VALUE_1MHZ;
```

```

localparam integer COUNTS_DUTY_COARSE_1MHZ      = DUTY_CYCLE_COARSE *
    DIV_VALUE_1MHZ;
localparam integer COUNTS_DUTY_FINE_1MHZ        = DUTY_CYCLE_FINE   *
    DIV_VALUE_1MHZ;

reg [W-1:0] div_value_curr,
           counts_duty_nominal_curr,
           counts_duty_coarse_curr,
           counts_duty_fine_curr;

always @(posedge clk) begin
    if (sw[1]) begin
        div_value_curr          <= DIV_VALUE_1MHZ;
        counts_duty_nominal_curr <= COUNTS_DUTY_NOMINAL_1MHZ;
        counts_duty_coarse_curr <= COUNTS_DUTY_COARSE_1MHZ;
        counts_duty_fine_curr   <= COUNTS_DUTY_FINE_1MHZ;
    end
    else if (sw[0]) begin
        div_value_curr          <= DIV_VALUE_5MHZ;
        counts_duty_nominal_curr <= COUNTS_DUTY_NOMINAL_5MHZ;
        counts_duty_coarse_curr <= COUNTS_DUTY_COARSE_5MHZ;
        counts_duty_fine_curr   <= COUNTS_DUTY_FINE_5MHZ;
    end
    else begin
        div_value_curr          <= DIV_VALUE_10MHZ;
        counts_duty_nominal_curr <= COUNTS_DUTY_NOMINAL_10MHZ;
        counts_duty_coarse_curr <= COUNTS_DUTY_COARSE_10MHZ;
        counts_duty_fine_curr   <= COUNTS_DUTY_FINE_10MHZ;
    end
    sw_old <= sw;
end

always @(posedge clk) begin
    if (initialized == 'b0) begin
        if (init_counter < 'd14) begin
            init_counter <= init_counter+1;
        end
        else begin
            initialized <= 'b1;
            srst <= 'b1;
        end
    end
    else begin
        if (sw_old != sw) srst <= 'b1;
    end
    if (srst) srst <= 'b0;
end

// debounce of buttons
debounce u_debounce_inc_coarse(clk,btnU,duty_inc_coarse);
debounce u_debounce_dec_coarse(clk,btnD,duty_dec_coarse);
debounce u_debounce_inc_fine(clk,btnR,duty_inc_fine);
debounce u_debounce_dec_fine(clk,btnL,duty_dec_fine);

// PWM generator
adhoc_generator#.WIDTH(W)u_generator(
    .clk(clk),

```

```

    .srst(srst),
    .duty_coarse(counts_duty_coarse_curr),
    .duty_fine(counts_duty_fine_curr),
    .duty_nominal(counts_duty_nominal_curr),
    .div_value(div_value_curr),
    .duty_inc_coarse(duty_inc_coarse),
    .duty_inc_fine(duty_inc_fine),
    .duty_dec_coarse(duty_dec_coarse),
    .duty_dec_fine(duty_dec_fine),
    .PWM(JA[0])
);

assign led = sw;

endmodule

module debounce(
    input clk,
    input data_in,
    output data_out
);
localparam DEBOUNCE_BITS = 23;

reg [DEBOUNCE_BITS-1:0] debounce_counter;
wire debounce_enable;
wire tmp_1, tmp_2;

// debounce enable generation, has period T_clk/2**DEBOUNCE_BITS
always @(posedge clk) debounce_counter = debounce_counter + 'b1;
assign debounce_enable = debounce_counter == 2**DEBOUNCE_BITS-1 ? 'b1
: 'b0;

// debounce of buttons
DFF u_DFF_inc_coarse(clk,debounce_enable,data_in,tmp_1);
DFF u_DFF_dec_coarse(clk,debounce_enable,tmp_1,tmp_2);

assign data_out = tmp_1 & (~tmp_2) & debounce_enable;

endmodule

module DFF(
    input clk,
    input en,
    input D,
    output reg Q
);
    always @(posedge clk) begin
        if (en) Q <= D;
    end
endmodule

'timescale 1ns / 1ps

module adhoc_generator#(
    parameter WIDTH = 8
) (
    input clk, srst,
    input duty_inc_coarse, duty_inc_fine,
    input duty_dec_coarse, duty_dec_fine,

```

```
    input [WIDTH-1:0] duty_coarse, duty_fine, duty_nominal, div_value,
    output reg PWM
);

reg [WIDTH-1:0] counter      = 'd0;
reg [WIDTH-1:0] duty_cycle   = 'd0;
wire n_PWM;

assign n_PWM = counter < duty_cycle ? 'b1 : 'b0;

always @(posedge clk) begin
    if (srst) begin
        duty_cycle  <= duty_nominal;
        counter     <= 'd0;
        PWM         <= 'd1;
    end
    else begin
        counter           <= counter >= div_value-1
        ? 'd0 : counter + 1;
        PWM               <= n_PWM;
        if      (duty_inc_coarse) duty_cycle <= duty_cycle +
            duty_coarse;
        else if (duty_inc_fine)   duty_cycle <= duty_cycle + duty_fine
            ;
        else if (duty_dec_coarse) duty_cycle <= duty_cycle -
            duty_coarse;
        else if (duty_dec_fine)   duty_cycle <= duty_cycle - duty_fine
            ;
    end
end
endmodule
```

Apéndice B

Bibliografía

- [1] P. Gámez, E. Marchi, M. Cervetto, C. Giuffrida, G. Perez, A. Altieri, and C. Galarza, “A low-cost ultra-wideband test-bed for dielectric target detection,” in *2017 XVII Workshop on Information Processing and Control (RPIC)*, pp. 1–6, 2017.
- [2] J. L. Moll, S. Krakauer, and R. Shen, “P-n junction charge-storage diodes,” *Proceedings of the IRE*, vol. 50, no. 1, pp. 43–53, 1962.
- [3] D. A. Neamen, *Semiconductor Physics And Devices: Basic Principles*. New York: McGraw-Hill, 4th ed., 2012.
- [4] J. Moll and S. Hamilton, “Physical modeling of the step recovery diode for pulse and harmonic generation circuits,” *Proceedings of the IEEE*, vol. 57, no. 7, pp. 1250–1259, 1969.
- [5] J. Zhang and A. Raisanen, “A new model of step recovery diode for cad,” in *Proceedings of 1995 IEEE MTT-S International Microwave Symposium*, pp. 1459–1462 vol.3, 1995.
- [6] J. Zhang and A. Raisanen, “Computer-aided design of step recovery diode frequency multipliers,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 44, no. 12, pp. 2612–2616, 1996.
- [7] K. Kotzebue, “A circuit model of the step-recovery diode,” *Proceedings of the IEEE*, vol. 53, no. 12, pp. 2119–2120, 1965.
- [8] A. Ruengwaree, A. Ghose, J. Weide, and G. Kompa, “Ultra-fast pulse transmitter for uwb microwave radar,” in *2006 European Microwave Conference*, pp. 1833–1836, 2006.
- [9] M. Rahman and K. Wu, “A reconfigurable picosecond pulse generator in non-linear transmission line for impulse radar ultrawideband applications,” *IEEE Microwave and Wireless Components Letters*, vol. 32, no. 5, pp. 448–451, 2022.
- [10] P. Heymann, R. Deorner, and M. Rudolph, “Multiharmonic generators for relative phase calibration of nonlinear network analyzers,” *IEEE Transactions on Instrumentation and Measurement*, vol. 50, no. 1, pp. 129–134, 2001.
- [11] K. Opalska and J. Baranowski, “A charge model of step recovery diode for cad,” in *1997 IEEE MTT-S International Microwave Symposium Digest*, vol. 3, pp. 1503–1506 vol.3, 1997.
- [12] G. M. Shevchenko and E. V. Semyonov, “Improving the radioelectronic device simulation quality by using a step recovery diode,” in *2022 International Siberian Conference on Control and Communications (SIBCON)*, pp. 1–4, 2022.
- [13] “Mmdx smmdx series datasheet.” Online Datasheet, 2023.

- [14] Hewlett-Packard, "Pulse and Waveform Generation with Step Recovery Diodes," Tech. Rep. 918, Hewlett-Packard, 1984.
- [15] S. A. Maas, *Nonlinear Microwave and RF Circuits*. Boston • London: Artech House, second ed., 2003.
- [16] A. Name, "Title of the lecture," 1999. Accessed: October 10, 2023.
- [17] A. Kamal, A. Bhattacharya, M. Tamrakar, and C. Roy, "Low-ringing and reduced-cost step recovery diode based uwb pulse generators for gpr applications," *Microwave and Optical Technology Letters*, vol. 56, no. 10, pp. 2289–2294, 2014.
- [18] D. Pozar, *Microwave Engineering, 4th Edition*. Wiley, 2011.
- [19] MACOM Technology Solutions, "MA4E2502 Series Datasheet." Online, September 2023. Accessed on: 16 de octubre de 2023.
- [20] A. V. Oppenheim, R. W. Schafer, and J. R. Buck, *Discrete-Time Signal Processing*. Upper Saddle River, NJ: Prentice Hall, 2nd ed., 1999.
- [21] R. Paschotta, "Gaussian pulses." RP Photonics Encyclopedia, Accedido el 2023-10-02.
- [22] H. P. Hsu, *Análisis de Fourier*. Addison-Wesley, 1970.
- [23] R. W. Erickson and M. Dragan, *Fundamentals of Power Electronics*. Springer, hardcover ed., 8 2020.
- [24] Texas Instruments, "Lm5114 high voltage 0.5-a half-bridge gate driver datasheet." <https://www.ti.com/lit/ds/symlink/lm5114.pdf>, 2015.
- [25] Texas Instruments, *LM5114 PSpice Model*, 2023. Archivo descargado desde el sitio web de Texas Instruments.
- [26] Isola Group, "Fr408hr high performance laminate and prepreg." <https://docs.oshpark.com/resources/four-layer-substrate-FR408HR.pdf>, 2023.
- [27] J. Smith, "Vishay technology," tech. rep., Vishay Corporation, 2023.
- [28] Digilent, "Nexys 4 DDR." Página Oficial, 2023. Disponible online en <https://digilent.com/reference/programmable-logic/nexys-4-ddr/start>.
- [29] Tektronix, Inc., "Osciloscopio MSO 70404C." Datasheet, 2023. Disponible online en <https://download.tek.com/datasheet/DPO-DSA-MSO70000-DataSheet-EN-11Apr23.pdf>.
- [30] P. Rulikowski and J. Barrett, "Truly balanced step recovery diode pulse generator with single power supply," in *Proceedings. 2004 IEEE Radio and Wireless Conference (IEEE Cat. No.04TH8746)*, pp. 347–350, 2004.
- [31] P. Protiva, J. Mrkvica, and J. Macháč, "A compact step recovery diode subnanosecond pulse generator," *Microwave and Optical Technology Letters*, vol. 52, no. 2, pp. 438–440, 2010.
- [32] J. Han and C. Nguyen, "A new ultra-wideband, ultra-short monocycle pulse generator with reduced ringing," *IEEE Microwave and Wireless Components Letters*, vol. 12, no. 6, pp. 206–208, 2002.
- [33] J. Han and C. Nguyen, "Coupled-slotline-hybrid sampling mixer integrated with step-recovery-diode pulse generator for uwb applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, no. 6, pp. 1875–1882, 2005.
- [34] D. Oloumi and E. Fear, "A picosecond pulse generator using srd diodes: Design, analysis, and measurements," in *2018 USNC-URSI Radio Science Meeting (Joint with AP-S Symposium)*, pp. 159–160, 2018.