

# Mi Tesis

Miguel Perez Andrade

abril de 2023

# Índice general

<b>1. Introducción</b>	<b>2</b>
<b>2. SRD</b>	<b>3</b>
<b>3. Diseño</b>	<b>4</b>
3.1. SRD como acelerador de flanco . . . . .	4
3.2. Generador de pulsos con <i>stub</i> . . . . .	6
3.2.1. Principios del <i>stub</i> . . . . .	6
3.2.2. Generador de pulsos SRD+ <i>stub</i> . . . . .	7
3.3. Diseño final del <i>pulser</i> . . . . .	9
3.4. Consumo del generador . . . . .	9
3.5. Diseño del <i>driver</i> . . . . .	12
3.5.1. Filtro pasa altos . . . . .	13
3.5.2. Implementación de la llave . . . . .	22
3.6. Implementación en PCB . . . . .	25
3.6.1. Selección de componentes pasivos . . . . .	27
3.6.2. Layout del pulser . . . . .	28
3.6.3. Layout del driver . . . . .	31
<b>4. Mediciones</b>	<b>34</b>
4.1. Banco de medición . . . . .	34
4.1.1. Fuente de alimentación . . . . .	34
4.1.2. FPGA . . . . .	35
4.1.3. Osciloscopio . . . . .	36
4.2. Mediciones realizadas . . . . .	37
4.2.1. Mediciones preliminares . . . . .	38
4.3. Resultados . . . . .	38
4.3.1. Comparación con simulación . . . . .	39
4.3.2. Comparación con resultados de la literatura . . . . .	41
<b>5. Conclusiones</b>	<b>47</b>
<b>A. Código Fuente Verilog</b>	<b>48</b>
<b>B. Bibliografía</b>	<b>52</b>

# **Capítulo 1**

## **Introducción**

Para los requerimientos, hablar en algún lado de la plataforma base?

Poner en algún lado una tabla con todos los requisitos: ancho de banda, amplitud, PRF, entrada de comando, fuente de alimentación, etc

# **Capítulo 2**

## **SRD**

Acá va toda la explicación sobre el SRD.

Hablar sobre el gran MCL y su efecto

Hablar sobre la aceleración de flancos

Hablar sobre el modelo de simulación

# Capítulo 3

## Diseño

### 3.1. SRD como acelerador de flanco

Como fuese explicado anteriormente, el diodo SRD puede utilizarse para acelerar flancos. Esta funcionalidad combinada con un stub permite generar pulsos de gran velocidad de crecimiento y ancho controlable. Para explicar el funcionamiento del generador, empezaremos explicando el funcionamiento del circuito acelerador de flancos. En la figura 3.1 puede observarse un circuito que demuestra el funcionamiento.

El circuito está compuesto por un generador de cuadrada lento, con tiempos de crecimiento y decrecimiento de 5 ns, en serie una resistencia de fuente  $R_s$  de valor  $50\Omega$  y un diodo SRD. La carga del circuito es la resistencia  $R_L$  de  $50\Omega$ .

En la figura 3.2 se observa el resultado de la simulación. Vemos que, hasta aproximadamente 85 ns, la señal de salida  $V_o$  es igual a la señal de entrada, afectada por el divisor entre  $R_L$  y  $R_s$ ,  $\frac{R_L}{R_L+R_s} = 0,5$ . Durante este tiempo, el SRD presenta una baja impedancia. En la porción positiva de la señal de entrada  $V_p$ , esto es coincidente con un diodo usual, ya que el mismo se encuentra polarizado en directa. En lo que destaca el SRD de un diodo usual, es que luego de que la tensión de entrada se invierta, este sigue presentando una baja impedancia. Esto se debe al gran tiempo de vida de sus portadores minoritarios, lo que requiere un tiempo apreciable para descargarlos y pasar al estado de alta impedancia.

Se observa en la forma de onda de  $V_o$  que esta transición se da alrededor de 85 ns, donde la tensión de salida cae abruptamente a 0. En la forma de onda de la corriente se observa la misma caída abrupta en los 85 ns, y una inversión en el signo de la corriente con la inversión en el signo de la cuadrada de entrada.

Llamaremos corriente de inyección de carga  $I_F$  a la corriente que circula por el SRD con sentido positivo. Esta corriente determina la carga  $Q_F$  almacenada en el mismo, y ambas se relacionan mediante [1] [2]

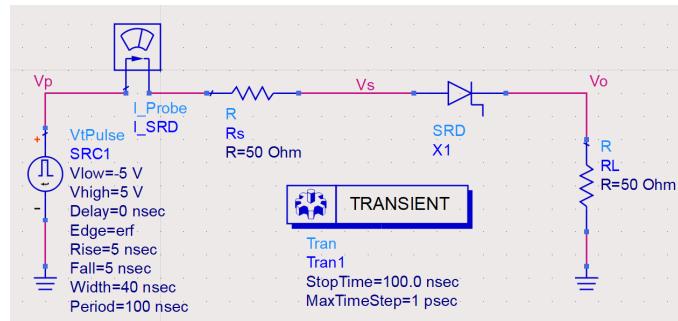


Figura 3.1: Circuito acelerador de flanco con SRD

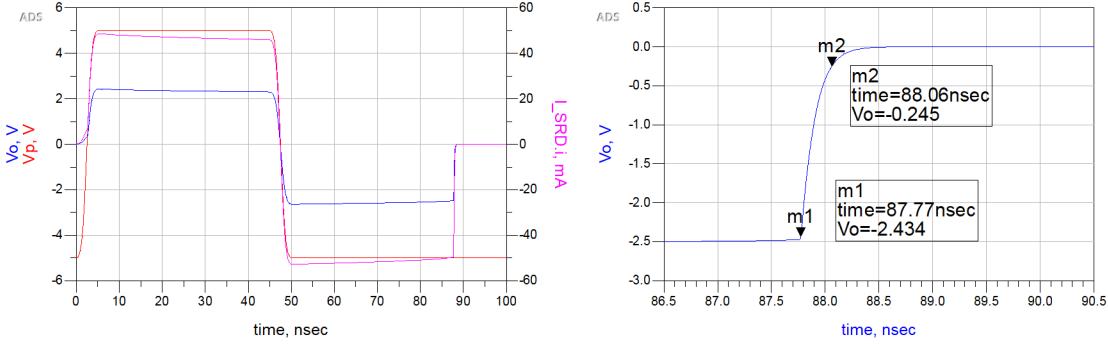


Figura 3.2: Resultado de simulación.

$$Q_F = I_F \cdot \tau \cdot \left(1 - e^{-t_F/\tau}\right) \quad (3.1)$$

Para el circuito presentado, siendo  $V_h$  el valor de la tensión positiva de la señal cuadrada de entrada, la corriente  $I_F$  estará dada por

$$I_F = \frac{V_h}{R_s + R_L} \quad (3.2)$$

Para la corriente de extracción de carga  $I_R$ , que es la corriente existente durante la porción negativa de la señal cuadrada de entrada en la que el SRD se encuentra en un estado de baja impedancia, tenemos la siguiente expresión

$$I_R = \frac{V_l}{R_s + R_L} \quad (3.3)$$

con  $V_l$  el valor de la tensión negativa de la señal cuadrada de entrada.

El tiempo de descarga del diodo  $t_s$  es el tiempo que tarda la corriente negativa en remover todas las cargas almacenadas durante la porción positiva. Por definición, es el tiempo entre el cambio de signo de la corriente en el diodo, y la caída a 0 de la corriente. Este tiempo se relaciona con las corrientes  $I_F$  e  $I_R$  y el tiempo de vida de los portadores minoritarios  $\tau$  mediante [1]

$$\frac{t_s}{\tau} = \ln \left( 1 + \frac{I_F}{I_R} \right) \quad (3.4)$$

En la figura 3.2, puede observarse el tiempo de crecimiento del escalón generado con el apagado del SRD. Se toma el tiempo de crecimiento 10%-90%. Siendo que el escalón de tensión se da entre  $-2,5 \text{ V}$  y  $0 \text{ V}$ , tenemos que el punto de 10% es  $V_{10\%} = -2,5 \text{ V} \cdot 0,9 = 2,25 \text{ V}$ , y el de 90% es  $V_{90\%} = -2,5 \text{ V} \cdot 0,1 = -0,25 \text{ V}$ .

En cuanto a la magnitud del salto de tensión  $\Delta V$ , estará dado por el valor de la tensión en el cátodo del SRD antes de que pase al estado de alta impedancia. Esta tensión estará dada por el divisor entre  $R_L$  y  $R_s$ ,

$$\Delta V = V_l \cdot \frac{R_L}{R_L + R_s} \quad (3.5)$$

El tiempo de crecimiento de este escalón estará dado por dos componentes: un tiempo de transición intrínseco del diodo SRD  $t_t$ , y un tiempo de carga  $t_{RC}$  dado por la capacidad en reversa  $C_{VR}$  del diodo SRD y la resistencia equivalente vista desde sus terminales [1]. El tiempo de crecimiento total estará dado por

$$t_r = \sqrt{t_t^2 + t_{RC}^2} \quad (3.6)$$

Vemos por los marcadores de la figura, que estos tiempos son 87,77 ns y 88,06 ns respectivamente, por lo que tenemos un tiempo de crecimiento

$$t_r = 87,77 \text{ ns} - 88,06 \text{ ns} = 290 \text{ ps} \quad (3.7)$$

Como fuese explicado anteriormente, este tiempo de crecimiento estará dado por el tiempo de transición del diodo y por el tiempo del RC formado entre la capacidad de reversa del diodo y la resistencia vista desde los nodos del capacitor.

## 3.2. Generador de pulsos con *stub*

### 3.2.1. Principios del *stub*

Agregando una linea de transmisión terminada en tierra en paralelo con el acelerador de flancos descripto anteriormente, es posible formar pulsos con un tiempo de crecimiento igual al tiempo de crecimiento del escalón generado por la apertura del SRD, y un ancho proporcional al largo de la línea de transmisión.

Un *stub* consiste de una línea de transmisión conectada en paralelo al camino de la señal. Su efecto sobre la señal dependerá de su impedancia característica, largo e impedancia de terminación [3].

Cuando el *stub* se encuentra abierto, es decir, terminado por una impedancia infinita, la señal propagada se verá reflejada con signo positivo, y en el caso de una línea de transmisión sin pérdidas, con un factor de ganancia unitario. En el caso de una línea de transmisión real, las pérdidas resultaran en un factor de atenuación. Este efecto permite generar resonancias en ciertas frecuencias, útiles para filtrado de señales o adaptación de impedancias.

En el caso de un *stub* cortocircuitado, es decir, con una impedancia de terminación igual a 0, el efecto será una reflexión de la señal con fase opuesta, y un factor de atenuación dado por las pérdidas de la línea.

El caso de interés para el circuito generador de pulsos, es el del *stub* cortocircuitado, ya que la reflexión de señal con fase opuesta, permite generar un pulso en base a una forma de onda creciente o decreciente.

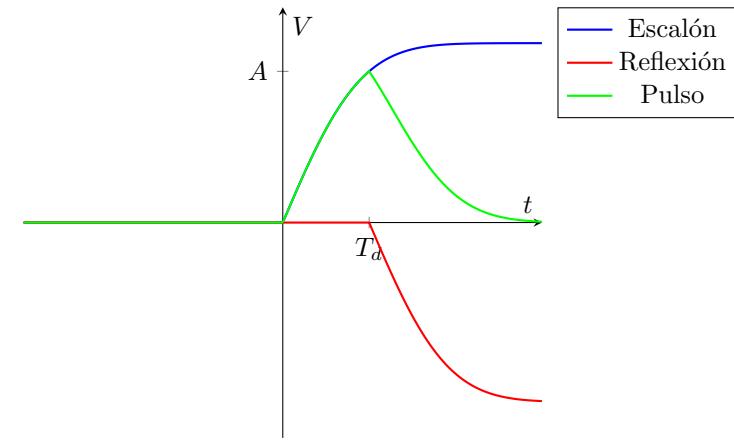


Figura 3.3: Generación de pulsos en base a reflexiones

En la figura 3.3 se observa el principio de funcionamiento del generador de pulsos en base a un stub. En línea azul, se observa un escalón que actúa como señal de entrada, en nuestro caso será el mismo que en la figura 3.2. Por acción del stub, este escalón se ve reflejado con polaridad opuesta, arribando al nodo de entrada con un retraso  $T_d$ . Esta reflexión se suma al escalón de entrada, resultando en la formación de un pulso. El ancho del pulso dependerá de  $T_d$  y de la

velocidad de crecimiento del escalón de entrada. De esta manera, se puede controlar el ancho del pulso ajustando el largo de la línea, que determina el valor de  $T_d$ .

Definiendo al tiempo de propagación de la línea de transmisión  $T$ , vemos que el tiempo  $T_d$  que demora el pulso de entrada en reflejarse es  $2 * T$ , el tiempo de un camino de ida y vuelta. El tiempo de propagación  $T$  está dado por la velocidad de propagación en la línea de transmisión  $v_p$  y el largo de la línea  $L$ .

En un medio con permisividad relativa  $\kappa$  y permeabilidad magnética relativa unitaria, la velocidad de propagación está dada por [3]

$$v_p = \frac{c_0}{\sqrt{\kappa}} \quad (3.8)$$

Para una línea de transmisión, es posible desarrollar una *permisividad efectiva*  $\kappa_{eff}$ , que es una función de la geometría de la línea y sus materiales [3]. Esta función puede obtenerse a través de una forma cerrada, generalmente involucrando diversas aproximaciones, o mediante métodos numéricos iterativos. El punto a resaltar es que, dada una determinada estructura de línea de transmisión y sus materiales, se puede considerar a  $\kappa_{eff}$  una constante del circuito.

Es interesante notar que para una línea de transmisión con modo de propagación TEM,  $\kappa_{eff}$  es una función del corte transversal de la línea de transmisión, y no de su dimensión longitudinal. De esta manera,  $\kappa_{eff}$  es independiente del largo  $L$  de la línea [3].

Entonces, el tiempo  $T_d$  estará dado por

$$T_p = 2 \cdot T = 2 \cdot \frac{L}{v_p} = 2 \cdot \sqrt{\kappa_{eff}} \cdot \frac{L}{c_0} \quad (3.9)$$

De esta forma, se puede diseñar el largo de línea  $L$  para obtener un tiempo  $T_d$  deseado

$$L = \frac{T_p}{2} \cdot \frac{c_0}{\sqrt{\kappa_{eff}}} \quad (3.10)$$

El tiempo  $T_d$  es el tiempo en el que el pulso formado alcanza su valor máximo  $A$ . El ancho del pulso  $T_p$  dependerá de  $T_d$  y también del tiempo de crecimiento  $t_r$  de la señal de entrada. La forma del pulso estará dada por la relación entre  $t_r$  y  $T_d$ . Para casos en los que  $T_d \approx t_r$ , la forma del pulso será aproximadamente gaussiana y podemos tomar la aproximación

$$T_p \approx 2 \cdot T_d \quad (3.11)$$

Donde la aproximación indica que el ancho del pulso  $T_p$  tendrá un orden de magnitud  $2 \cdot T$ . Para una relación precisa entre las variables, es necesario contemplar el tiempo de crecimiento  $t_r$ .

### 3.2.2. Generador de pulsos SRD+stub

A continuación se analizará el agregado de un stub al acelerador de flancos basado en SRD descripto anteriormente. El SRD generará el flanco rápido, el stub generará el pulso en base a este flanco de entrada, determinando el ancho del pulso con su longitud. La amplitud del pulso estará dado por la amplitud de la señal cuadrada de entrada, y por la relación entre la impedancia de carga  $Z_L$  y la del generador  $Z_g$ .

Como fuese explicado en la sección 3.1, el escalón de tensión generado en el SRD tiene una magnitud dada por

$$\Delta V = V_l \cdot \frac{R_L}{R_L + R_s} \quad (3.12)$$

La amplitud del pulso  $A$  estará dada por el valor de este escalón en el instante en el que el pulso reflejado se recombinan, como puede observarse en la figura 3.3. Si asumimos que el escalón crece como un sistema de primer orden con constante de tiempo  $\tau$ , el valor del escalón en función del tiempo es

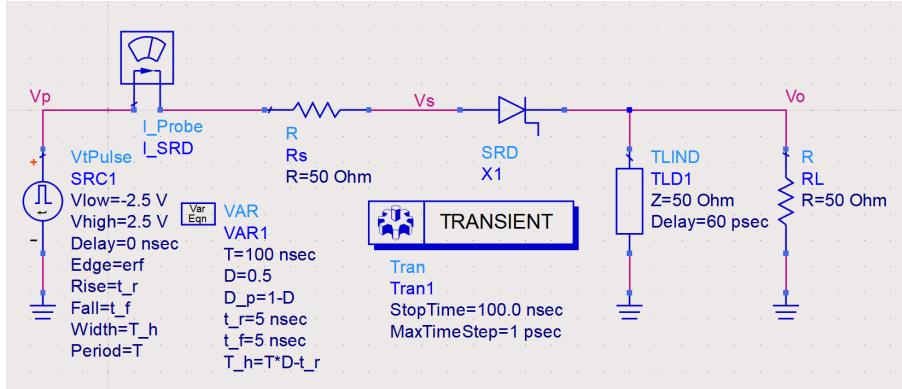


Figura 3.4: Generador de pulsos basado en *stub*

$$V(t) = \Delta V \left( 1 - e^{-\frac{t}{\tau}} \right) \quad (3.13)$$

Siendo el tiempo que tarda el pulso en reflejarse ida y vuelta  $2T$  o  $T_d$ , la amplitud del pulso estará dada por

$$A_p = V(T_d) = V_l \cdot \frac{R_L}{R_L + R_s} \left( 1 - e^{-\frac{T_d}{\tau}} \right) \quad (3.14)$$

Vemos que  $\Delta V$  es el máximo valor que puede alcanzar el pulso, siendo la relación  $\frac{T_d}{\tau}$  la que determina qué porcentaje de este valor tomará el pulso. Para  $\tau \ll T_d$ , será  $e^{-\frac{T_d}{\tau}} \approx 1$ , y por lo tanto  $A_p \approx 0$ . Este es el mismo resultado que intuitivamente se obtendría, que para señales con una variación temporal  $\tau$  mucho menor al tiempo de propagación en el *stub*  $T_d$ , la señal será filtrada por el efecto de puesta a tierra.

Para el caso de la señal de escalón generada por el SRD, es fácil obtener un tiempo de crecimiento del orden de los cientos de picosegundos, por lo que su amplitud resulta un porcentaje considerable de  $\Delta V$ . Cuanto más rápido sea el flanco, mayor amplitud.

En la figura 3.4 podemos observar un esquemático del generador de pulsos basado en SRD y *stub*. La fuente es simétrica, con amplitudes de  $\pm 2,5$  V. La impedancia de fuente  $Z_g$  se encuentra perfectamente adaptada a la de carga  $Z_L$ , siendo ambas de  $50 \Omega$ . La línea de transmisión es ideal, caracterizada únicamente por su impedancia característica,  $50 \Omega$  en este caso, y su retardo de propagación, 60 ps en este caso.

En la figura 3.5 se observan los resultados de la simulación del esquemático de la figura 3.4. En la figura se observan las formas de onda de la señal de entrada  $V_p$ , la tensión de salida  $V_o$  y la corriente sobre el SRD  $I_{SRD}$ . Se observa que la tensión de salida  $V_o$  sigue a la de entrada  $V_p$  hasta aproximadamente 85 ns, donde el SRD pasa del estado de baja impedancia al de alta. En este instante, se forma un pulso por una combinación del salto de tensión en el SRD y el efecto de reflexión del stub cortocircuitado. Es interesante notar que los flancos positivos y negativos de la señal de entrada también resultan en pulsos a la salida, aunque de mucha menor amplitud. La forma de onda de la corriente es coincidente con lo mencionado anteriormente, siendo una versión escalada por la impedancia de la forma de onda de entrada  $V_p$ , hasta los 85 ns, donde cae abruptamente a 0 debido al cambio de impedancia en el SRD.

Es interesante notar que en este caso, los valores de la corriente están dados por  $\frac{V_p}{R_s}$  y no  $\frac{V_p}{R_s + R_L}$  como en la sección 3.1. Esto se debe a que el *stub* actúa como un cortocircuito sobre  $R_L$ , anulando su impedancia. Es importante notar que, entonces,  $R_s$  tiene la función de limitación de corriente durante la etapa de conducción del SRD. De ser 0 esta impedancia, la corriente sería infinita (en rigor, se vería limitada únicamente por la resistencia serie del SRD).

En la figura 3.5 también se observa un zoom sobre el pulso obtenido. Tiene una amplitud de 847 mV y una duración de 180 ps. Se observa que el pulso presenta un sobrepico negativo, una no

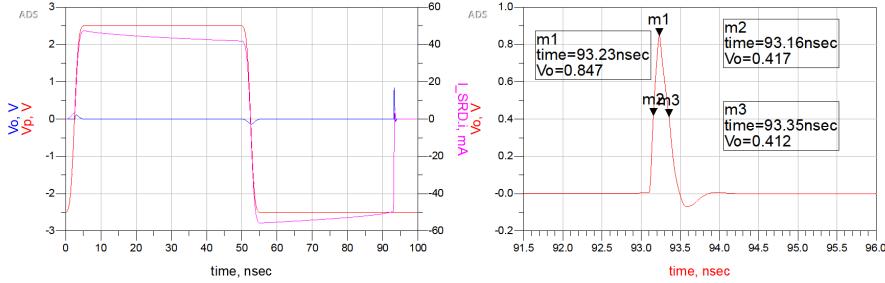


Figura 3.5: Resultado de simulación de generador con *stub*

idealidad no contemplada hasta ahora en el modelo presentado.

En algún lado calcular y simular el ancho de banda del pulso generado.

### 3.3. Diseño final del *pulser*

Para compensar tanto las transmisiones de los flancos de la fuente de entrada y el sobrepico negativo observado, se agrega al generador un diodo rectificador en serie con la resistencia de carga  $R_L$ . Siendo la tensión de encendido del diodo mayor a la amplitud de los pulsos generados por las transiciones de la onda de entrada, estos no serán transmitidos a la carga  $R_L$  debido a la acción de rectificación. En cuanto al sobrepico, también será filtrado debido al bloqueo de la corriente en sentido negativo.

Para un correcto funcionamiento del generador de pulsos, es fundamental que el rectificador sea lo suficientemente rápido como para transmitir el pulso ultracorto sin degradación. Por esta razón se utiliza un diodo Schottky.

El costo de este diodo es la perdida de amplitud en el pulso principal, dada por la magnitud de su tensión de encendido

Para esta función de rectificación, se utilizó un diodo Schottky MA4E2502H [4]. Este diodo con aplicaciones en rango de frecuencias de microondas posee una muy baja capacidad total, del orden de 0,1 pF, y capacidad e inductancia parásitas extremadamente bajas debido a su encapsulado. Esto permite trabajar en el ancho de banda necesario. Además, el encapsulado es de montaje superficial por lo que es fácilmente integrable. Su tensión de encendido es de 650 mV, por lo que la amplitud perdida se encontrará en ese orden.

En la figura 3.6 se observa un esquemático del generador de pulsos con el rectificador incluido. En la figura 3.7 se observa el resultado de la simulación. Para este caso, en la salida se encuentra únicamente el pulso principal, habiéndose bloqueado los pulsos generados por las transiciones de la señal de entrada.

En la figura 3.7 se observa el pulso simulado. Con respecto al de la simulación sin rectificador, figura 3.5, se observa una perdida en la amplitud pico de 400 mV, dada por la tensión de encendido del Schottky utilizado, y una anulación del sobrepico negativo.

### 3.4. Consumo del generador

El pulser final, que puede observarse en la captura del esquemático simulado en la figura 3.6, está compuesto por 3 componentes: la resistencia serie  $R_s$ , el diodo SRD y el diodo Schottky. Calcularemos el consumo de potencia de los 3.

Para un período de la señal cuadrada de entrada, podemos identificar 3 secciones

- La sección positiva, en la que la tensión de la señal de entrada es positiva, y la corriente la aproximaremos constante y positiva.

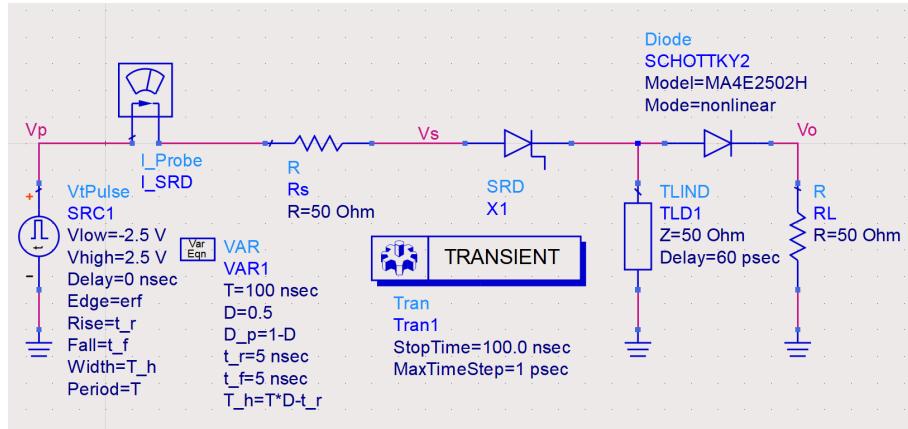


Figura 3.6: *Pulser* final incluyendo diodo Schottky

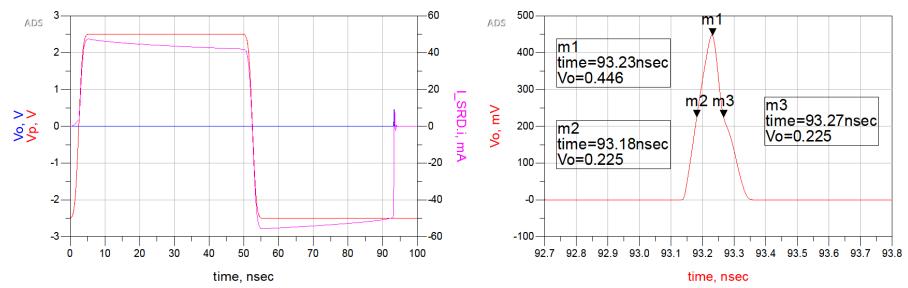


Figura 3.7: Resultado de simulación de generador con rectificador

- La sección de conducción negativa, en la que la tensión de la señal de entrada se vuelve negativa, y la corriente es constante y también negativa.
- La sección de no conducción, en la que la señal de entrada es negativa y ya no circula corriente debido a la transición al estado de alta impedancia del SRD.

La corriente en el SRD y  $R_s$  durante un período de la señal cuadrada tendrá 3 valores:  $I_+$  en el período positivo,  $I_-$  en el de conducción negativa y 0 en la sección de no conducción. Definiendo a  $D$  como el ciclo de trabajo de la señal de entrada y al ciclo complementario  $D' = 1 - D$ , la corriente RMS es

$$\begin{aligned} I_{RMS}^2 &= \frac{1}{T} \cdot \int_{t_0}^{t_0+T} i(t)^2 dt = \frac{1}{T} \cdot (D \cdot T \cdot I_+^2 + T_s \cdot I_-^2) \\ I_{RMS}^2 &= D \cdot I_+^2 + \frac{T_s}{T} \cdot I_-^2 \\ I_{RMS}^2 &< D \cdot I_+^2 + D' \cdot I_-^2 \end{aligned} \quad (3.15)$$

Podemos acotar a la corriente RMS con  $D \cdot I_+^2 + D' \cdot I_-^2$ . Despreciando la caída de tensión en el SRD, las expresiones de estas corrientes son

$$\begin{aligned} I_+ &= \frac{V_+}{R_s} \\ I_- &= \frac{V_-}{R_s} \end{aligned} \quad (3.16)$$

Tomando como tensión máxima 10 V, tenemos que la corriente máxima será  $I_M = \frac{10V}{50\Omega} = 200 \text{ mA}$ .

$$\begin{aligned} I_{RMS}^2 &< D \cdot \left(\frac{V_+}{R_s}\right)^2 + D' \cdot \left(\frac{V_-}{R_s}\right)^2 \\ I_{RMS}^2 &< D \cdot \left(\frac{10 \text{ V}}{50 \Omega}\right)^2 + D' \cdot \left(\frac{10 \text{ V}}{50 \Omega}\right)^2 \\ I_{RMS}^2 &< \left(\frac{10 \text{ V}}{50 \Omega}\right)^2 \\ I_{RMS} &< 200 \text{ mA} \end{aligned} \quad (3.17)$$

En cuanto a la corriente de la rama de salida, esta está igual a

$$i_o(t) = \frac{v_o(t)}{R_L} \quad (3.18)$$

Podemos acotar el consumo tomando un pulso de peor caso de 3 V de amplitud y 0,5 ns de duración.

$$\begin{aligned} V_{RMS}^2 &< \frac{1}{T} \cdot \int_{t_0}^{t_0+T} v(t)^2 dt = \frac{1}{100 \text{ ns}} \cdot 0,5 \text{ ns} \cdot (3 \text{ V})^2 \\ V_{RMS} &< \frac{3 \text{ V}}{\sqrt{200}} \\ V_{RMS} &< 213 \text{ mV} \end{aligned} \quad (3.19)$$

En la impedancia de salida  $Z_o$ , esto resulta en una disipación de potencia

$$\begin{aligned} P_o &= \frac{V_{RMS}^2}{Z_o} \\ P_o &= \frac{213 \text{ mV}^2}{50 \Omega} \\ P_o &= 0,3 \text{ mW} \end{aligned} \quad (3.20)$$

Que representa una potencia prácticamente despreciable.

En el caso del diodo Schottky, asumiendo una tensión de encendido constante durante la duración del pulso y de un valor igual a 650 mV, tenemos

$$\begin{aligned} P_D &< \frac{1}{T} \cdot \int_{t_0}^{t_0+T} v(t) \cdot i(t) dt = \frac{1}{T} \cdot \int_{t_0}^{t_0+T} V_D \cdot \frac{v_o(t)}{R_o} dt \\ P_D &< \frac{1}{100 \text{ ns}} \cdot \left( 0,5 \text{ ns} \cdot 650 \text{ mV} \cdot \frac{3 \text{ V}}{50 \Omega} \right) \\ P_D &< 0,2 \text{ mW} \end{aligned} \quad (3.21)$$

La máxima potencia especificada por el fabricante es de 50 mW, por lo que nos encontramos muy por debajo del límite.

### 3.5. Diseño del *driver*

El pulser desarrollado permite generar pulsos ultracortos con un circuito extremadamente simple. Como fuese explicado anteriormente, la amplitud del pulso generado depende linealmente de la amplitud de la señal cuadrada de entrada, y el consumo de corriente del pulser también es lineal con la amplitud. Este consumo es considerable, ya que es todo el consumo de polarización del SRD. En cuanto a los niveles de tensión de la señal cuadrada, es necesario que sean positivo y negativo para poder polarizar en directa e inversa al SRD en los ciclos de la señal.

Estos requerimientos de carga, amplitud y polaridad vuelven impracticable conectar directamente la salida digital de un sistema embebido a la entrada del pulser. Estas salidas suelen tener poca capacidad de carga, y niveles de tensión igual a 0 y 3,3 V o 5 V en el mejor de los casos.

Dado que uno de los objetivos del trabajo es un generador de pulsos que pueda ser directamente controlado por la salida digital de un sistema embebido, y dadas los requerimientos sobre la señal de entrada del pulser, es necesario desarrollar una etapa driver que permita con una señal unipolar y de baja capacidad de carga, controlar la generación de pulsos.

La función de esta etapa es, en base a un pulso digital de entrada de control y una fuente de alimentación continua, generar el pulso bipolar necesario para el funcionamiento del *pulser*. Tanto el período como ciclo de trabajo de este pulso bipolar serán iguales a los del pulso unipolar de entrada. Es necesario también que el *driver* presente una baja carga a la entrada.

En la figura 3.8 se observa un diagrama en bloques del driver propuesto. El mismo está compuesto por dos componentes principales que brindan dos funciones diferenciadas, la llave y el capacitor. A la entrada es excitado por la señal digital de control, y a la salida está cargado por una impedancia  $Z_L$ . La carga en este caso será el pulser, por lo tanto será una carga no lineal, ya que como se mostró en secciones anteriores, la corriente que consume tiene una abrupta caída a 0 en el instante que se genera el pulso.

La llave comuta entre  $V_{dd}$  y tierra según la señal de control digital. De esta manera, la corriente que consume la carga es entregada por la fuente y no por la señal de control digital. A la salida de la llave se generará una señal cuadrada unipolar, pero a diferencia de la entrada, esta comutará entre  $V_{dd}$  y tierra, mientras que a la entrada se comuta entre  $V_{dig}$  y tierra, siendo  $V_{dig}$  la tensión de alimentación del sistema digital de control. De esta manera, la llave logra presentarle una carga baja y constante a la salida digital, y amplifica la comutación a todo el rango disponible con la fuente de alimentación.

A la salida de la llave tenemos entonces una señal cuadrada unipolar, con amplitud pico a pico igual a  $V_{dd}$ , es decir, toda la amplitud disponible de la fuente de alimentación, y una capacidad de entrega de corriente considerable. Para convertir esta señal en una bipolar, se utiliza un filtro pasa altos, que elimina la componente continua de la señal unipolar, resultando en una bipolar.

En las próximas secciones se explica en detalle los requerimientos e implementación de cada uno de estos bloques.

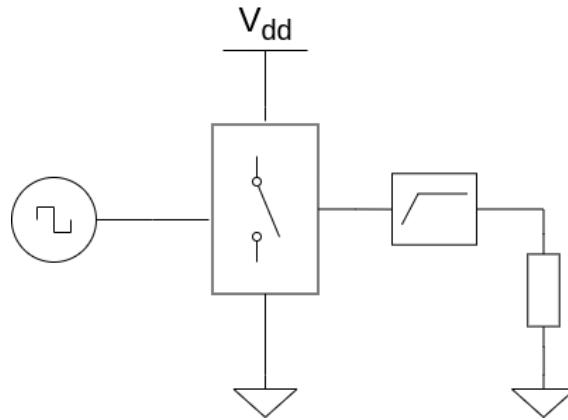


Figura 3.8: Diagrama en bloques del driver propuesto

### 3.5.1. Filtro pasa altos

El objetivo del filtro pasa altos es convertir el pulso unipolar en uno bipolar. Esta conversión se hará restándole al pulso unipolar su valor medio  $V_m$ . Estando el espectro de un pulso cuadrado de período  $T$  compuesto por una componente de continua con el valor medio  $V_m$  y múltiples harmónicos de  $T$ , cada uno con una amplitud que decae con  $\frac{1}{n}$  [5], podemos pensar esta operación de resta de valor medio como un filtrado pasa altos. El ancho de banda de este filtro debe ser tal que filtre la componente de continua y no distorsione las componentes alternas, que se encuentran a partir de  $T$ .

Sabemos que un filtro pasa altos de primer orden con frecuencia de corte  $f_c$  tiene una característica de magnitud que presenta atenuación desde continua hasta aproximadamente  $f_c$ , y una fase que varía  $90^\circ$  desde  $\frac{f_c}{10}$  hasta  $f_c \cdot 10$ . Entonces, para filtrar la componente continua de la unipolar y transmitir la bipolar sin distorsión, es necesario que la frecuencia de la cuadrada sea mayor a 10 veces  $f_c$ , es decir  $T > 10 \cdot f_c$ , o  $f_c < \frac{T}{10}$ .

Siendo la *PRF* objetivo de 10 MHz, el requerimiento sobre  $f_c$  es entonces  $f_c < 1$  MHz.

Para implementar el filtro pasa altos propuesto, se optó por un filtro de primer orden RC. Para lograr la característica pasa altos, el capacitor debe estar en el camino de la señal, es decir, en serie. De esta manera, el filtro queda compuesto por un capacitor  $C$  serie y una impedancia  $Z$  dada por la impedancia de entrada del pulser, asumiendo una impedancia despreciable para la llave.

Para una estimación del rango de valores posibles para  $C$  asumimos un rango para  $Z$  de  $Z \approx 50\Omega$ . Esta es una aproximación razonable dado que el sistema trabaja en  $50\Omega$ , por lo que  $Z$  será una serie de impedancias cercanas a  $50\Omega$  en serie o paralelo, lo que resultará en una impedancia en ese mismo orden de valores. De esta manera,

$$\begin{aligned}
 f_c &< 1 \text{ MHz} \\
 \frac{1}{2\pi \cdot |Z| \cdot C} &< 1 \text{ MHz} \\
 C &> \frac{1}{2\pi \cdot |Z| \cdot 1 \text{ MHz}} \\
 C &> \frac{1}{2\pi \cdot 50 \text{ MHz} \cdot 1 \text{ MHz}} \\
 C &> 3,2 \text{ nF}
 \end{aligned} \tag{3.22}$$

La capacidad debe estar por arriba de  $3,2 \text{ nF}$ , valores fácilmente obtenibles en los tamaños de encapsulados objetivo.

Para un valor  $C$  de capacidad por encima de los  $3,2 \text{ nF}$ , la tensión sobre el capacitor tendrá una forma triangular, con una amplitud pico a pico inversamente proporcional al valor de capacidad.

Para minimizar la amplitud de esta señal triangular, usaremos un valor muy por encima del límite de 3,2 nF, siendo el valor elegido de 100 nF.

En la siguiente sección, asumiendo un filtrado ideal, es decir, donde se filtra por completo el valor medio  $V_m$  y se transmiten los harmónicos sin distorsión, se desarrolla la expresión de los valores de la bipolar.

### Cuadrada unipolar filtrada por pasa altos

El valor medio de la tensión  $V_m$  en una señal cuadrada con valores  $V_+$  y  $V_-$ , con período  $T$  y ciclo de trabajo  $D$  está dado por

$$V_m = D \cdot V_+ + (1 - D) \cdot V_- \quad (3.23)$$

En nuestro caso, la señal unipolar a la salida de la llave tiene valores  $V_+ = V_{dd}$  y  $V_- = 0$ , por lo que tiene un valor medio

$$V_m = D \cdot V_{dd} \quad (3.24)$$

La cuadrada desarrollada en la impedancia de carga  $Z_L$  será la cuadrada unipolar a la salida de la llave, menos su valor medio. Esta señal tendrá entonces valores  $V_+$  y  $V_-$  dados por

$$\begin{aligned} V_+ &= V_{dd} - V_m = V_{dd} \cdot (1 - D) \\ V_- &= -V_m = -V_{dd} \cdot D \end{aligned} \quad (3.25)$$

Estos son los valores de la señal cuadrada unipolar que excitará al pulser. Entonces, reconocemos que  $V_-$  es  $V_l$  en la ecuación 3.14.

$$A_p = V_{dd} \cdot D \cdot \frac{R_L}{R_L + R_s} \left( 1 - e^{-\frac{2T}{\tau}} \right) \quad (3.26)$$

Vemos que tanto  $V_{dd}$  como  $D$  incrementan linealmente la amplitud del pulso a la salida. Aumentar  $V_{dd}$  tiene como límite la conducción de corriente máxima en los componentes del circuito, mientras que  $D$  tiene como límite superior el tiempo de descarga  $T_s$ , teniendo que ser  $T \cdot (1 - D) > T_s$ , es decir, el tiempo en el que la cuadrada bipolar tiene el valor  $V_l$  tiene que ser suficiente para la remoción de todas las cargas en el SRD.

### Pasa altos con pulser

Simulamos el circuito pasa altos utilizando como carga al pulser. En la figura 3.9 puede observarse el esquemático simulado. A la entrada tenemos una fuente unipolar de 5 V de amplitud, con un ciclo de trabajo  $D = 0,5$ . En base a 3.25, esperamos en el nodo  $V_{bipolar}$  una señal cuadrada simétrica con amplitudes de  $\pm 2,5$  V. Siendo la constante de tiempo del circuito pasa altos  $\tau \approx 100 \text{ nF} \cdot 50 \Omega = 5 \mu\text{s}$ , el tiempo total de simulación es de 50  $\mu\text{s}$  de manera tal de capturar 10 constantes y analizar el estado permanente del circuito.

En la figura 3.10 se observan los resultados de la simulación. Contrario a lo predecido por 3.25, los valores de  $V_{bipolar}$  no son  $\pm 2,5$  V, sino 3 V y  $-1,9$  V. Esto es consistente con el valor en estado estacionario de la tensión en el capacitor, que es  $-1,9$  V, y no  $-2,5$  V.

En cuanto al nodo de salida  $V_o$ , vemos que no desarrolla los pulsos esperados, encontrándose constante en 0 V. Esto es consistente con la forma de onda bipolar generada: al presentar un nivel de tensión positivo de mayor magnitud al negativo, aplicándose ambos niveles durante el mismo tiempo (es decir  $D = 0,5$ ), es esperado que la carga inyectada al SRD no sea removida, no pasando este al estado de alta impedancia y, por lo tanto, no se de la generación de pulsos.

Esto se confirma observando la forma de onda de la corriente: es simétrica, con la misma corriente siendo inyectada en la porción positiva de la cuadrada bipolar que siendo removida en la porción negativa.

Desarrollaremos en detalle el comportamiento del filtro pasa altos con una carga no lineal para explicar la razón de este problema, y presentar una solución al mismo.

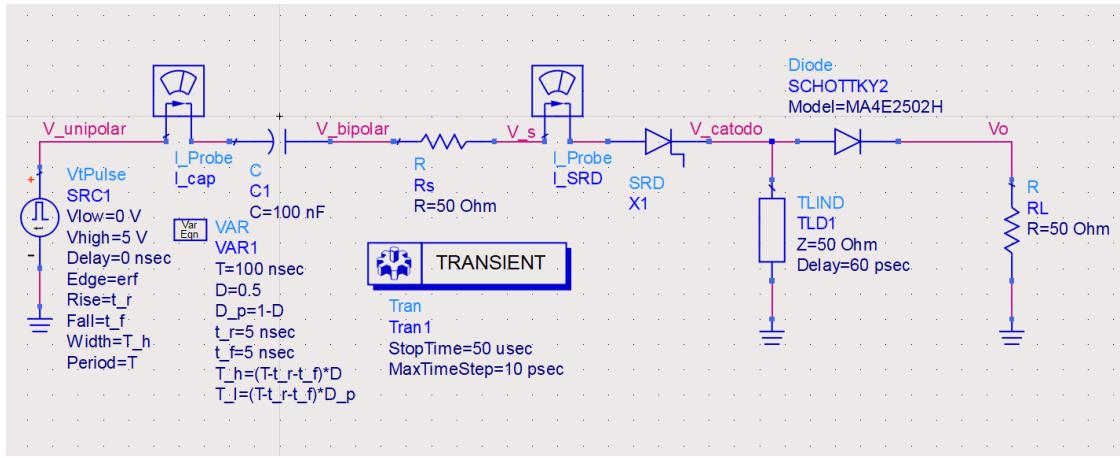


Figura 3.9: Esquemático simulado para filtro pasa altos con carga no lineal.

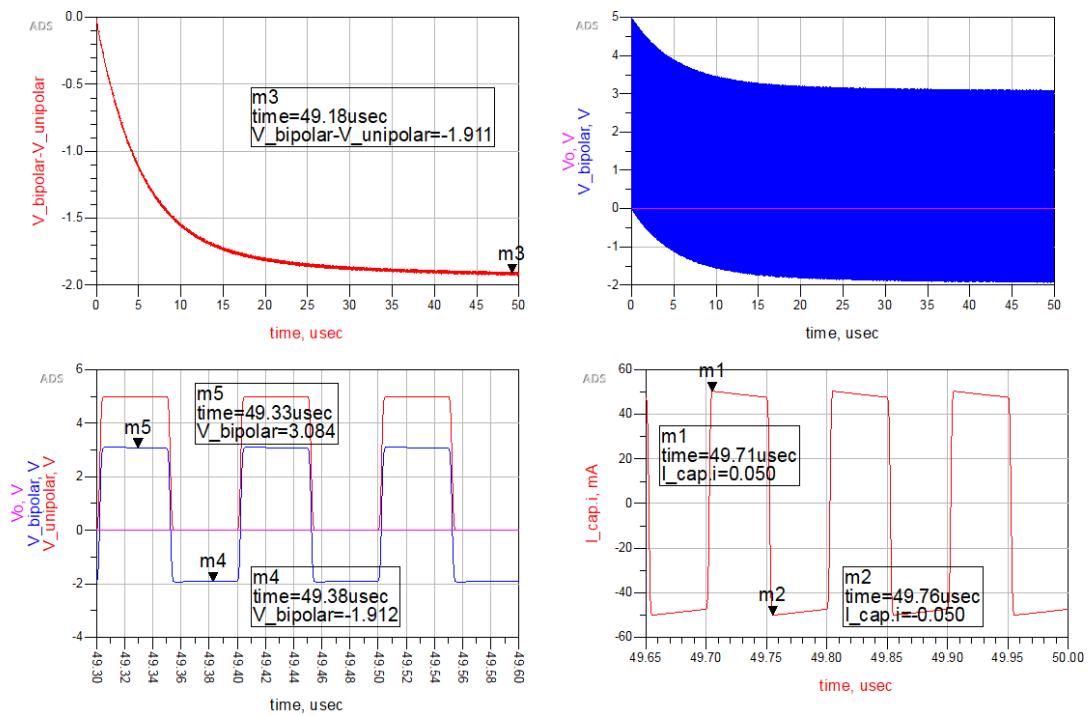


Figura 3.10: Resultados de simulación para filtro pasa altos con carga no lineal.

## Carga lineal

Empezamos analizando el caso de una carga lineal, pero sin apelar a argumentos de función transferencia, ya que para el caso de una carga no lineal no son validos. Basaremos el análisis en el balance ampere-segundo en el capacitor [6]. Este resultado establece que el valor medio de la corriente en un capacitor en estado estacionario es nulo.

$$\langle i(t) \rangle = \int_{t_0}^{t_0+T} i(t) dt = 0 \quad (3.27)$$

En caso de una carga  $Z_L$  lineal, la corriente y la tensión están linealmente relacionadas, conduciendo al resultado de la sección anterior en el que tanto la tensión como la corriente tienen un valor medio 0. En el caso de la carga no lineal, se mantiene la ecuación 3.27, es decir, el valor medio de la corriente en el capacitor será cero, pero no necesariamente el de la tensión será 0.

Asumiendo que en estado permanente el capacitor se carga a una tensión constante  $V_C$ , este valor será el que resulte de imponer el cumplimiento de la ecuación 3.27.

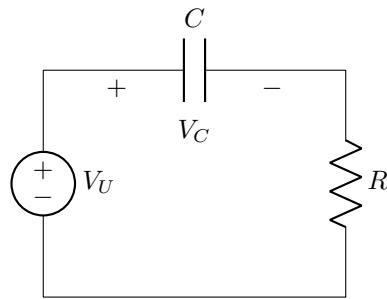


Figura 3.11: Circuito pasa altos con carga lineal

Para el caso de una carga lineal, tenemos un circuito como el de 3.11. Asumiendo que durante las porciones positivas y negativas de la tensión unipolar tenemos corrientes constantes  $I_+$  e  $I_-$ , aplicando 3.27 llegamos a

$$\begin{aligned} \int_{t_0}^{t_0+T} i(t) dt &= I_+ \cdot D - I_- \cdot D' = 0 \\ I_+ \cdot D &= I_- \cdot D' \end{aligned} \quad (3.28)$$

En este caso, las corrientes son

$$\begin{aligned} I_+ &= \frac{V_U - V_C}{R} \\ I_- &= \frac{V_C}{R} \end{aligned} \quad (3.29)$$

Reemplazando en 3.35,

$$\begin{aligned} \frac{V_U - V_C}{R} \cdot D &= \frac{V_C}{R} \cdot D' \\ V_U \cdot D &= V_C \cdot (D' + D) \\ V_C &= V_U \cdot D \end{aligned} \quad (3.30)$$

Es el mismo resultado que en la sección anterior.

## Carga no lineal

Ahora, supongamos una carga no lineal de las siguientes características: conduce durante todo el período positivo de la unipolar  $D$ , y una porción  $\alpha \cdot D'$  de la porción negativa, con  $\alpha \in [0, 1]$ . En la figura 3.12 se muestra gráficamente la definición. Un  $\alpha = 0$  corresponde a una carga que no conduce en la porción negativa, como un diodo usual, y una de  $\alpha = 1$  corresponde a una carga lineal. En nuestro caso, es  $\alpha = 2 \cdot \frac{T_s}{T}$ , con  $T_s$  el tiempo de descarga del SRD, es decir, el tiempo que le toma a la corriente negativa extraer todas las cargas inyectadas en la porción positiva.

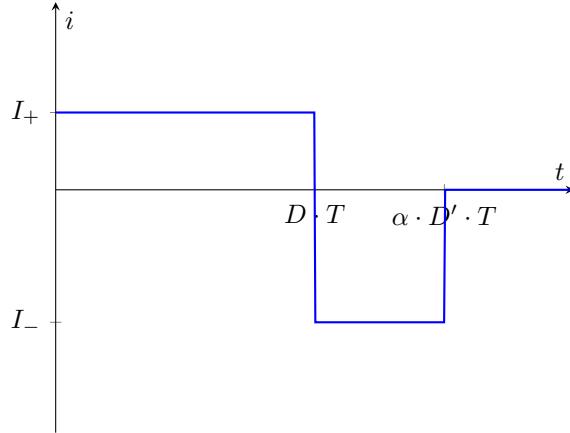


Figura 3.12: Definición del parámetro  $\alpha$

En este caso, el balance de corrientes es

$$\int_{t_0}^{t_0+T} i(t)dt = I_+ \cdot D - I_- \cdot \alpha \cdot D' = 0 \quad (3.31)$$

$$I_+ \cdot D = I_- \cdot \alpha \cdot D'$$

Las corrientes  $I_+$  e  $I_-$  son las mismas que en 3.29. Entonces, llegamos a

$$\begin{aligned} \frac{V_U - V_C}{R} \cdot D &= \frac{V_C}{R} \cdot \alpha \cdot D' \\ V_U \cdot D &= V_C \cdot (\alpha \cdot D' + D) \\ V_C &= V_U \cdot \frac{D}{\alpha \cdot D' + D} \end{aligned} \quad (3.32)$$

Definiendo a  $\alpha' = \alpha - 1$ , tenemos

$$\begin{aligned} &\alpha \cdot D' + D \\ &(1 - \alpha') \cdot D' + D \\ &\cdot D' - \alpha' \cdot D' + D \\ &1 - \alpha' \cdot D' \end{aligned} \quad (3.33)$$

Llegamos a

$$V_C = V_U \cdot \frac{D}{1 - \alpha' \cdot D} \quad (3.34)$$

Vemos que para el caso de carga lineal  $\alpha = 1$  ( $\alpha' = 0$ ), la ecuación se convierte en la misma que 3.30 como es esperado.

El resultado obtenido es consistente con el resultado de la simulación del pasa altos con el pulser como carga. La ecuación 3.33 indica que a mayor  $\alpha$ , es decir, menor conducción de corriente

durante la porción negativa, menor es  $V_C$ , la tensión de estado permanente en el capacitor. Este resultado es contrario a las necesidades de operación del generador de pulsos, ya que este se basa en la transición al estado de alta impedancia del SRD, es decir, en un  $\alpha < 1$ . Esta condición resulta en un  $V_C$  menor, lo que incrementa  $I_+$  y decrementa  $I_-$ , imposibilitando la remoción de carga en el SRD.

En la siguiente sección, desarrollamos el efecto de un resistor lineal en paralelo con la carga no lineal. Se demostrará como este tiene el efecto de linearizar la operación, compensando el efecto de  $\alpha < 1$ , y posibilitando el funcionamiento del pulser.

### Carga no lineal en paralelo con carga lineal

Tenemos un circuito como el de la figura 3.13. Nombramos  $R_s$  a la resistencia de la rama no lineal, ya que en el caso del pulser, cuando la rama conduce, su resistencia es igual a  $R_s$ .  $R_{sh}$  es una resistencia propuesta para mitigar el efecto mencionado anteriormente.

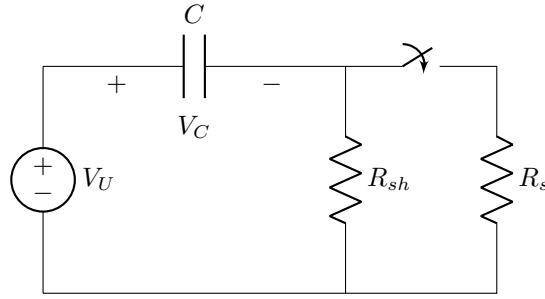


Figura 3.13: pasa altos con carga no lineal en paralelo con lineal

Planteando el balance de corrientes en el capacitor, tenemos

$$\begin{aligned} \int_{t_0}^{t_0+T} i(t)dt &= (I_{+L} + I_{+NL}) \cdot D - (I_{-L} \cdot D' + I_{-NL} \cdot \alpha \cdot D') = 0 \\ (I_{+L} + I_{+NL}) \cdot D &= (I_{-L} + I_{-NL} \cdot \alpha) \cdot D' \end{aligned} \quad (3.35)$$

Siendo ambas expresiones  $I_{\pm-L}$  e  $I_{\pm-NL}$  las de 3.29 evaluando  $R = R_{sh}$  y  $R = R_s$  respectivamente, llegamos a

$$\begin{aligned} \left( \frac{V_U - V_C}{R_{sh}} + \frac{V_U - V_C}{R_s} \right) \cdot D &= \left( \frac{V_C}{R_{sh}} + \frac{V_C}{R_s} \cdot \alpha \right) \cdot D' \\ (V_U - V_C) \cdot D \cdot \left( \frac{1}{R_{sh}} + \frac{1}{R_s} \right) &= V_C \cdot D' \left( \frac{1}{R_{sh}} + \frac{\alpha}{R_s} \right) \end{aligned} \quad (3.36)$$

Reconocemos la expresión de la resistencia en paralelo de  $R_{sh}$  y  $R_s$ , y la de  $R_{sh}$  y  $\frac{R_s}{\alpha}$ , siendo el efecto de  $\alpha$  el de reducir la resistencia en la porción negativa en  $\alpha$ .

$$\begin{aligned} \frac{V_U - V_C}{R_{sh}/R_s} \cdot D &= \frac{V_C}{R_{sh}/(\frac{R_s}{\alpha})} \cdot D' \\ \frac{V_U}{R_{sh}/R_s} \cdot D &= V_C \left( \frac{D}{R_{sh}/R_s} + \frac{D'}{R_{sh}/R_s} \right) \end{aligned} \quad (3.37)$$

Definiendo a  $\alpha' = \alpha - 1$  y desarrollando la expresión que acompaña a  $V_C$ ,

$$\begin{aligned}
& D \left( \frac{1}{R_s} + \frac{1}{R_{sh}} \right) + (1 - D) \left( \frac{1}{R_{sh}} + \frac{\alpha}{R_s} \right) \\
& D \left( \frac{1}{R_s} + \frac{1}{R_{sh}} \right) + (1 - D) \left( \frac{1}{R_{sh}} + \frac{1}{R_s} \right) - (1 - D) \frac{\alpha'}{R_s} \\
& \frac{1}{R_{sh}/R_s} - \frac{D' \cdot \alpha'}{R_s}
\end{aligned} \tag{3.38}$$

Reemplazando en 3.37

$$\begin{aligned}
\frac{V_U}{R_{sh}/R_s} \cdot D &= V_C \left( \frac{1}{R_{sh}/R_s} - \frac{D' \cdot \alpha'}{R_s} \right) \\
V_U \cdot D &= V_C \left( 1 - \frac{R_{sh}/R_s}{R_s} \cdot D' \cdot \alpha' \right)
\end{aligned} \tag{3.39}$$

Reconocemos a  $\frac{R_{sh}/R_s}{R_s} = \frac{R_{sh}}{R_{sh}+R_s}$  como la expresión de un divisor resistivo entre  $R_{sh}$  y  $R_s$ . Llamaremos a esta expresión  $\gamma$ , y notamos que cuando  $R_{sh} \gg R_s$  es  $\gamma \rightarrow 1$ , y cuando  $R_{sh} \ll R_s$  es  $\gamma \rightarrow 0$ .

Entonces, llegamos a

$$\begin{aligned}
V_U \cdot D &= V_C (1 - \gamma \cdot D' \cdot \alpha') \\
V_C &= V_U \cdot \frac{D}{(1 - \gamma \cdot D' \cdot \alpha')}
\end{aligned} \tag{3.40}$$

Notamos los siguientes casos extremos de  $\gamma$ :

- $\gamma \rightarrow 1$ : este caso se corresponde a  $R_{sh} \rightarrow \infty$ , es decir,  $R_{sh} \gg R_s$ . En este caso, la expresión es idéntica a 3.34. Esto es esperado, ya que en este caso la corriente que consume  $R_{sh}$  es despreciable, por lo que es un caso equivalente al que no hay  $R_{sh}$
- $\gamma \rightarrow 0$ : en este caso,  $R_{sh} \rightarrow 0$ , es decir,  $R_{sh} \ll R_s$ . En este caso, la expresión 3.40 se convierte en 3.30. Esto es esperado, ya que en este caso, la corriente de la carga no lineal es despreciable frente a la corriente de la carga lineal  $R_{sh}$ .

Notamos del último punto, que en presencia de una carga no lineal, agregar una carga lineal en paralelo  $R_{sh}$ , logra el efecto de *linearizar* la forma de onda, en el sentido de volver sus extremos más similares a los de un caso de carga lineal. En base a este principio, es que agregamos un resistor no lineal en paralelo al pulser para lograr su correcto funcionamiento.

Realizamos una simulación de la mejora propuesta. En la figura 3.14 se observa el esquemático simulado. Es la misma configuración que en 3.11, pero ahora se agrega un resistor en paralelo con el pulser.

En la figura 3.15 se observan los resultados de la simulación. En este caso, a la salida se observa la generación de pulsos. Analizando la corriente sobre el SRD, vemos que en este caso la corriente negativa es de mayor módulo que la positiva, observándose la transición a alta impedancia del SRD con su característica abrupta caída a 0 de la corriente. Para la corriente en el capacitor, vemos que ahora es la suma de la corriente en el resistor lineal y la corriente en el SRD.

En cuanto a la tensión cargada en el capacitor, vemos que ahora es  $-2,52\text{ V}$ , mayor que los  $-1,9\text{ V}$  de la simulación sin carga lineal en paralelo. Este incremento de la tensión de carga es consistente con la ecuación 3.40. Evaluando la ecuación, tenemos en este caso

$$\begin{aligned}
D &= 0,5 \\
\gamma &= \frac{R_{sh}}{R_{sh} + R_s} = 0,5 \\
\alpha &= \frac{0,4}{0,5} = 0,9
\end{aligned} \tag{3.41}$$

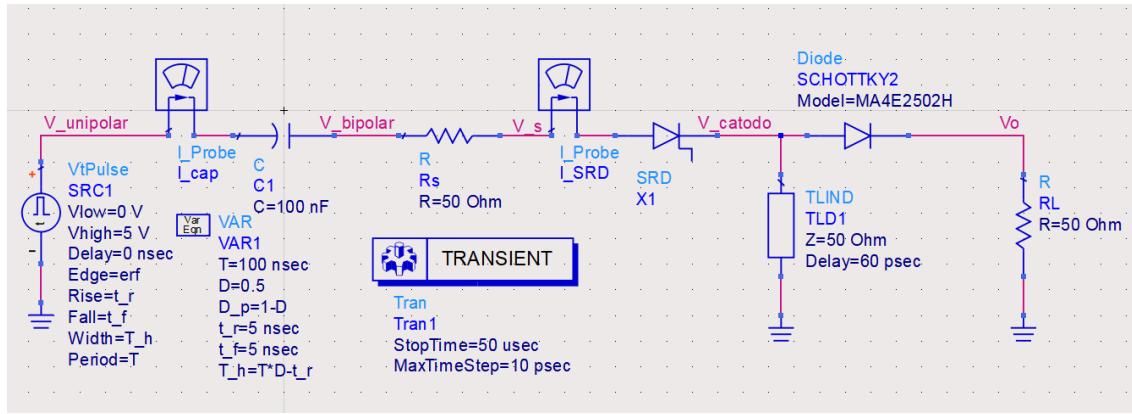


Figura 3.14: Circuito pasa altos con carga no lineal y lineal en paralelo simulado

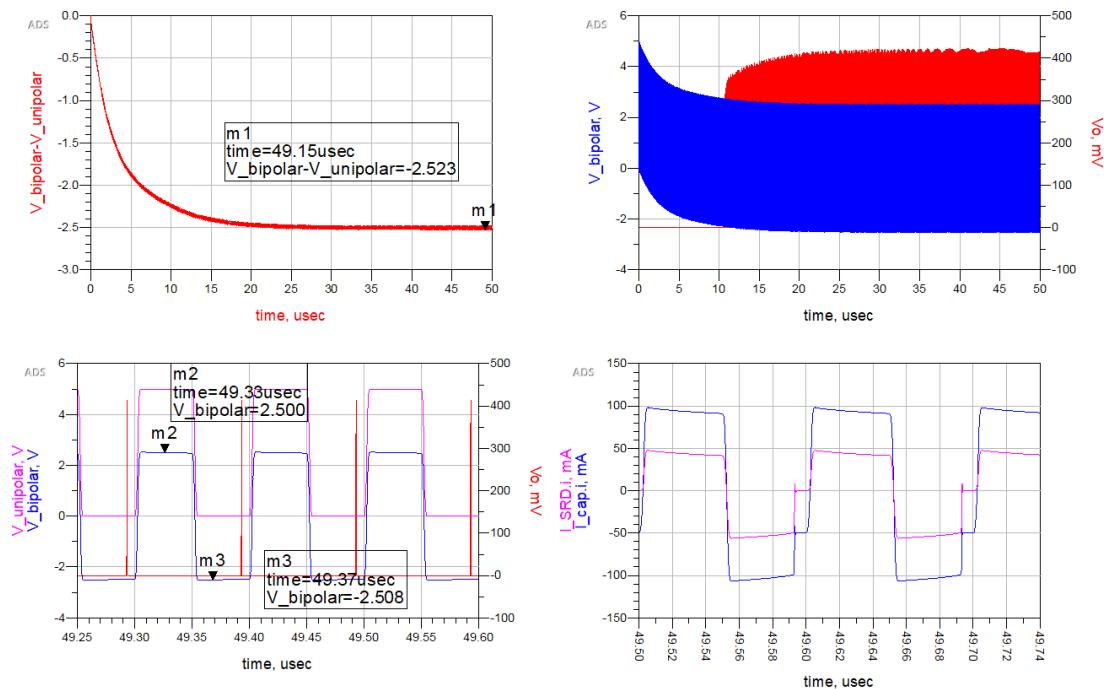


Figura 3.15: Resultado de simulación de pasa altos con carga no lineal y lineal en paralelo.

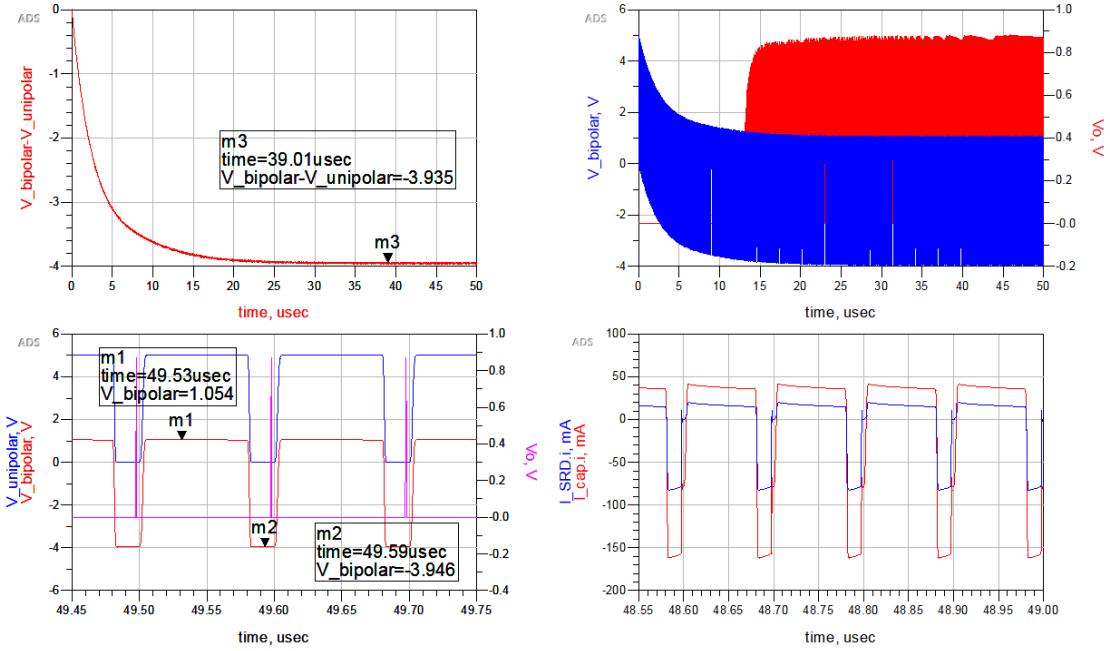


Figura 3.16: Resultado de simulación de pasa altos con carga no lineal y lineal en paralelo,  $D = 0,8$ .

Donde tomamos  $\alpha$  leyendo el eje  $x$  de 3.15. Para estos valores, 3.40 predice un valor de

$$\begin{aligned} V_C &= V_U \cdot \frac{D}{(1 - \gamma \cdot D' \cdot \alpha')} \\ V_C &= 5 \text{ V} \cdot \frac{0,5}{(1 - 0,5 \cdot (1 - 0,5) \cdot (1 - 0,9))} \\ V_C &= 2,56 \text{ V} \end{aligned} \quad (3.42)$$

La ecuación es consistente con el resultado de la simulación. En este caso, los valores de la señal bipolar son  $\pm 2,5 \text{ V}$ , habiendo logrado bajar los niveles con respecto al resultado de la figura 3.10.

El agregado del resistor lineal en paralelo logró el efecto deseado, aumentando la tensión en el capacitor serie, logrando una señal bipolar que logra cargar y descargar al SRD permitiendo la generación de pulsos.

Para terminar de demostrar su funcionamiento, repetimos la simulación del esquemático de la figura 3.14, ahora con un ciclo de trabajo  $D = 0,8$ . En la figura 3.16 se observa el resultado. Ahora se logra el efecto descripto anteriormente, mediante el incremento del ciclo de trabajo  $D$  decrece la tensión  $V_+$  y aumenta  $V_-$ , resultando en una mayor amplitud de pulso. Vemos que esta es  $0,85 \text{ V}$ , mientras que en 3.15 se obtuvieron  $0,45 \text{ V}$ .

En cuanto a la tensión en el capacitor, aplicando la ecuación 3.40, tenemos

$$\begin{aligned} V_C &= V_U \cdot \frac{D}{(1 - \gamma \cdot D' \cdot \alpha')} \\ V_C &= 5 \text{ V} \cdot \frac{0,8}{(1 - 0,5 \cdot (1 - 0,8) \cdot (1 - 0,9))} \\ V_C &= 4 \text{ V} \end{aligned} \quad (3.43)$$

La ecuación se encuentra consistente con el resultado obtenido en la simulación.

Variable	Requerimiento
$V_{in}$	CMOS @ $V_{DD} = 3,3\text{ V}$ ( $V_{OH} 2,4\text{ V}$ )
$f_{in}$	Typ 10 MHz
$\tau_r / \tau_f$	Max 10 ns
$V_{dd}$	5 V - 8 V
$I_{out}$	Max 200 mA

Cuadro 3.1: Requerimientos de la llave para el driver.

### 3.5.2. Implementación de la llave

Cómo fuese explicado anteriormente, el bloque de llave en el diagrama de la figura 3.8 cumple la función de commutar entre 0 y  $V_{dd}$  según la señal de control de entrada. En esta sección se discute la implementación de este bloque, empezando por un análisis de los requerimientos del mismo y siguiendo con la realización de un circuito que los cumpla.

#### Requisitos

En la tabla 3.1 se describen los requerimientos que debe cumplir la llave

El requerimiento de tensión de entrada es debido al sistema objetivo de integración del prototipo, en el que los sistemas digitales de control trabajan con un  $V_{DD}$  de 3,3 V. Además, este nivel de tensión es versátil en cuanto a que permite trabajar con otro tipo de salidas, como CMOS 5 V.

La frecuencia de entrada se debe a la PRF objetivo de 10 MHz. El requerimiento de tiempo de crecimiento y caída  $\tau_r / \tau_f$  es impuesto para que no sean mucho mayores a  $\frac{10}{f_{in}}$ . Esto garantiza que la forma de tensión no se diferencie demasiado de la forma de onda ideal con la que se diseñó el sistema. Es probable que formas de onda con mayores relaciones entre tiempo de crecimiento y período funcionen para generación de pulsos, pero para este primer prototipo se optó por una forma de onda lo más ideal posible.

En rigor, también existe un requisito de tiempo mínimo de crecimiento/caída. Esto se debe la presencia del stub. Como fuese explicado en 3.2, el stub genera pulsos para cualquier tipo de transición, con una amplitud de pulso proporcional a la velocidad de crecimiento de la señal. Si los tiempos de crecimiento/caída de la llave fueran tales que el pulso generado por el stub tenga una amplitud mayor a la tensión de encendido del diodo Scottky, se transmitirían pulsos indeseados en la salida. Es por esto que existe un límite inferior para el tiempo de crecimiento/caída de la llave. De todas formas, no se impondrá este requerimiento sobre la llave, ya que en el circuito se dejará disponible un lugar para el soldado de un capacitor  $C$  paralelo a la salida de la llave. Esto permite volver más lento el tiempo de crecimiento en caso de que este sea demasiado rápido.

El requerimiento de  $V_{dd}$  se debe al rango de tensiones de alimentación de interés del sistema. Estas son fácilmente obtenibles en las plataformas a las que se apunta integrar el prototipo.

El requisito de consumo es en base al número de consumo del pulser obtenido en la sección 3.4.

#### Llave utilizada

En base a todos estos requerimientos, se optó por un circuito integrado comercial *gate driver*. Estos dispositivos son utilizados para commutar la compuerta de un transistor CMOS de potencia en base a una señal digital de baja capacidad de carga. Debido a la similitud entre este caso de uso y el de este trabajo, fue fácil encontrar un dispositivo que cumpla con los requisitos de la tabla 3.1.

El integrado seleccionado fue el LM5114 [7]. En la figura 3.17 puede observarse un diagrama en bloques del mismo, tomado de [7]. El dispositivo posee dos salidas, una para el transistor  $P$  y otra para el  $N$ . Esto permite, mediante resistencias externas, igualar los tiempos de crecimiento de cada transición. En nuestra aplicación, esto no es de interés, por lo que ambas salidas estarán cortocircuitadas.

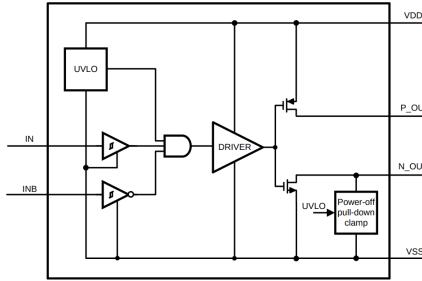


Figura 3.17: Diagrama en bloques del LM5114. Tomado de [7]

El integrado presenta dos versiones, *A* y *B*, la primera teniendo niveles de tensión de entrada CMOS y la segunda TTL. Se optó por la versión *B*, ya que los niveles de tensión CMOS dependen de la tensión de alimentación  $V_{dd}$ , mientras que la TTL tiene niveles de tensión independientes de  $V_{dd}$  y compatibles con los especificados en 3.1. En cuanto al encapsulado, se optó por la versión en WSON debido a su disponibilidad en stock.

En cuanto a rango de  $V_{dd}$ , la hoja de datos lo especifica en 4 V - 10 V, excediendo el requerimiento de 3.1. No se especifica una corriente continua máxima de operación, pero se puede obtener esta medida a partir de la especificación de máxima temperatura de juntura  $T_{jM}$  y resistencia térmica  $\theta_{jA}$ . Estas están especificadas en

$$\begin{aligned} T_{jM} &= 125^{\circ}\text{C} \\ \theta_{jA} &= 51,2 \frac{{}^{\circ}\text{C}}{\text{W}} \end{aligned} \quad (3.44)$$

La relación entre potencia disipada  $P$  en el integrado, temperatura de juntura  $T_j$ , temperatura ambiente  $T_A$  y resistencia térmica  $\theta_{jA}$  es

$$T_j = T_A + P \cdot \theta_{jA} \quad (3.45)$$

Dada la máxima temperatura de juntura  $T_{jM}$ , la máxima potencia  $P_M$  es

$$P_M = \frac{T_{jM} - T_A}{\theta_{jA}} \quad (3.46)$$

Aproximando el consumo de potencia en el integrado con la corriente de salida multiplicada por la impedancia de salida, es decir, despreciando todas las otras fuentes de disipación, tenemos

$$\begin{aligned} P_M &= I_{RMS_{max}}^2 \cdot R_o = \frac{T_{jM} - T_A}{\theta_{jA}} \\ I_{RMS_{max}} &= \sqrt{\frac{T_{jM} - T_A}{\theta_{jA}}} \cdot \frac{1}{R_o} \end{aligned} \quad (3.47)$$

La hoja de datos especifica distintos rangos de  $R_o$  para la salida *N* y la *P*. Utilizaremos la peor que es  $4,78\Omega$ . Para  $\theta_{jA}$ , dado que el valor depende no solo del integrado sino también del PCB, tomaremos un peor caso aumentando en un 50 % el especificado por el fabricante. Entonces tenemos

$$\begin{aligned} I_{RMS_{max}} &= \sqrt{\frac{125^{\circ}\text{C} - 25^{\circ}\text{C}}{51,2 \frac{{}^{\circ}\text{C}}{\text{W}} \cdot 1,5}} \cdot \frac{1}{4,78\Omega} \\ I_{RMS_{max}} &= 240 \text{ mA} \end{aligned} \quad (3.48)$$

Vemos que el requisito de la tabla 3.1 se cumple. Cabe destacar que esta corriente  $I_M$  fue obtenida asumiendo peores casos, en caso de requeriría una corriente superior, probablemente

el integrado pueda proveerla. Incluso en caso de exceder la corriente la temperatura máxima de juntura, se puede colocar un disipador.

En cuanto a tiempo de caída/crecimiento  $\tau_r / \tau_f$ , el fabricante especifica una dependencia del mismo en función de la capacidad de carga  $C_L$ , con mayores tiempos a mayor carga. Para la carga mínima especificada, 1000 pF, el tiempo de crecimiento es de 8 ns y el de caída de 3,2 ns. Ambos se encuentran por debajo de los máximos 10 ns especificados en 3.1.

De todas maneras, analizando la capacidad de carga que tiene el integrado, esta es mucho menor a 1000 pF. Como fuese explicado anteriormente, la impedancia que presenta el pulser es igual a la resistencia  $R_s$  durante el período de conducción positivo, y  $R_s/\alpha$  durante el período negativo. La carga del gate driver está compuesta por el pulser en serie con el capacitor de filtrado pasa altos. Este capacitor es de 100 nF, y en las frecuencias de trabajo de la señal cuadrada, presenta una impedancia

$$\begin{aligned} |Z_C| &< \frac{1}{2\pi \cdot PRF \cdot C} \\ |Z_C| &< \frac{1}{j2\pi \cdot 10 \text{ MHz} \cdot 100 \text{ nF}} \\ |Z_C| &< 15 \text{ m}\Omega \end{aligned} \quad (3.49)$$

La impedancia del capacitor es menor en todo el rango ya que el contenido espectral de la señal cuadrada se encuentra por arriba de la frecuencia fundamental  $PRF$ . Entonces, la impedancia de carga del gate driver es  $Z_L \approx 50 \Omega + j \cdot 15 \text{ m}\Omega \approx 50 \Omega$ , es decir una carga resistiva pura, debido a lo despreciable de la impedancia del capacitor serie con la resistencia de limitación de corriente  $R_s$ . En este análisis no se tuvieron en cuenta las capacidades a tierra parásitas tanto de los encapsulados como del PCB, por lo que serán estas las que determinen la capacidad de carga real.

Se encuentra especificada una asimetría importante entre  $\tau_r$  y  $\tau_f$ , siendo el último aproximadamente un 25 % del primero. Esta asimetría es un sentido beneficioso para el circuito, ya que el tiempo de transición crítico es el de caída. Este tiempo tiene que ser lo suficientemente rápido para que cuando el SRD transiciones al estado de alta impedancia, la forma de onda de entrada ya haya llegado a su mínimo valor. Caso contrario, el pulso tendrá menor amplitud. Esto es claro de la ecuación 3.14, donde se establece que la amplitud del pulso es directamente proporcional a la tensión en el ánodo del SRD.

El dispositivo no presenta una especificación de frecuencia de trabajo, pero contiene especificaciones de tiempo de propagación y tiempos de caída/crecimiento, que imponen una restricción sobre la máxima frecuencia de operación. En la figura 3.18 se observan las definiciones de tiempo de propagación y caída/crecimiento. De la definición, el tiempo desde que la señal de entrada llega a un 50 % hasta que la salida comienza a cambiar es aproximadamente  $t_{D-on} + t_r$  para el caso de una transición 0 → 1, y para la transición 1 → 0 será  $t_{D-off} + t_f$ .

Referenciando estos al inicio de la transición de la señal de entrada, tenemos que son  $t_{ri} + t_{D-on} + t_{ro}$  y  $t_{fi} + t_{D-off} + t_{fo}$ , donde definimos a  $t_{ri}$  y  $t_{fi}$  y  $t_{ro}$  y  $t_{fo}$  como los tiempos de transición 10 % – 90 % de las señales de entrada y salida respectivamente. Estas expresiones son cotas superiores, ya que los tiempos de crecimiento son del 10 % al 90 %, mientras que el tiempo anterior estaba reverenciado desde el 50 % de la señal de entrada.

Entonces, vemos que el período mínimo será  $T_{min} = t_{ri} + t_{D-on} + t_{ro} + t_{fi} + t_{D-off} + t_{fo}$ . De la hoja de datos, tenemos los siguientes peores (máximos) tiempos especificados para operación a  $T_j = 25^\circ\text{C}$

- $t_{D-on} = 27 \text{ ns}$
- $t_r @ 1000 \text{ pF} = 12 \text{ ns}$
- $t_{D-off} = 27 \text{ ns}$
- $t_f @ 1000 \text{ pF} = 3 \text{ ns}$

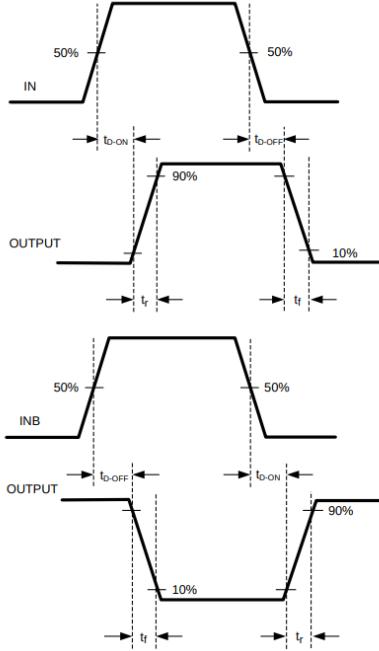


Figura 3.18: Definición de tiempos de transición y propagación, tomado de [7]

Asumiendo para un peor caso, tiempos de transición de entrada de 10 ns, tenemos un período mínimo de

$$\begin{aligned} T_{min} &= t_{ri} + t_{D-on} + t_{ro} + t_{fi} + t_{D-off} + t_{fo} \\ T_{min} &= 10 \text{ ns} + 27 \text{ ns} + 12 \text{ ns} + 10 \text{ ns} + 27 \text{ ns} + 3 \text{ ns} \\ T_{min} &= 89 \text{ ns} \end{aligned} \quad (3.50)$$

El período mínimo se encuentra por debajo del período de 100 ns correspondiente a los 10 MHz especificados en la tabla 3.1, por lo que se cumple el requerimiento de  $f_{in}$ .

### Simulación

El fabricante provee un modelo de SPICE del gate driver [8]. Con este se realizó una simulación para confirmar el correcto funcionamiento. En la figura 3.19 puede observarse el esquemático simulado. El mismo consiste en el pulser, el capacitor de filtrado pasa altos, y el LM5114 junto a una fuente cuadrada unipolar de 3,3 V. Esta simula la señal de control del sistema embebido de bajo costo.

La simulación se realiza bajo dos condiciones de ciclo de trabajo para la señal de entrada: 50 %, con el resultado en la figura 3.20 y 70 %, resultado en la figura 3.21. En ambos casos se observa la transición del SRD al estado de alta impedancia y la consecuente generación de pulsos. Se observa que en este caso la señal cuadrada unipolar no tiene la amplitud completa de la fuente de alimentación, 5 V, sino aproximadamente 4,5 V, debido a las perdidas en el LM5114. Se observa que el efecto de aumentar el ciclo de trabajo de 50 % a 70 % logra un aumento en la amplitud del pulso de casi un 100 % como en la sección anterior.

### 3.6. Implementación en PCB

En cuanto a la implementación física de los circuitos del driver y el pulser, se diseñaron placas distintas para cada uno. Se tomó esta decisión para darle más versatilidad al trabajo. De esta

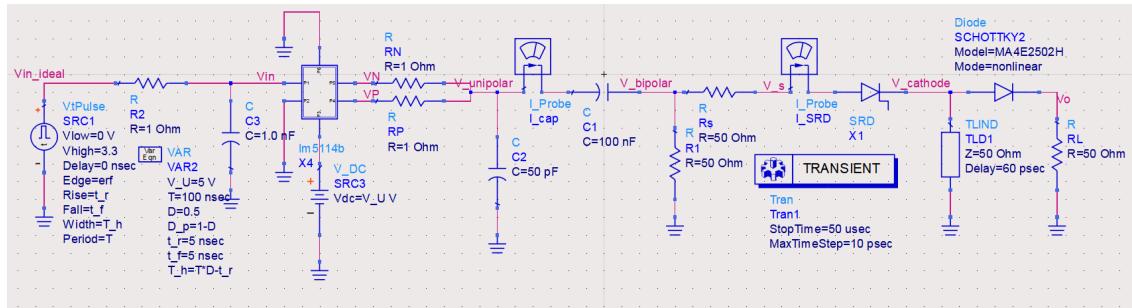


Figura 3.19: Esquemático de simulación con modelo de LM5114.

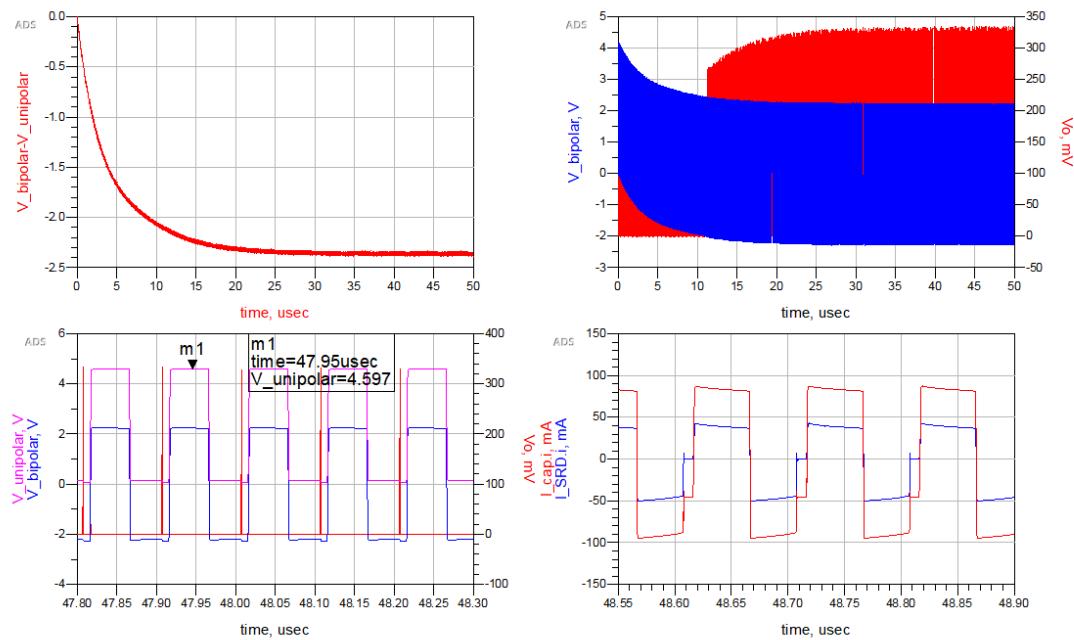


Figura 3.20: Resultado de simulación con modelo de LM5114,  $D = 0.5$ .

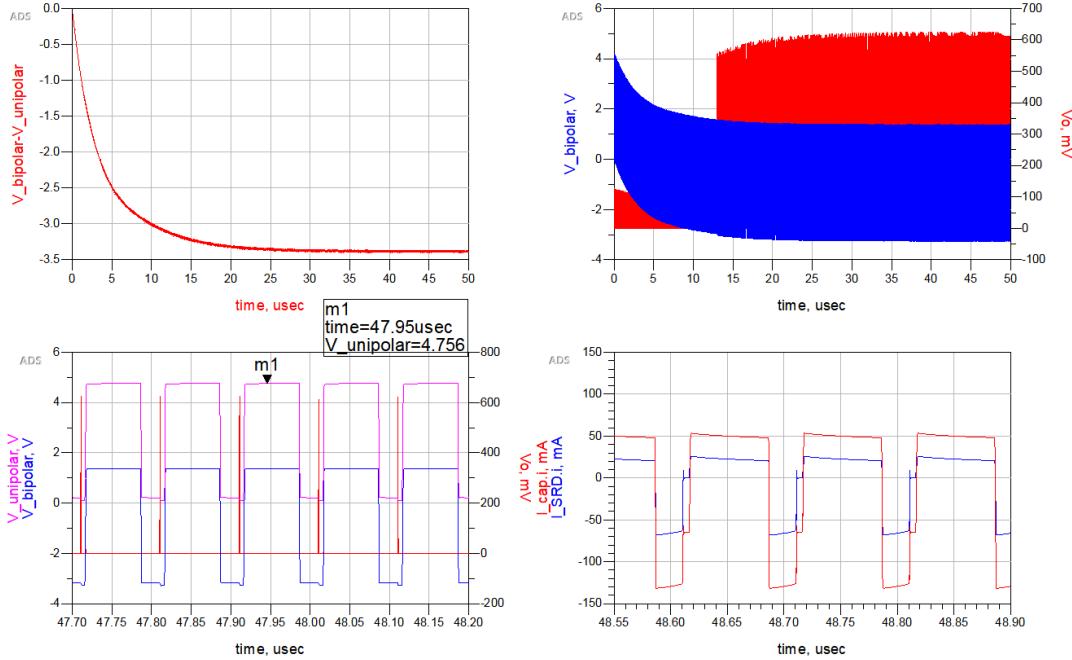


Figura 3.21: Resultado de simulación con modelo de LM5114,  $D = 0,7$ .

manera, el pulser puede utilizarse con otro eventual driver, el driver puede ser evaluado por separado antes de una medición final, y en caso de falla de diseño en alguno de los dos circuitos, la falla se mantiene contenida al modulo defectuoso y no a la totalidad del sistema.

Se optó por realizar las placas con el fabricante OSHPark. Se utilizó el servicio de 4 capas y material FR408HR de Isola [9]. En ambos circuitos, el pulser y el driver, solo eran necesarias 2 capas, una de señal y una de tierra. Se eligió el proceso de 4 capas en lugar de 2 dado que este último presentaba un grosor de dieléctrico mayor, y dado el tamaño de las placas la diferencia en costo era despreciable.

En cuanto al material del sustrato, FR408HR de Isola, a diferencia del FR4 más económico presenta buena estabilidad en frecuencia para su constante dieléctrica y bajas perdidas, por lo que es apropiado para trabajar en el ancho de banda necesario. La constante dieléctrica presenta una variación menor al 2 % en el rango 100 MHz a 10 GHz, y una tangente de pérdidas con mayor variación pero menor a 0,01 hasta 10 GHz [9].

En la tabla 3.2 se muestra el apilamiento de las capas del proceso de fabricación, con sus dimensiones y materiales. El proceso consta de 4 capas conductoras, todas compuestas por cobre. Entre ambos pares de conductores se encuentra el *prepeg* de constante dieléctrica estable en frecuencia. Entre los dos pares se encuentra el núcleo FR4. Por sobre las capas de cobre superior e inferior se encuentran capas de serigrafía y máscaras de soldadura, que a los efectos de cálculos de impedancia tienen un rol despreciable.

### 3.6.1. Selección de componentes pasivos

Los componentes pasivos que se encuentran en el camino de la señal tienen que ser seleccionados cuidadosamente para evitar distorsiones indeseadas. Estos incluyen todos los que se encuentran entre la salida del LM5114 y el nodo de salida. Refiriéndonos a la figura 3.19, estos serían  $R_1$ ,  $R_s$ ,  $C_1$  y  $C_2$ .

Dado el ancho de banda del sistema, los componentes pasivos a utilizar deben tener parásitos despreciables para las frecuencias de interés. Para esto, se seleccionaron componentes SMD. En

Capa	C/D <sup>a</sup>	Grosor [mil]	$\epsilon_r$ <sup>b</sup>
Serigrafía	D	1 ±0.2	
Máscara de soldadura	D	1 ±0.2	
Cobre 1 oz	C	1.7	
<i>Prepreg</i> FR408HR 2113	D	7.96 ±0.796	3.61@1 GHz
Cobre 0.5 oz	C	0.68	
Núcleo FR408HR	D	39 ±3.9	
Cobre 0.5	C	0.68	
<i>Prepreg</i> FR408HR 2113	D	7.96 ±0.796	3.61@1 GHz
Cobre 1 oz	C	1.7	
Máscara de soldadura	D	1 ±0.2	
Serigrafía	D	1 ±0.2	

<sup>a</sup> Conductor/Dieléctrico.

<sup>b</sup> Permisividad relativa.

Cuadro 3.2: Apilamiento de capas del proceso de fabricación de OSH Park

cuanto al encapsulado seleccionado, se analizó el desempeño de cada uno en base a reportes de la literatura [10].

Cuanto más pequeño el encapsulado, menores parásitos y mayor ancho de banda. En contraparte, menores dimensiones implican mayor dificultad para la fabricación y menor capacidad de disipación de potencia. Elegir el encapsulado entonces consistió en encontrar el balance adecuado entre estos aspectos.

Se optó por usar componentes 0603. Estos tienen una buena respuesta en frecuencia en el ancho de banda de trabajo, y su tamaño permite una fabricación manual de las placas. En cuanto a disipación de potencia, componentes en este encapsulado con disipaciones máximas de 0,5 W se encuentran ampliamente disponibles y a un bajo precio.

### 3.6.2. Layout del pulser

#### Diseño del *stub*

Para el pulser, se utilizó la capa superior de cobre como plano de señal y la capa de cobre inferior a esta como tierra. De esta manera, se forma un linea de transmisión microtira [3], siendo el material dieléctrico el *prepeg* de permisividad relativa estable en frecuencia y una altura de  $H = 7,96$  mil = 0,0202 mm.

Dado el  $H$  de la línea de transmisión, se calculó el  $w$  necesario para obtener una impedancia característica de  $50\Omega$ . Para esto, se utilizó el programa *LineCalc* disponible dentro de *ADS*. Este programa permite cargar una configuración de línea de transmisión, y en base al alto del dieléctrico  $H$  y una impedancia característica deseada  $Z_o$ , obtener el ancho  $w$  necesario. En la figura 3.22 se observan los parámetros configurados. Esto resultó en un ancho de pista de 0,4 mm.

Con la línea de transmisión a utilizar en el pulser determinada como una microtira de los parámetros dados por el proceso de fabricación de la tabla 3.2, se obtuvo su  $\kappa_{eff}$  con el programa *LineCalc*. En la figura 3.22 se observa que este es de 2,753.

Reemplazando estos datos en la ecuación 3.10 podemos obtener el largo necesario para obtener un retardo de 60 ps.

$$\begin{aligned}
 L &= \frac{T_p}{2} \cdot \frac{c_0}{\sqrt{\kappa_{eff}}} \\
 L &= \frac{120 \text{ ps}}{2} \cdot \frac{3 \times 10^8 \text{ m s}^{-1}}{\sqrt{2,753}} \\
 L &= 10,85 \text{ mm}
 \end{aligned} \tag{3.51}$$

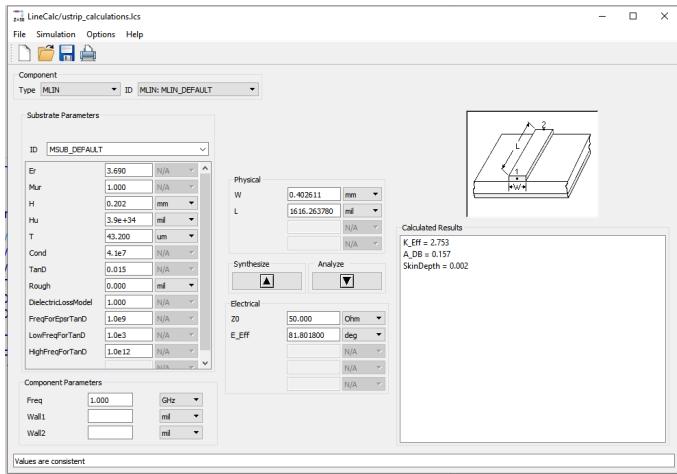


Figura 3.22: Calculo de línea de transmisión para obtener  $50\ \Omega$ .

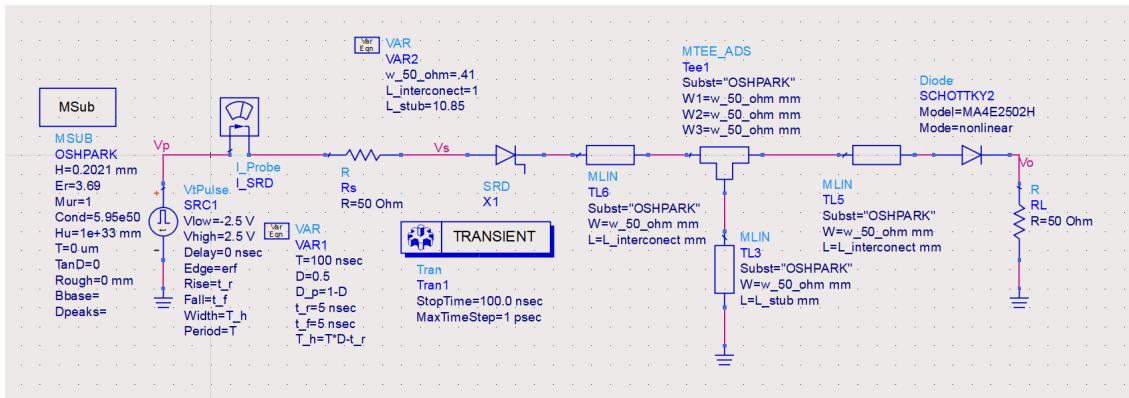


Figura 3.23: Esquemático de simulación con *stub* real

Con los parámetros de la línea obtenidos, se realiza una simulación del generador, reemplazando la línea ideal por una real. En la figura 3.23 se observa el esquemático simulado. En la figura 3.24 puede observarse el resultado. El pulso obtenido tiene una amplitud de 352 mV y una duración de 140 ps.

## Layout

Una vez diseñada la línea de transmisión y simulada en *ADS*, se exportó el layout obtenido en formato *Gerber*. Este fue importado en el software de código abierto *KiCad* donde se realizaron ajustes finales. En la figura 3.25a puede observarse el resultado.

En todo el plano se agregaron vías, con una separación de 0,5 mm. Estas mejoran la puesta a tierra de todo el plano, reduciendo la impedancia del mismo. También se agregaron agujeros de montaje en los 4 extremos de la placa para permitir el montaje de un eventual chasis.

Como fuese explicado anteriormente, se utilizó la capa superior de cobre como plano de señal, y la capa intermedia como plano de tierra. Las otras dos capas no fueron utilizadas, siendo puestas a tierra.

Se agregaron conectores *SMA* para la entrada y salida. Estos ofrecen una conexión segura y un buen rendimiento en el ancho de banda de trabajo, minimizando las pérdidas y reflexiones. Además, son de amplia disponibilidad y versatilidad.

El buen ancho de banda de los conectores *SMA* puede degradarse severamente si su interfaz

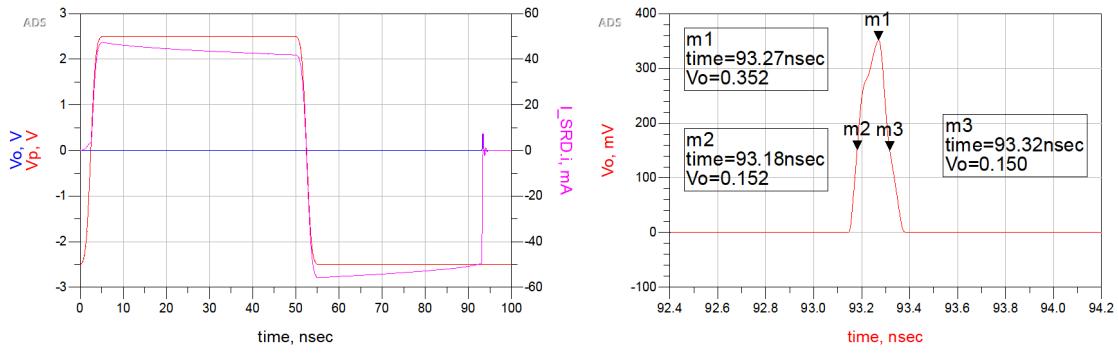


Figura 3.24: Resultado de simulación con *stub* real

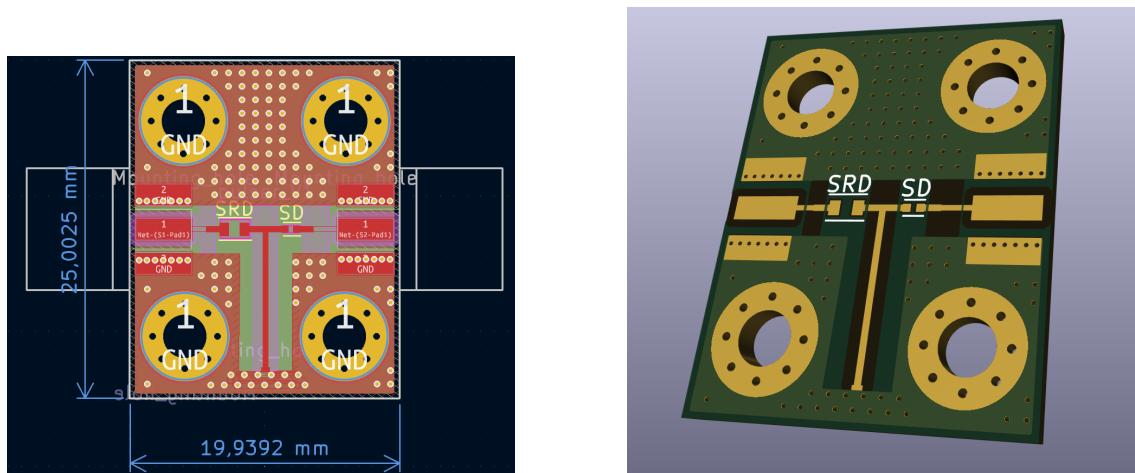
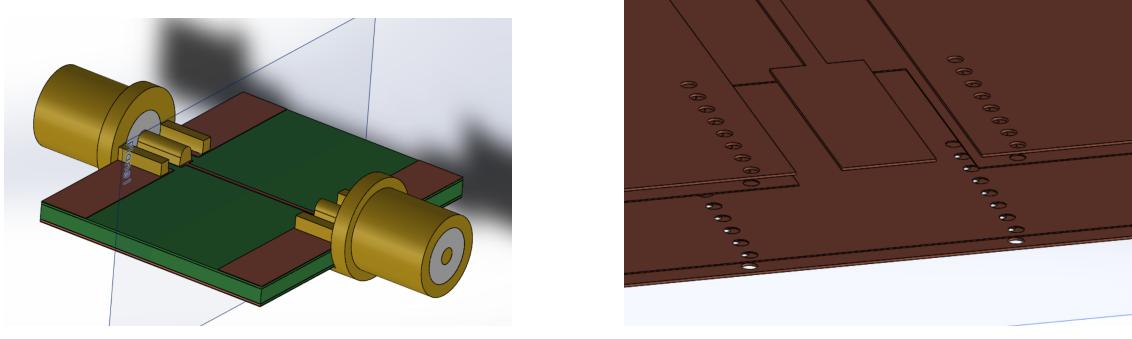


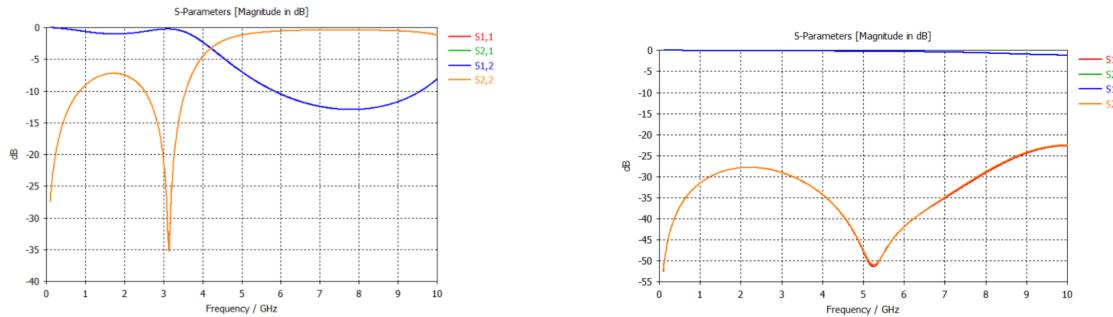
Figura 3.25: PCB diseñado para el pulser.



(a) Estructura simulada en HFSS.

(b) Mejora propuesta para el conector SMA.

Figura 3.26: Estructuras simuladas en HFSS.



(a) Desempeño del conector conectado directamente.

(b) Desempeño del conector con la mejora propuesta.

Figura 3.27: Resultados de simulaciones en HFSS.

con la línea microtira no es la adecuada. Para comprobar esta interfaz, se realizó una simulación en el software de elementos finitos *HFSS*. Se realizó un modelo del sustrato de OSH Park, y se simuló el desempeño del conector soldado directamente a la placa.

En la figura 3.26b puede observarse la mejora propuesta. Esta consiste en un agujero en el plano de tierra, por debajo del conector. En la figura 3.27 se observan los resultados para ambos casos. Se observa que la mejora propuesta resulta en un severo incremento del desempeño del sistema, logrando una perdida de retorno mejor a 20 dB y una atenuación menor a 2 dB en todo el ancho de banda de interés.

Para validar el diseño, se exportó a formato gerber, y luego fue importado dentro de ADS. El programa permite realizar extracciones de parásitos de la estructura en base a una simulación electromagnética. Utilizando esta función, se realizó una simulación del modelo del PCB. En la figura 3.28 se observa la simulación realizada.

En la figura 3.29 se observa el resultado de la simulación realizada. El pulso obtenido en este caso tiene una amplitud de 500 mV y una duración de 190 ps. Se observan dos efectos no deseados que con las simulaciones anteriores no ocurrieron: un sobrepico negativo previo al pulso principal, y oscilaciones posteriores.

### 3.6.3. Layout del driver

En la figura 3.30 se observa el PCB del driver. Este incluye al driver LM114 y al filtro pasa altos, y a circuitería de soporte para alimentación y comunicación con la FPGA.

Para la alimentación, hay dos opciones disponibles: alimentar al driver directamente con una fuente externa, o alimentarlo con un ADM7150. Este integrado provee la función de regulador

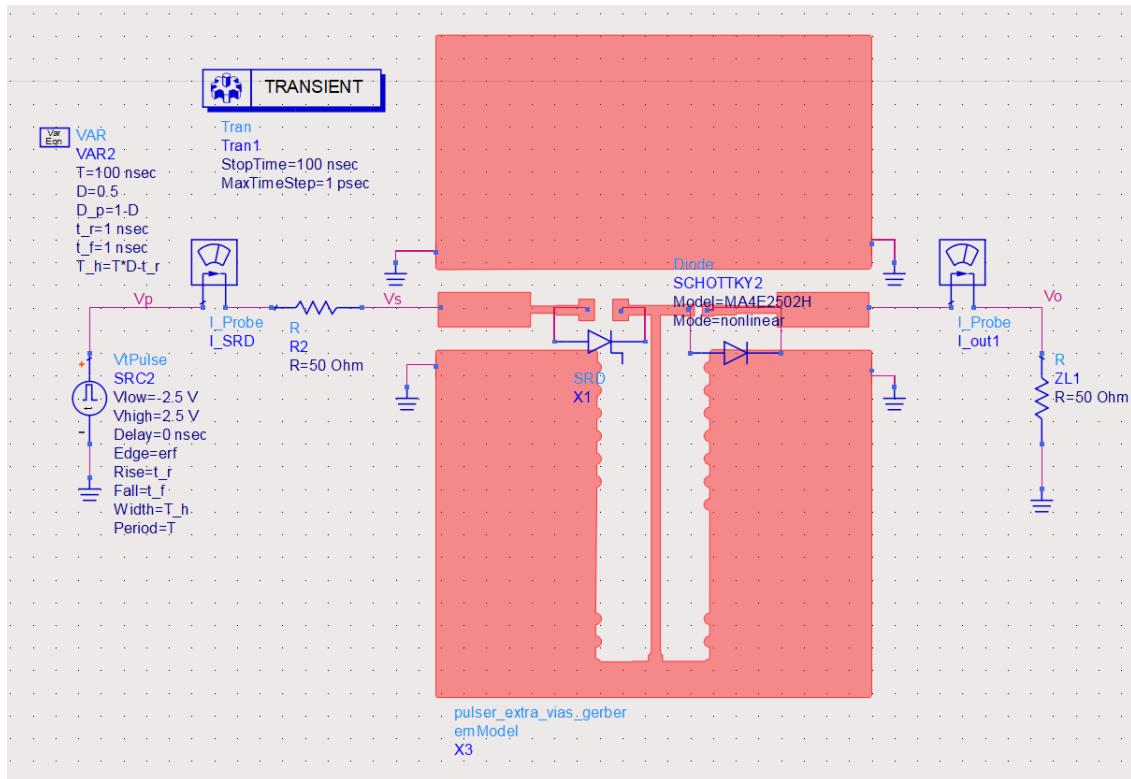


Figura 3.28: Esquemático de simulación de layout

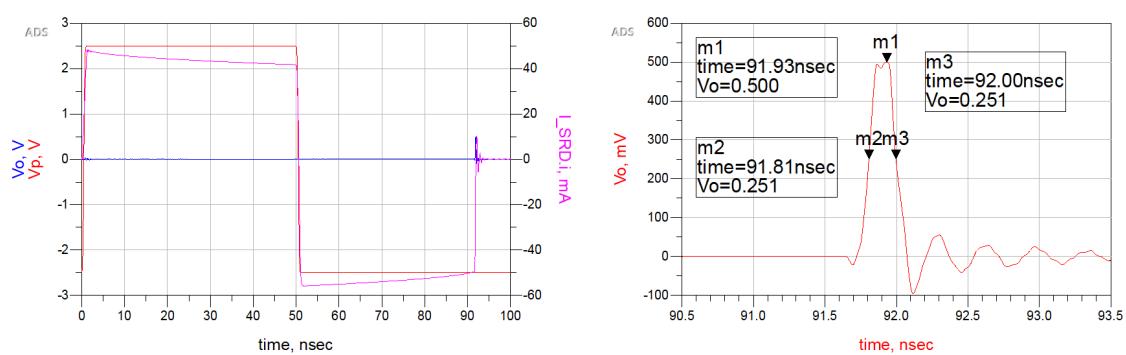
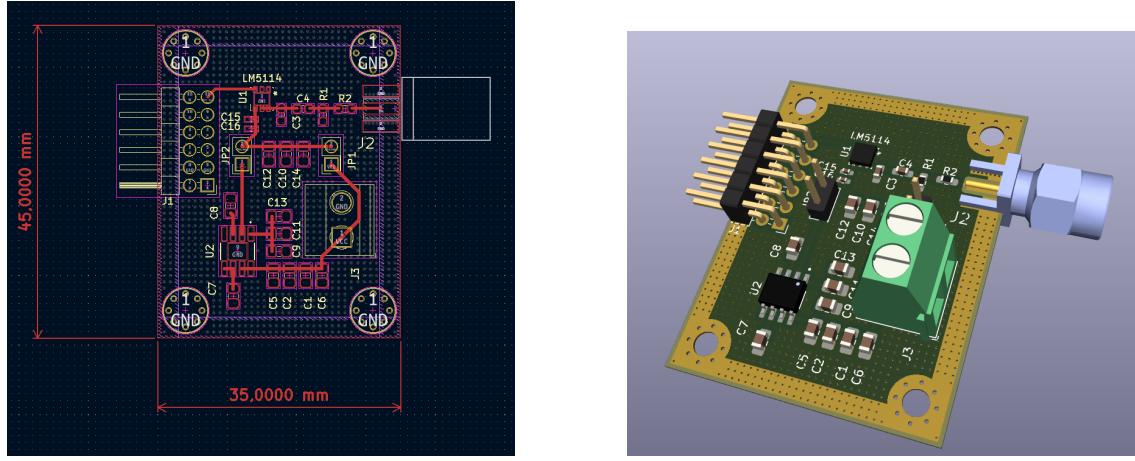


Figura 3.29: Resultado de simulación layout



(a) Captura del PCB diseñado en *KiCad*.

(b) Renderizado 3D del driver.

Figura 3.30: PCB diseñado para el driver.

lineal de ultra bajo ruido, con una salida fija de 5 V y una corriente máxima de 800 mA. Para alimentar con mayores amplitudes, se dispone de la posibilidad de alimentar al LM5114 directamente con la fuente externa. Para seleccionar entre las dos opciones, la placa tiene dos jumpers.

Para la comunicación con la FPGA, se utilizó un conector PMOD macho. Este permite conectarse directamente a la placa. De los 12 pines que dispone, solo se utilizaron 3: dos para conexión de tierra, y uno para la señal de control. Esta señal de control es la que controla el LM5114, determinando la frecuencia y ciclo de trabajo de la señal cuadrada.

Para el ruteo del LM5114 se minimizaron las distancias entre componentes de todo el camino de señal de la salida, para minimizar efectos parásitos. Se agregó a la salida un capacitor opcional C3, que permite bajar el tiempo de crecimiento de la señal de salida en caso de ser necesario.

En toda la placa se agregaron vías para mejorar la conexión a tierra. Podría haberse evitado este paso ya que las señales del driver no son de gran ancho de banda, pero de todas maneras mejorar la impedancia del plano de tierra siempre ayuda. En este caso, alrededor de la placa se dejó un espacio de 3 mm sin máscara antisoldante, para el agregado de un eventual chasis.

# Capítulo 4

## Mediciones

### 4.1. Banco de medición

En la figura 4.1 puede observarse un diagrama del banco de medición. Consiste de los siguientes bloques:

- Placa FPGA: genera un pulso cuadrado unipolar, de frecuencia y ciclo de trabajo configurables. Con la frecuencia se controla la *PRF* de los pulsos de salida, y con el ciclo de trabajo los valores de tensión del pulso de salida del *driver*.
- Fuente de alimentación: provee la alimentación  $V_{dd}$  para el driver. El valor de esta tensión determina la amplitud pico a pico del pulso de salida del *driver*.
- *Driver*: cumplía la función de *buffer* para la *FPGA*, presentando una alta impedancia a la salida de la misma. Convierte el pulso unipolar de 3,3 V en uno bipolar, con amplitud pico a pico igual a  $V_{dd}$  (5 V o 7 V).
- *Pulser*: el *DUT*, genera pulsos ultra cortos en base a la salida del driver.
- Osciloscopio: instrumento de medición del experimento. Actúa como carga con su impedancia de entrada de  $50 \Omega$ .

#### 4.1.1. Fuente de alimentación

Para la fuente de alimentación se utilizó una *Marconi Instruments TF2154*, en la figura 4.2 puede observarse la misma.

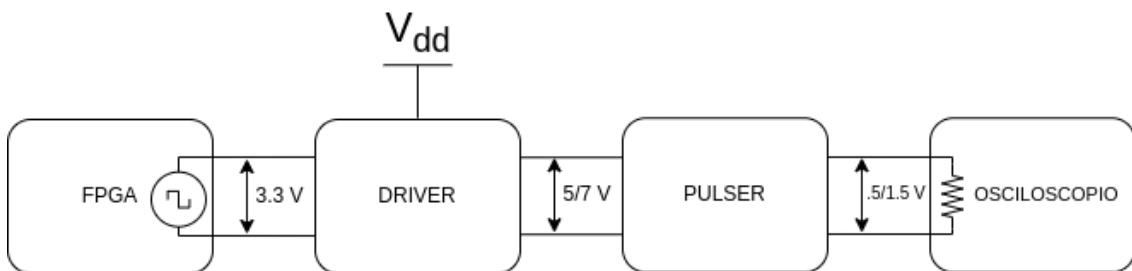


Figura 4.1: Banco de medición



Figura 4.2: Fuente de alimentación *Marconi Instruments TF2154*.

Presentaba limitación de corriente regulable e indicadores para la amplitud y la corriente suministrada, lo que permitía trabajar de manera segura, dentro de los límites de consumo obtenidos en las simulaciones anteriores **REEMPLAZAR ESTA REF ??**.

Como fuese explicado en la sección **REEMPLAZAR ESTA REF ??**, la corriente máxima esperada en las condiciones de trabajo era menor a 200 mA, por lo que se monitoreó durante todo el experimento que la corriente entregada por la fuente no supere este máximo teórico.

#### 4.1.2. FPGA

La *FPGA* generaba el pulso unipolar cuadrado de entrada, que controla la *PRF* y el ciclo de trabajo del pulso del driver. La placa utilizada fue *Nexys-4 DDR* de Digilent [11], con un chip *Artix-7* de Xilinx. En la figura 4.3 puede observarse la misma.

Se utilizó una *FPGA* para poder validar la utilidad del prototipo en el contexto de un sistema UWB como el descripto en ??, en el que se dispone de señales de control digitales. Este componente del sistema es fácilmente reemplazable por otra *FPGA* o sistema embebido.

Las variables de ajuste del pulso unipolar de la *FPGA* eran las siguientes

- Frecuencia: la frecuencia de la señal cuadrada de entrada es igual a la frecuencia de repetición de pulsos (*PRF*) del sistema, ya que controla la frecuencia con la que el *SRD* se prende y se apaga y, por lo tanto, la frecuencia de generación de pulsos.
- Ciclo de trabajo: el ciclo de trabajo de la señal cuadrada unipolar determina los extremos de tensión de la señal cuadrada bipolar de salida del driver. A mayor ciclo de trabajo, valores más negativos. Este control se da a través del control del valor medio de la señal, que luego es restado por el capacitor serie del *driver*.

#### Diseño implementado

El diseño implementado en la *FPGA* consistía en un generador de cuadrada con ciclo de trabajo y frecuencia variables. La interfaz del sistema consistió en

- Los botones *BTNL* y *BTNR* controlaban el ciclo de trabajo en pasos de a 1 % en incrementos y decrementos respectivamente.
- Los botones *BTND* y *BTNU* controlaban el ciclo de trabajo en pasos de a 10 % en incrementos y decrementos respectivamente.

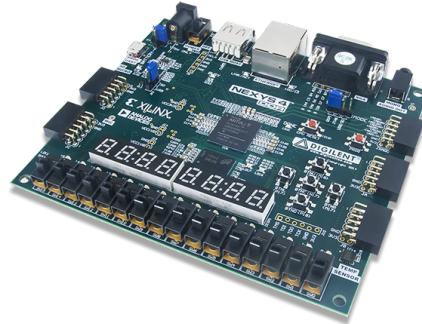


Figura 4.3: Placa de desarrollo *Nexys-4 DDR*.

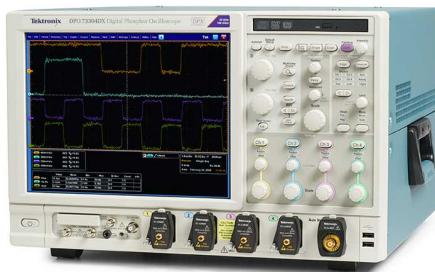


Figura 4.4: Osciloscopio *Tektronix MSO 70404C*

- Con los *switches* *SW0* a *SW1* se controlaba la frecuencia del pulso unipolar.
  - Con *SW0* seleccionado, la frecuencia era de 1 MHz.
  - Con *SW1* seleccionado, la frecuencia era de 5 MHz.
  - Con *SW2* seleccionado, la frecuencia era de 10 MHz.

En el anexo A se encuentra el *HDL* del diseño implementado.

#### 4.1.3. Osciloscopio

El osciloscopio fue utilizado para realizar la medición en el dominio del tiempo del pulso generado. Para una medición exitosa, era indispensable que este instrumento cuente con los requerimientos de ancho de banda del pulso. Como fuese explicado en REEMPLAZAR ESTA REF ??, el ancho de banda esperado para el pulso era de 3,6 GHz.

El osciloscopio utilizado fue *Tektronix MSO 70404C*, en la figura 4.4 puede observarse el mismo. El instrumento posee 4 GHz de ancho de banda analógico, y una tasa de muestreo de 25 GS/s, con la posibilidad de realizar muestreo en tiempo equivalente [12]. Estas prestaciones eran suficientes para medir el pulso de salida.

El instrumento posee configuraciones de impedancia de entrada seleccionables entre  $50\Omega$  y  $500\text{ M}\Omega$  [12]. Para la medición del prototipo, se seleccionó la entrada de  $50\Omega$ , actuando esta impedancia como carga del generador de pulsos.

## Seguridad del instrumento

Debido a las prestaciones del osciloscopio, era fundamental garantizar la integridad del mismo en la medición del prototipo. Dado que actuaba como carga del *DUT*, se debía garantizar que bajo todas las condiciones de trabajo, la potencia entregada por el generador de pulsos se encuentre dentro de los límites determinados por el fabricante del equipo para evitar posibles daños.

La máxima tensión de entrada se especifica en  $5 V_{RMS}$  para una resolución  $\geq 100 mV/div$  y  $1 V_{RMS}$  para una resolución  $< 100 mV/div$ . Para garantizar la seguridad del equipo en cualquier caso, se toma como límite el valor de peor caso,  $1 V_{RMS}$  (correspondiente a una resolución  $\geq 100 mV/div$ , para resoluciones menores a esta el límite es mayor).

En condiciones normales de funcionamiento, la potencia disipada por la carga es mínima, ya que es la potencia que disipa el tren de pulsos en un carga de  $50 \Omega$ . Como fuese desarrollado en **REEMPLAZAR ESTA REF ??**, esta potencia está acotada por **9999 mW**, que en  $50 \Omega$  resultan en **9999 V<sub>rms</sub>**, que se encuentran muy por debajo de los  $1 V_{RMS}$  especificados por el fabricante.

No solo es necesario analizar la disipación de potencia en condiciones normales de funcionamiento, sino también para el caso de una falla, ya que el principal objetivo es garantizar la integridad del instrumento en cualquier condición.

En caso de ocurrir alguna falla con algún componente del circuito, el *stub* de salida provee una función de protección. Este componente, para señales con una variación temporal mucho mayor al largo del mismo, actúa como una puesta a tierra.

Entonces, la componente de continua a la salida del generador de pulsos tiene un valor esperado de  $0 V$ , tanto para condiciones normales de funcionamiento como en presencia de fallas.

En cuanto a la componente alterna de la salida, su valor esperado es extremadamente bajo, ya que únicamente señales de gran ancho de banda pueden ser filtradas y permanecer con una amplitud considerable a la salida del *stub*.

## 4.2. Mediciones realizadas

Las mediciones consistieron en mediciones en el dominio del tiempo del pulso de salida. Utilizando funciones provistas por el osciloscopio, se midieron tiempo de crecimiento, tiempo de decaimiento, amplitud máxima, y ancho a medio máximo (*FWHM* del inglés *Full Width at Half Maximum*).

Se realizaron distintas mediciones para distintas condiciones de trabajo del circuito. Se barrió para el pulso digital de entrada, el ciclo de trabajo, y para la fuente de alimentación distintos valores de tensión.

- Para la amplitud de la fuente, se utilizaron valores de  $5 V$  y  $7 V$ .
  - $5 V$  por ser un valor fácilmente obtenible en los sistemas *UWB* de referencia.
  - $7 V$  por ser la máxima amplitud tolerable por el circuito. Tensiones de alimentación mayores a estas resultan en corrientes de polarización mayores a las máximas admisibles dado los dimensionamientos de las pistas de los *PCBs*.
- El ciclo de trabajo se barrió entre  $50\%$  y  $70\%$ .
  - Se tomo  $50\%$  como límite inferior por ser un valor fácilmente obtenible como división de un reloj digital.
  - Se tomo  $70\%$  como límite superior ya que se observó que valores superiores a este resultaban en un pulso bipolar con amplitudes negativas decrecientes, y por lo tanto, amplitudes de pulso decrecientes.
  - La teoría no indicaba un límite superior para el ciclo de trabajo. Sin embargo, este se observó en la práctica debido a no idealidades en el pulso de salida del driver, que no era perfectamente cuadrado.

En la figura 4.5 puede observarse el *pulser* junto con el *driver* y la *FPGA*.



Figura 4.5: *FPGA, driver y pulser.*

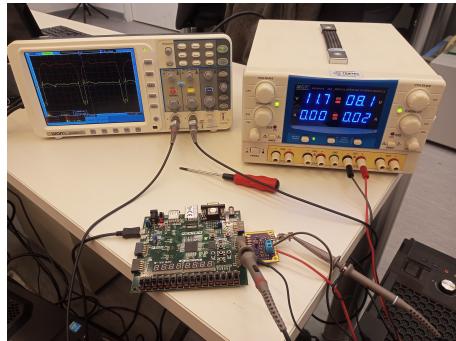


Figura 4.6: Banco de mediciones previas a la medición final del pulso.

#### 4.2.1. Mediciones preliminares

Previo a las mediciones principales, se realizó una medición de la salida del driver, con el objetivo de validar el pulso bipolar generado.

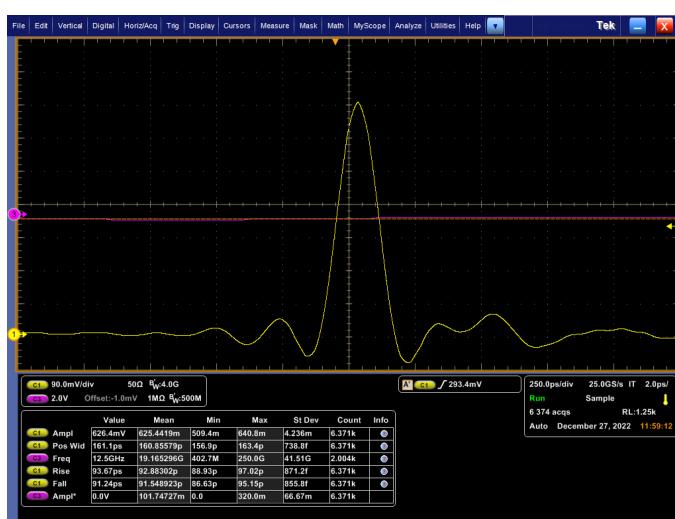
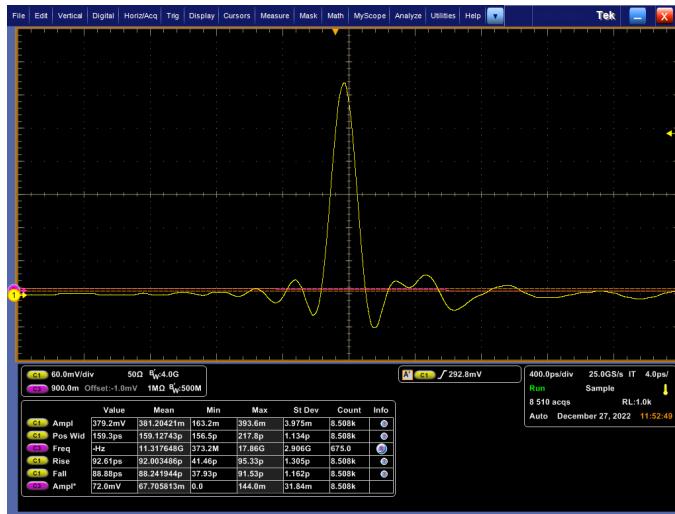
El motivo de esta medición previa, fue la limitada disponibilidad del osciloscopio de gran ancho de banda utilizado para la medición final del pulso. Esta pre-medición del pulso bipolar se realizó con un osciloscopio de bajo ancho de banda, ya que el objetivo era validar los niveles de tensión del pulso, y su correcta variación con la variación del ciclo de trabajo del pulso unipolar.

En la figura 4.6 puede observarse el banco de medición. Los resultados fueron los esperados y, por lo tanto, no se requirió ninguna iteración sobre la implementación del driver.

### 4.3. Resultados

En las figuras 4.7, 4.8, 4.9, 4.10, 4.11 pueden observarse los resultados en diversas capturas de pantalla tomadas del osciloscopio.

Se observó en las mediciones una amplitud de pulso creciente con mayor ciclo de trabajo y mayor amplitud de pulso, como era esperado. La menor amplitud de pulso obtenida fue de 380 mV para un  $V_{cc}$  de 5 V y un D de 50 %, y la mayor fue de 1,12 V para un  $V_{cc}$  de 7 V y un D de 70 %



En cuanto al ancho de pulso, se mantuvo aproximadamente constante en 160 ps, al igual que los tiempos de crecimiento y decrecimiento, que se mantuvieron constantes en 90 ps. Este resultado es el esperado para un *pulser* basado en un *stub*, ya que el ancho de pulso está determinado por el largo del *stub*.

En la tabla 4.1 pueden observarse los resultados obtenidos. Para el ancho de banda, se utiliza el obtenido a partir de la *PSD* del pulso medido. En la sección 4.3.1 se detalla cómo fue obtenido este valor.

#### 4.3.1. Comparación con simulación

En las figuras 4.12 a 4.21 pueden observarse los resultados de las mediciones obtenidas superpuestos con los resultados de simulación para las mismas condiciones de trabajo (amplitud de alimentación y ciclo de trabajo).

Para las simulaciones, se toman dos resultados:

- Una simulación “ideal”, indicada como “esquemático ideal” en las leyendas, que se corres-

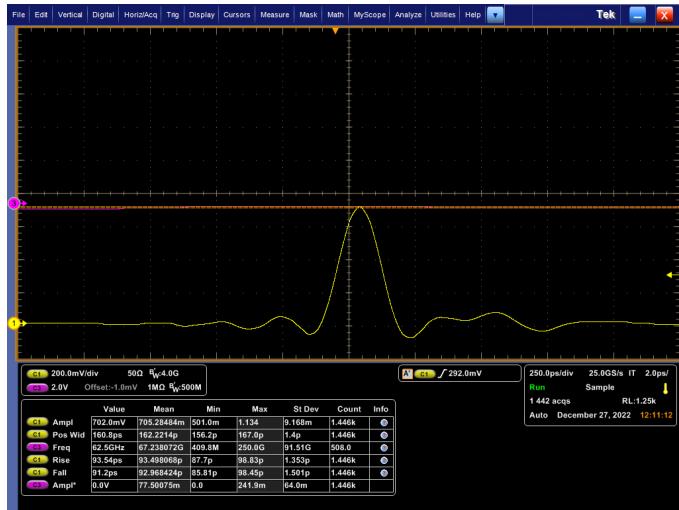


Figura 4.9: Salida @  $V_{cc}$  7 V, D 50 %

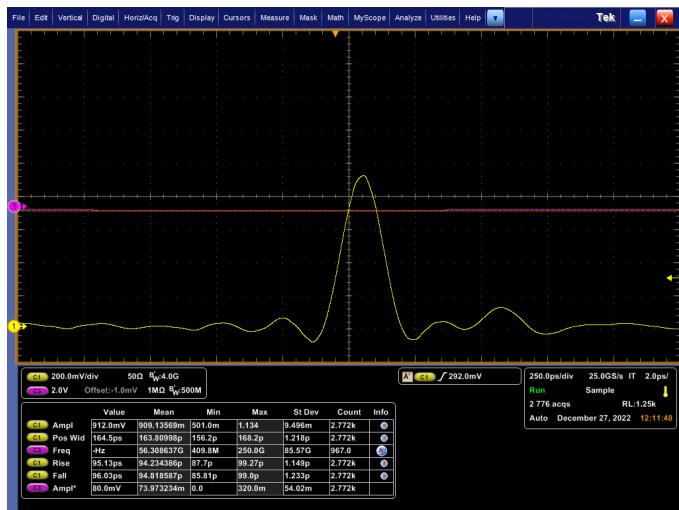


Figura 4.10: Salida @  $V_{cc}$  7 V, D 60 %

$V_{cc}$ [V]	D [%]	A [V]	FWHM [ps]	3 dB B [GHz]	$t_r$ [ps]	$t_f$ [ps]
5	50	0.380	159	7.5	93	88
5	70	0.625	161	3.6	93	91
7	50	0.702	162	4	93	93
7	60	0.909	164	4	94	95
7	70	1.120	165	2.8	95	96

Cuadro 4.1: Resultados de mediciones.

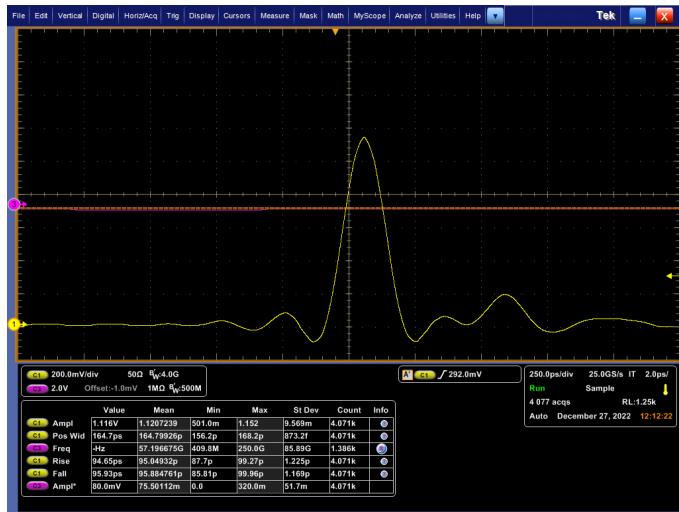


Figura 4.11: Salida @  $V_{cc}$  7 V, D 70 %

ponde a una simulación sin contemplar parásitos de ningún tipo.

- Una simulación “real”, en las leyendas “Layout”, una simulación en la que se extrajeron previamente los efectos parásitos del *PCB* mediante una simulación electromagnética y se incorporaron en la simulación del pulso.

Se realizan las comparaciones en el dominio del tiempo y de la frecuencia. Las comparaciones en el dominio del tiempo consisten en la superposición del pulso medido con los simulados. Para las comparaciones en el dominio de la frecuencia, se calculó el espectro de cada una de las formas de onda del dominio del tiempo. Para reducir el *leakage* espectral, se utilizó una ventana de *Hanning* [13].

En el dominio del tiempo, se observa una buena coincidencia entre la amplitud de los pulsos y el ancho. Se observa una diferencia en el *ringing* de ambos. Las simulaciones prácticamente no presentan oscilaciones alrededor del pulso, mientras que las mediciones las presentan tanto previa como posteriormente. También se observa un segundo pulso de menor amplitud siguiendo al primero.

Como causa de estas discrepancias, se descarta un efecto del *PCB* no modelado, ya que los parásitos de esta estructura fueron extraídos por una simulación electromagnética, y sus efectos contemplados en las simulaciones del *layout*.

Estas discrepancias sugieren una limitación en el modelado de alguno de los dispositivos, tanto el SRD como el Schottky. Las simulaciones predijeron correctamente la amplitud y el ancho de los pulsos resultantes, pero fallaron en predecir el *ringing* y el pulso secundario.

#### 4.3.2. Comparación con resultados de la literatura

En la tabla ?? se resumen resultados reportados para generadores de pulsos *UWB* en la literatura. En la figura 4.22 se observan los valores de amplitud y duración reportados en un gráfico de dispersión.

En cuanto a los resultados reportados en este trabajo, se obtuvo uno de los anchos de pulso más bajos, existiendo otros trabajos que reportan el mismo o menor ancho de pulso con mayor amplitud, pero también mayor complejidad. Otra característica a destacar es la simplicidad del diseño implementado, tanto en cantidad de componentes activos, como en requisitos de fuente de alimentación y pulso de entrada.

En [14] se presenta un diseño compuesto de un solo SRD en el que se desarrolla un pulso balanceado a la salida. Se presentan dos diseños, uno con componentes distribuidos y otro con

$V_{cc}$ : 5V, duty: 50%

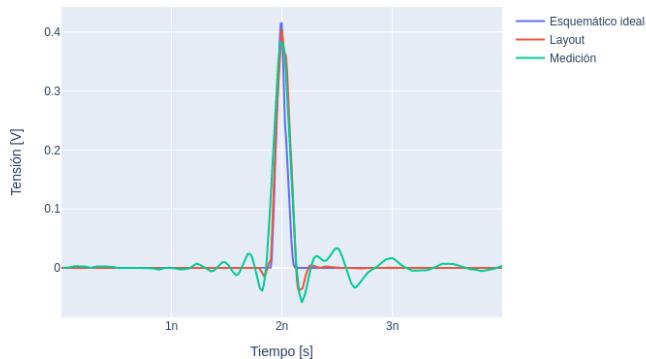


Figura 4.12: Pulso @  $V_{cc}$  5 V, D 50 %

PSD,  $V_{cc}$ : 5V, duty: 50%

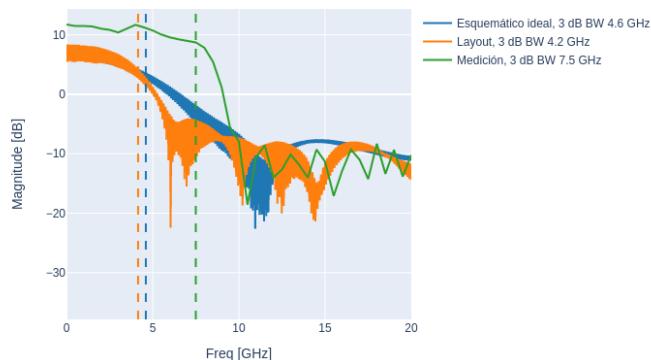


Figura 4.13: PSD @  $V_{cc}$  5 V, D 50 %

$V_{cc}$ : 5V, duty: 70%

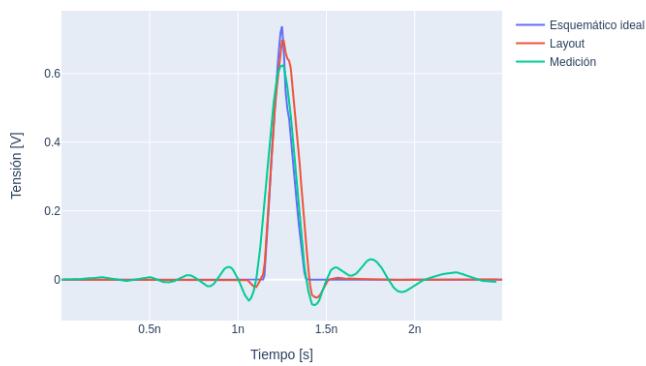


Figura 4.14: Pulso @  $V_{cc}$  5 V, D 70 %

PSD, Vcc: 5V, duty: 70%

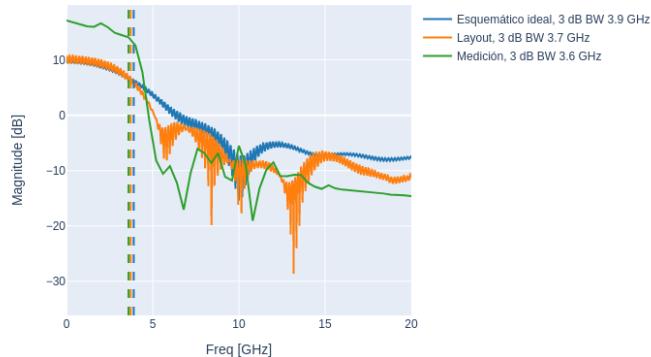


Figura 4.15: PSD @  $V_{cc}$  5 V, D 70 %

Vcc: 7V, duty: 50%

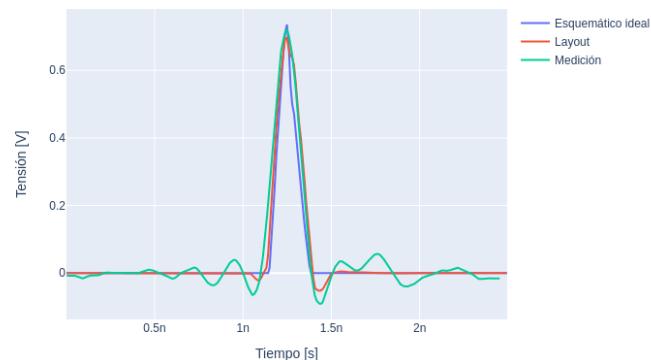


Figura 4.16: Pulso @  $V_{cc}$  7 V, D 50 %

PSD, Vcc: 7V, duty: 50%

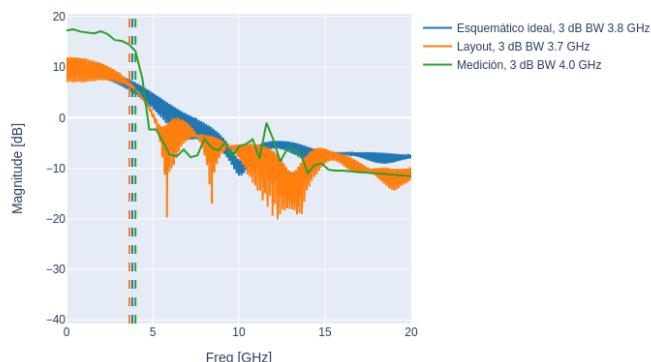


Figura 4.17: PSD @  $V_{cc}$  7 V, D 50 %

$V_{cc}$ : 7V, duty: 60%

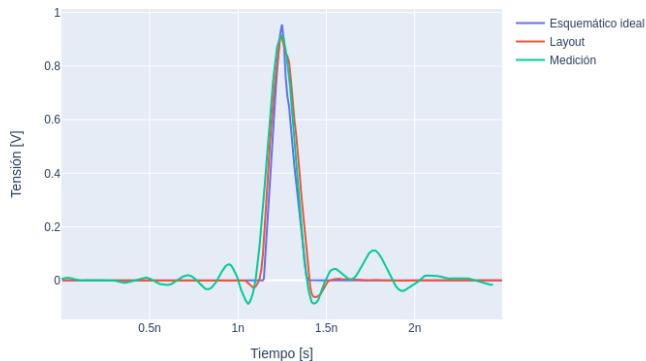


Figura 4.18: Pulso @  $V_{cc}$  7 V, D 60 %

PSD,  $V_{cc}$ : 7V, duty: 60%

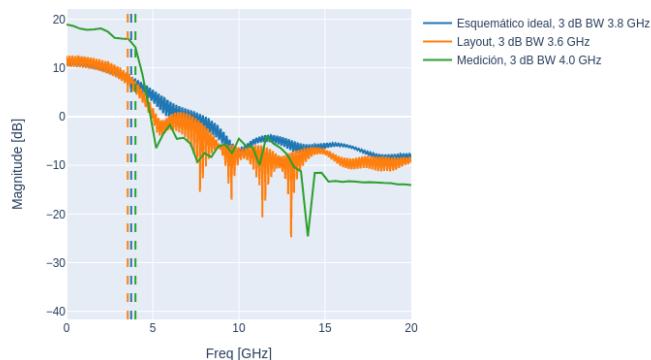


Figura 4.19: PSD @  $V_{cc}$  7 V, D 60 %

$V_{cc}$ : 7V, duty: 70%

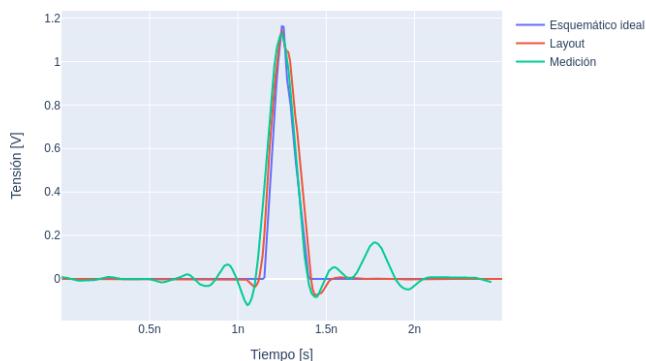


Figura 4.20: Pulso @  $V_{cc}$  7 V, D 70 %

PSD, Vcc: 7V, duty: 70%

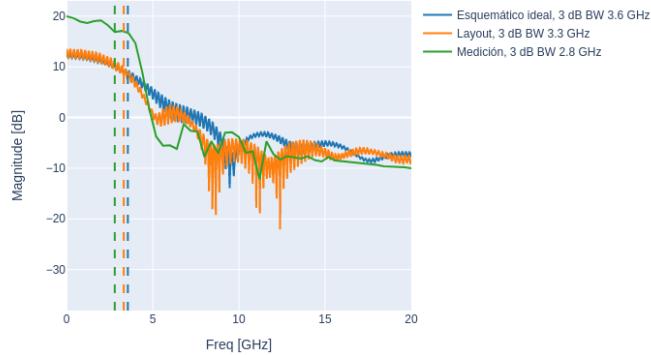


Figura 4.21: PSD @  $V_{cc}$  7 V, D 70 %

Referencia	$A$ [V]	$FWHM$ [ps]	Bal <sup>a</sup>	Bias	Dispositivos	$V_{cc}$ [V]	$V_{in}$ [V]	$PRF$ [MHz]
[14]	$\pm 0,896, \pm 1,6$ <sup>b</sup>	335, 511	Sí	Int	SRD	5	TTL	50
[15]	-7,5	110	No	Ext	SRD+3TBJ+SD	12	TTL	5
[16]	0,8	170	No	Int	SRD	4	4	10
[17]	0,2	300	No	Ext	SRD+2SD	?	?	10
[18]	-6, -4	150	No	Int	SRD+L	?	5	12
[19]	1,27 <sup>c</sup>	286	No	Int	2SRD+L	10	10 <sup>d</sup>	?
<b>Este trabajo</b>	1,12	165	No	Int	SRD+SD	7	CMOS	10

<sup>a</sup> Balanceado.

<sup>b</sup> la publicación presenta dos resultados, correspondientes a circuitos con componentes concentrados y distribuidos.

<sup>c</sup> la publicación presenta múltiples resultados, se muestran los mejores.

<sup>d</sup> la señal de entrada es senoidal.

Cuadro 4.2: Resultados reportados en la literatura

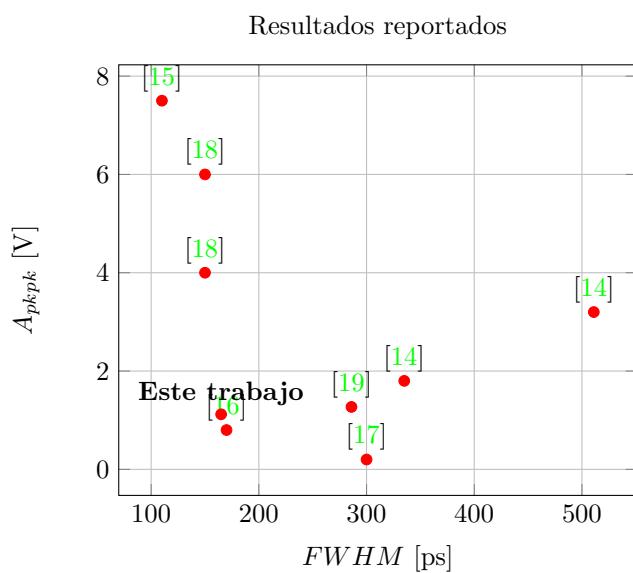


Figura 4.22: Diagrama de dispersión de resultados reportados.

componentes concentrados. En ambos casos se obtienen amplitudes pico a pico de pulso mayores a las de este trabajo. Es destacable que se obtienen mayores amplitudes usando una fuente de alimentación menor, de 5 V. En cuanto al ancho de pulso, ambos pulsos presentan duraciones mayores que las de nuestro trabajo. En cuanto a la complejidad, el *pulser* está implementado solamente con 1 SRD y componentes distribuidos o concentrados, dependiendo de la versión, por lo que es más simple que nuestro trabajo. El *driver* presenta la misma complejidad en ambos casos, ya que está implementado con un solo circuito integrado. Nuestro trabajo presenta más versatilidad, ya que la amplitud de la fuente de alimentación puede variarse entre 0 V y 30 V, mientras que el integrado utilizado en el driver de [14] trabaja con 5 V fijos.

En [15] se reporta un resultado de gran amplitud y duración de pulso menor a la de este trabajo. La complejidad del diseño implementado es mucho mayor: necesita una alimentación de 12 V y una corriente de *bias* externa, y la etapa *driver* está implementada con 3 TBJs, frente a 1 solo *gate driver* en nuestro trabajo.

En [16] el pulso reportado es de características muy similares a las de nuestro trabajo. La duración del pulso es prácticamente la misma, mientras que en amplitud nuestro trabajo logró una mayor en un 40 %. Nuestro trabajó logró para el *pulser* una complejidad menor a la reportada en [16], ya que en nuestro caso omitimos la red RC y el atenuador. En cuanto a etapa *driver*, [16] no presenta ninguna, en los resultados se reporta haber utilizado como entrada al *pulser* un pulso bipolar.

En [17] el generador presentado desarrolla pulsos monociclo, que son la primera derivada de un pulso gaussiano. Nuestro trabajó logró una amplitud de pulso mayor y también una duración de pulso menor. No se especifica el valor de amplitud de señal de entrada utilizado. La entrada al circuito es bipolar, y no se incluye un *driver* de adaptación de pulso. La complejidad del generador descripto es mayor que la de este trabajo, utilizando bias externo, un diodo SRD, dos Schottky y una red RC. Sin embargo, el generador de [17] implementa un monociclo que es una derivada de un pulso gaussiano como el desarrollado en nuestro trabajo, por lo que es natural que la complejidad sea mayor.

El resultado reportado en [18] consiste en pulsos de mayor amplitud y menor duración a los de nuestro trabajo. En ambos casos, el *pulser* se encuentra acoplado por *AC*, lo que vuelve más complejo el diseño. Se presentan dos generadores, uno con línea de transmisión, y otro con un inductor, que utiliza al SRD en paralelo. El diseño con inductor es más complejo, ya que este se encuentra en el camino del pulso por lo que debe ser seleccionado con cuidado. En ambos casos se utiliza una red RC paralelo, mientras que en nuestro trabajo no.

El resultado de [19] consiste en un pulso de mayor amplitud y mayor ancho al de nuestro trabajo. La complejidad del diseño es mayor, ya que utiliza dos SRD y un inductor que se encuentra en el camino de alta frecuencia, por lo que es costoso de seleccionar. La señal de entrada es una senoidal, que para el contexto en el que desarrollamos nuestro generador, es más costosa de conseguir, ya que requiere algún DAC, frente a la excitación de nuestro generador que es una señal cuadrada, fácilmente obtenible como salida digital de una FPGA o microcontrolador.

# **Capítulo 5**

# **Conclusiones**

Acá van todas las conclusiones.

# Apéndice A

## Código Fuente Verilog

```
'timescale 1ns / 1ps

module top(
    input clk,
    input btnU, btnD,
    input btnL, btnR,
    input [1:0] sw,
    output [1:0] led,
    output [0:0] JA
);

    wire duty_inc_coarse, duty_inc_fine, duty_dec_coarse, duty_dec_fine;

    localparam W = 8;
    reg [W-1:0] div_value = 'd10;
    reg [1:0] sw_old = 'd0;
    reg initialized = 'b0;
    reg [3:0] init_counter = 'b0;
    reg srst = 'b0;

    localparam real DUTY_CYCLE_NOMINAL = 0.5;
    localparam real DUTY_CYCLE_COARSE = 0.1;
    localparam real DUTY_CYCLE_FINE = 0.01;

    localparam integer DIV_VALUE_10MHZ = 10;
    localparam integer COUNTS_DUTY_NOMINAL_10MHZ = DUTY_CYCLE_NOMINAL *
        DIV_VALUE_10MHZ;
    localparam integer COUNTS_DUTY_COARSE_10MHZ = DUTY_CYCLE_COARSE *
        DIV_VALUE_10MHZ;
    localparam integer COUNTS_DUTY_FINE_10MHZ = DUTY_CYCLE_FINE *
        DIV_VALUE_10MHZ;

    localparam integer DIV_VALUE_5MHZ = 20;
    localparam integer COUNTS_DUTY_NOMINAL_5MHZ = DUTY_CYCLE_NOMINAL *
        DIV_VALUE_5MHZ;
    localparam integer COUNTS_DUTY_COARSE_5MHZ = DUTY_CYCLE_COARSE *
        DIV_VALUE_5MHZ;
    localparam integer COUNTS_DUTY_FINE_5MHZ = 'd1;

    localparam integer DIV_VALUE_1MHZ = 100;
    localparam integer COUNTS_DUTY_NOMINAL_1MHZ = DUTY_CYCLE_NOMINAL *
        DIV_VALUE_1MHZ;
```

```

localparam integer COUNTS_DUTY_COARSE_1MHZ      = DUTY_CYCLE_COARSE *
    DIV_VALUE_1MHZ;
localparam integer COUNTS_DUTY_FINE_1MHZ        = DUTY_CYCLE_FINE   *
    DIV_VALUE_1MHZ;

reg [W-1:0] div_value_curr,
            counts_duty_nominal_curr,
            counts_duty_coarse_curr,
            counts_duty_fine_curr;

always @(posedge clk) begin
    if (sw[1]) begin
        div_value_curr           <= DIV_VALUE_1MHZ;
        counts_duty_nominal_curr <= COUNTS_DUTY_NOMINAL_1MHZ;
        counts_duty_coarse_curr  <= COUNTS_DUTY_COARSE_1MHZ;
        counts_duty_fine_curr    <= COUNTS_DUTY_FINE_1MHZ;
    end
    else if (sw[0]) begin
        div_value_curr           <= DIV_VALUE_5MHZ;
        counts_duty_nominal_curr <= COUNTS_DUTY_NOMINAL_5MHZ;
        counts_duty_coarse_curr  <= COUNTS_DUTY_COARSE_5MHZ;
        counts_duty_fine_curr    <= COUNTS_DUTY_FINE_5MHZ;
    end
    else begin
        div_value_curr           <= DIV_VALUE_10MHZ;
        counts_duty_nominal_curr <= COUNTS_DUTY_NOMINAL_10MHZ;
        counts_duty_coarse_curr  <= COUNTS_DUTY_COARSE_10MHZ;
        counts_duty_fine_curr    <= COUNTS_DUTY_FINE_10MHZ;
    end
    sw_old <= sw;
end

always @(posedge clk) begin
    if (initialized == 'b0) begin
        if (init_counter < 'd14) begin
            init_counter <= init_counter+1;
        end
        else begin
            initialized <= 'b1;
            srst <= 'b1;
        end
    end
    else begin
        if (sw_old != sw) srst <= 'b1;
    end
    if (srst) srst <= 'b0;
end

// debounce of buttons
debounce u_debounce_inc_coarse(clk,btnU,duty_inc_coarse);
debounce u_debounce_dec_coarse(clk,btnD,duty_dec_coarse);
debounce u_debounce_inc_fine(clk,btnR,duty_inc_fine);
debounce u_debounce_dec_fine(clk,btnL,duty_dec_fine);

// PWM generator
adhoc_generator#.WIDTH(W)u_generator(
    .clk(clk),

```

```

        .srst(srst),
        .duty_coarse(counts_duty_coarse_curr),
        .duty_fine(counts_duty_fine_curr),
        .duty_nominal(counts_duty_nominal_curr),
        .div_value(div_value_curr),
        .duty_inc_coarse(duty_inc_coarse),
        .duty_inc_fine(duty_inc_fine),
        .duty_dec_coarse(duty_dec_coarse),
        .duty_dec_fine(duty_dec_fine),
        .PWM(JA[0])
    );
}

assign led = sw;

endmodule

module debounce(
    input clk,
    input data_in,
    output data_out
);
localparam DEBOUNCE_BITS = 23;

reg [DEBOUNCE_BITS-1:0] debounce_counter;
wire debounce_enable;
wire tmp_1, tmp_2;

// debounce enable generation, has period T_clk/2**DEBOUNCE_BITS
always @(posedge clk) debounce_counter = debounce_counter + 'b1;
assign debounce_enable = debounce_counter == 2**DEBOUNCE_BITS-1 ? 'b1
: 'b0;

// debounce of buttons
DFF u_DFF_inc_coarse(clk,debounce_enable,data_in,tmp_1);
DFF u_DFF_dec_coarse(clk,debounce_enable,tmp_1,tmp_2);

assign data_out = tmp_1 & (~tmp_2) & debounce_enable;

endmodule

module DFF(
    input clk,
    input en,
    input D,
    output reg Q
);
    always @(posedge clk) begin
        if (en) Q <= D;
    end
endmodule

'timescale 1ns / 1ps

module adhoc_generator#(
    parameter WIDTH = 8
) (
    input clk, srst,
    input duty_inc_coarse, duty_inc_fine,
    input duty_dec_coarse, duty_dec_fine,

```

```

    input [WIDTH-1:0] duty_coarse, duty_fine, duty_nominal, div_value,
    output reg PWM
);

reg [WIDTH-1:0] counter      = 'd0;
reg [WIDTH-1:0] duty_cycle   = 'd0;
wire n_PWM;

assign n_PWM = counter < duty_cycle ? 'b1 : 'b0;

always @(posedge clk) begin
    if (srst) begin
        duty_cycle  <= duty_nominal;
        counter     <= 'd0;
        PWM         <= 'd1;
    end
    else begin
        counter           <= counter >= div_value-1
        ? 'd0 : counter + 1;
        PWM               <= n_PWM;
        if      (duty_inc_coarse) duty_cycle <= duty_cycle +
            duty_coarse;
        else if (duty_inc_fine)   duty_cycle <= duty_cycle + duty_fine
            ;
        else if (duty_dec_coarse) duty_cycle <= duty_cycle -
            duty_coarse;
        else if (duty_dec_fine)   duty_cycle <= duty_cycle - duty_fine
            ;
    end
end
endmodule

```

# Apéndice B

## Bibliografía

- [1] Hewlett-Packard, “Pulse and Waveform Generation with Step Recovery Diodes,” Tech. Rep. 918, Hewlett-Packard, 1984.
- [2] J. Moll and S. Hamilton, “Physical modeling of the step recovery diode for pulse and harmonic generation circuits,” *Proceedings of the IEEE*, vol. 57, no. 7, pp. 1250–1259, 1969.
- [3] D. Pozar, *Microwave Engineering, 4th Edition*. Wiley, 2011.
- [4] MACOM Technology Solutions, “MA4E2502 Series Datasheet.” Online, September 2023. Accessed on: 25 de septiembre de 2023.
- [5] H. P. Hsu, *Análisis de Fourier*. Addison-Wesley, 1970.
- [6] R. W. Erickson and M. Dragan, *Fundamentals of Power Electronics*. Springer, hardcover ed., 8 2020.
- [7] Texas Instruments, “Lm5114 high voltage 0.5-a half-bridge gate driver datasheet.” <https://www.ti.com/lit/ds/symlink/lm5114.pdf>, 2015.
- [8] Texas Instruments, *LM5114 PSpice Model*, 2023. Archivo descargado desde el sitio web de Texas Instruments.
- [9] Isola Group, “Fr408hr high performance laminate and prepreg.” <https://docs.oshpark.com/resources/four-layer-substrate-FR408HR.pdf>, 2023.
- [10] J. Smith, “Vishay technology,” tech. rep., Vishay Corporation, 2023.
- [11] Digilent, “Nexys 4 DDR.” Página Oficial, 2023. Disponible online en <https://digilent.com/reference/programmable-logic/nexys-4-ddr/start>.
- [12] Tektronix, Inc., “Osciloscopio MSO 70404C.” Datasheet, 2023. Disponible online en <https://download.tek.com/datasheet/DPO-DSA-MSO70000-DataSheet-EN-11Apr23.pdf>.
- [13] A. V. Oppenheim, R. W. Schafer, and J. R. Buck, *Discrete-Time Signal Processing*. Upper Saddle River, NJ: Prentice Hall, 2nd ed., 1999.
- [14] P. Rulikowski and J. Barrett, “Truly balanced step recovery diode pulse generator with single power supply,” in *Proceedings. 2004 IEEE Radio and Wireless Conference (IEEE Cat. No.04TH8746)*, pp. 347–350, 2004.
- [15] P. Protiva, J. Mrkvica, and J. Macháć, “A compact step recovery diode subnanosecond pulse generator,” *Microwave and Optical Technology Letters*, vol. 52, no. 2, pp. 438–440, 2010.

- [16] A. Kamal, A. Bhattacharya, M. Tamrakar, and C. Roy, “Low-ringing and reduced-cost step recovery diode based uwb pulse generators for gpr applications,” *Microwave and Optical Technology Letters*, vol. 56, no. 10, pp. 2289–2294, 2014.
- [17] J. Han and C. Nguyen, “A new ultra-wideband, ultra-short monocycle pulse generator with reduced ringing,” *IEEE Microwave and Wireless Components Letters*, vol. 12, no. 6, pp. 206–208, 2002.
- [18] J. Han and C. Nguyen, “Coupled-slotline-hybrid sampling mixer integrated with step-recovery-diode pulse generator for uwb applications,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, no. 6, pp. 1875–1882, 2005.
- [19] D. Oloumi and E. Fear, “A picosecond pulse generator using srd diodes: Design, analysis, and measurements,” in *2018 USNC-URSI Radio Science Meeting (Joint with AP-S Symposium)*, pp. 159–160, 2018.