

# Trabalho de ERTGP mais uma linha aqui

Nome do professor aqui  
Ano

Aluno1  
Aluno2  
Aluno3

# Índice

<b>1</b>	<b>Conversor DC-DC Buck</b>	<b>3</b>
1.1	Análise teórica . . . . .	3
1.2	Dimensionamento dos componentes . . . . .	6
1.3	Simulação do núcleo do conversor . . . . .	9
<b>2</b>	<b>Comparador</b>	<b>11</b>
<b>3</b>	<b>Malha de realimentação com retroação</b>	<b>11</b>
3.1	Divisor de tensão resistivo . . . . .	11
3.2	Comparador com latch . . . . .	12

# Índice de figuras

1	Núcleo do conversor DC-DC Buck . . . . .	3
2	Fase 1 ( $\phi_1$ ) . . . . .	3
3	Fase 2 ( $\phi_2$ ) . . . . .	3
4	Andamento temporal . . . . .	3
5	Fase 1 ( $\phi_1$ ) . . . . .	5
6	Fase 2 ( $\phi_2$ ) . . . . .	5
7	Fase 1 ( $\phi_1$ ) com $R_{on}$ . . . . .	6
8	Fase 2 ( $\phi_2$ ) com $R_{on}$ . . . . .	6
9	Andamento temporal de carga do condensador . . . . .	7
10	Parametrização do transistor NMOS . . . . .	8
11	$R_{on}$ em função de $W$ . . . . .	8
12	Circuito do núcleo do conversor . . . . .	9
13	Onda à entrada (verde) e à saída (Rosa) do conversor . . . . .	10
14	Divisor resistivo . . . . .	11
15	Ondas à entrada e à saída do comparador . . . . .	12

# Índice de tabelas

1	Dimensionamento de interruptores . . . . .	8
---	--	---

# 1 Conversor DC-DC Buck

## 1.1 Análise teórica

Este capítulo tem como objetivo analisar o conversor DC-DC Buck. Assim, será determinada a função transferência  $\frac{V_{out}}{V_i}$  do conversor, que permitirá chegar a um fator de conversão, bem como a eficiência do mesmo. Esta análise será feita sem ter em conta as capacidades parasitas. O conversor Buck está representado na figura 1.

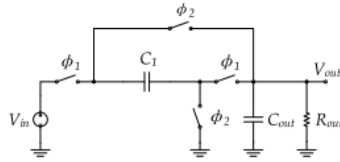


Figura 1: Núcleo do conversor DC-DC Buck

A análise do conversor será realizada em três instantes, em que cada um está associado a uma fase. Se o circuito estiver a funcionar na fase 1 ( $\phi_1$ ) obtém-se o circuito representado na figura 2, mas se estiver a funcionar na fase 2 ( $\phi_2$ ) obtém-se o circuito da figura 3.

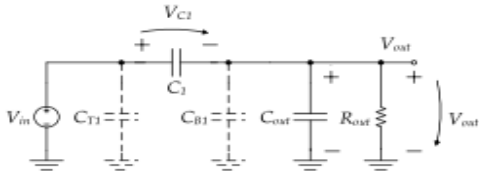


Figura 2: Fase 1 ( $\phi_1$ )

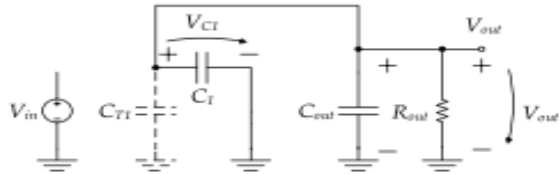


Figura 3: Fase 2 ( $\phi_2$ )

De forma a obter a relação  $\frac{V_{out}}{V_i}$  considera-se que existe conservação de carga entre fases. Em ambos os casos existe conservação de carga no nó de saída e considerando o seguinte andamento temporal (figura 4).

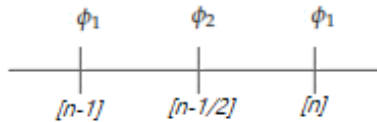


Figura 4: Andamento temporal

Considerando a conservação de carga da fase 1 para a fase 2 ( $\phi_1 \rightarrow \phi_2$ ) obtém-se a seguinte equação.

$$Q_{C_1}^{\phi_2} + Q_{C_{out}}^{\phi_2} + \Delta Q_{Rout} = Q_{C_1}^{\phi_1} + Q_{C_{out}}^{\phi_1} \quad (1)$$

Tendo em consideração que  $\Delta Q_{Rout} = \frac{T_{clk}}{2} I_{out}$  a equação 1 pode ser escrita da seguinte forma:

$$V_{out}[n - \frac{1}{2}]C_1 + V_{out}[n - \frac{1}{2}]C_{out} + V_{out}[n - \frac{1}{2}](\frac{T_{clk}}{2} \frac{1}{R_{out}}) = (V_i - V_{out}[n - 1])C_1 + V_{out}[n - 1]C_{out} \quad (2)$$

Considerando agora a conservação de carga da fase 2 para a fase 1 ( $\phi_2 \rightarrow \phi_1$ ) obtém-se a seguinte equação.

$$\begin{aligned} -Q_{C_1}^{\phi_1} + Q_{C_{out}}^{\phi_1} + \Delta Q_{Rout} &= -Q_{C_1}^{\phi_2} + Q_{C_{out}}^{\phi_2} \\ -(V_i - V_{out}[n])C_1 + V_{out}[n]C_{out} + V_{out}[n](\frac{T_{clk}}{2} \frac{1}{R_{out}}) &= -V_{out}[n - \frac{1}{2}]C_1 + V_{out}[n - \frac{1}{2}]C_{out} \end{aligned} \quad (3)$$

Resolvendo a equação 3 em ordem a  $V_{out}[n - \frac{1}{2}]$  e substituindo na equação 2 obtém-se a seguinte expressão de  $\frac{V_{out}}{V_i}$ .

$$\frac{V_{out}}{V_i} = \frac{C_1(2 + \frac{T_{clk}}{2} \frac{1}{C_{out}R_{out}})}{4C_1 + \frac{C_1T_{clk}}{C_{out}R_{out}} + \frac{T_{clk}}{R_{out}} + \frac{T_{clk}^2}{4R_{out}^2C_{out}}} \quad (4)$$

Considerando  $C_{out} \gg C_1$  e que  $F_{clk} = \frac{1}{T_{clk}}$  obtém-se:

$$\frac{V_{out}}{V_i} = \frac{2F_{clk}R_{out}C_1}{4F_{clk}R_{out}C_1 + 1} \quad (5)$$

Como  $4F_{clk}R_{out}C_1 > 1$  então:

$$\frac{V_{out}}{V_i} = \frac{1}{2} \quad (6)$$

Assim sendo, a razão de conversão do conversor é de  $\frac{1}{2}$ .  
Através da equação 5 é possível chegar á  $F_{clk}$  do conversor.

$$F_{clk} = \frac{V_{out}}{2R_{out}C_1(V_i - 2V_{out})} \quad (7)$$

A eficiência do conversor é dada por:  $\eta = \frac{P_{out}}{P_i}$  onde  $P_{out} = V_{out}I_{out}$  e  $P_{in} = V_iI_i$

$$\eta = \frac{P_{out}}{P_{in}} = \frac{V_{out}I_{out}}{V_iI_i} = \frac{|V_{out}(\Delta Q_{out}^{\phi_1} + \Delta Q_{out}^{\phi_2})F_{clk}|}{|V_i(\Delta Q_i^{\phi_1} + \Delta Q_i^{\phi_2})F_{clk}|} \quad (8)$$

De forma a calcular a variação da carga à saída e à entrada nas duas fases, recorreu-se às figuras 5 e 6.

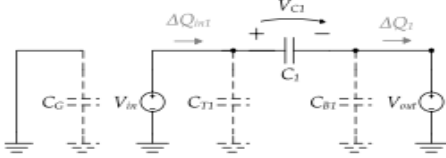


Figura 5: Fase 1 ( $\phi_1$ )

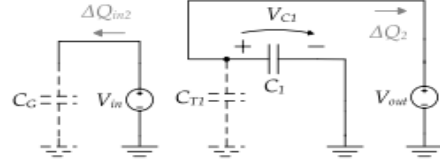


Figura 6: Fase 2 ( $\phi_2$ )

Considerando a conservação de carga da fase 1 para a fase 2 ( $\phi_1 \rightarrow \phi_2$ ) é possível retirar a variação da carga á entrada e á saída da fase 2.

Nó de saída:

$$\begin{aligned} Q_{C_1}^{\phi_2} + \Delta Q_{out}^{\phi_2} &= Q_{C_1}^{\phi_1} \\ V_{out}C_1 + \Delta Q_{out}^{\phi_2} &= (V_i - V_{out})C_1 \\ \Delta Q_{out}^{\phi_2} &= (V_i - 2V_{out})C_1 \end{aligned} \quad (9)$$

No nó de entrada a  $\Delta Q_i^{\phi_2} = 0$ .

Considerando agora a conservação de carga da fase 2 para a fase 1 ( $\phi_2 \rightarrow \phi_1$ ) é possível retirar a variação da carga á entrada e á saída da fase 1.

Nó de saída:

$$\begin{aligned} -Q_{C_1}^{\phi_1} + \Delta Q_{out}^{\phi_1} &= -Q_{C_1}^{\phi_2} \\ -(V_i - V_{out})C_1 + \Delta Q_{out}^{\phi_1} &= -V_{out}C_1 \\ \Delta Q_{out}^{\phi_1} &= (V_i - 2V_{out})C_1 \end{aligned} \quad (10)$$

Nó de entrada:

$$\begin{aligned} Q_{C_1}^{\phi_1} + \Delta Q_i^{\phi_1} &= Q_{C_1}^{\phi_2} \\ (V_i - V_{out})C_1 + \Delta Q_i^{\phi_1} &= V_{out}C_1 \\ \Delta Q_i^{\phi_1} &= (2V_{out} - V_i)C_1 \end{aligned} \quad (11)$$

Substituindo a equação 8 pelas expressões obtidas para a variação na carga á entrada e á saída das duas fases obtém-se:

$$\eta = \frac{|V_{out}((V_i - 2V_{out})C_1 + (V_i - 2V_{out})C_1)F_{clk}|}{|V_i((2V_{out} - V_i)C_1 + 0)F_{clk}|} = \left| -\frac{2V_{out}}{V_i} \right|$$

$$\eta = \frac{2V_{out}}{V_i}$$
(12)

## 1.2 Dimensionamento dos componentes

Para dimensionar corretamente o conversor, começou-se por escolher o tipo de transístores a utilizar, optando assim que  $S_1$  seria PMOS visto que para o conversor começar a trabalhar necessita de uma tensão mais elevada e que  $S_4$  seria NMOS para puxar essa tensão. Quanto aos outros dois transístores estes podiam ser tanto NMOS como PMOS, assim optou-se por utilizar uma configuração Transmission Gate.

Quando o interruptor está fechado existe uma resistência intrínseca denominada por  $R_{on}$  na figura 7 e na figura 8 está representada a resistência  $R_{on}$  para a fase ( $\phi_1$ ) e ( $\phi_2$ ).<sup>7</sup>

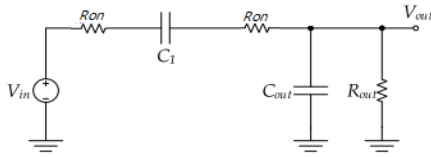


Figura 7: Fase 1 ( $\phi_1$ ) com  $R_{on}$

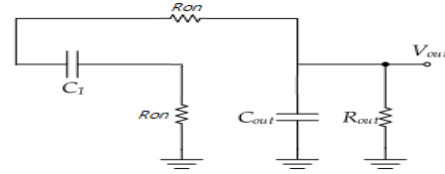


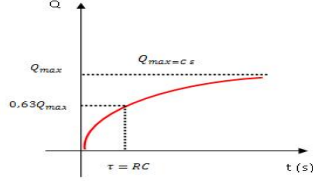
Figura 8: Fase 2 ( $\phi_2$ ) com  $R_{on}$

Considerando quando o circuito da figura 7 está a funcionar, na fase 1 verifica-se que estamos perante um circuito RC de segunda ordem. Contudo este pode ser aproximado a um de primeira ordem considerando os valores de  $R_{out}$  e  $C_{out}$  elevados face ao valor de  $R_{on}$  (resistência do interruptor) e  $C_1$ , respetivamente. Assim, a constante de tempo ( $\tau$ ) associada à carga e descarga do condensador é dada por  $2R_{on}C_1$ , assumindo um erro de 1% no fator de conversão é possível chegar ao valor de  $R_{on}$  e posteriormente ao valor de W do transístor uma vez que  $L = 120[nm]$ . Realizando uma análise semelhante quando o circuito funciona na fase 2 verifica-se que a constante de tempo não sofre alteração.

Com base nas especificações:

- $V_i = 1.2 [V]$
- $C_1 = 0.5[nF]$
- $R_{out} = 500[\Omega]$

E tendo em conta que  $V_{out}$  é metade do valor de entrada considerou-se  $V_{out} = 0.58$  [V]. Assim pela equação 7 chegou-se a um valor de  $F_{CLK} = 30$  [MHz]. Sabendo que a tensão no condensador para um circuito de primeira ordem é dado pela equação 13 e o andamento temporal de carga no condensador está representado na figura 9, é possível calcular um erro de 1 % face ao valor máximo de carga. Considerando que  $V_f = 0$  a equação 13 simplifica-se para  $\frac{V_{out}}{V_i} = e^{-(\frac{T}{\tau})} = erro$  sendo a carga máxima dada quando  $T = \frac{T_{CLK}}{2}$ .



$$V_c = V_f - (V_f - V_i)e^{-(\frac{T}{\tau})} \quad (13)$$

Figura 9: Andamento temporal de carga do condensador

Com base na explicação feita anteriormente, estamos em condições de retirar o valor de  $R_{on}$ .

$$\begin{aligned} erro &= e^{-(\frac{T}{\tau})} \\ erro &= e^{-(\frac{T_{CLK}}{2(2R_{on}C_1)})} \\ R_{on} &= -\frac{T_{CLK}}{4C_1 \ln(erro)} \end{aligned} \quad (14)$$

Através da equação 14 chegou-se a um valor de  $R_{on}$  de 3.74 [ $\Omega$ ]. A resistência também pode ser calculada a partir da equação 15. Contudo, já tendo este valor é possível chegar ao valor de W para cada tipo de interruptor através de uma parametrização no programa Cadance, onde se considera  $\frac{L}{K(V_{GS/SG} - V_{THN/THP})} = K_r$

$$R_{on} = \frac{L}{WK(V_{GS/SG} - V_{THN/THP})} \quad (15)$$

O esquemático para realizar a parametrização encontra-se representado na figura 10. O exemplo apresentado é para o interruptor  $S_4$  que irá ser implementado com um transistor NMOS e por este motivo coloca-se uma tensão de 1.2 [V] na gate. Através do programa Cadance obtém-se um gráfico representado na figura 11 que relaciona  $R_{on}$  com W, a variação do eixo das ordenadas corresponde a  $K_r$  mencionado em cima. Para os restantes interruptores o raciocínio é semelhante, tendo em atenção os valores a colocar nas fonte de tensão  $V_0$  e  $V_1$ . Na tabela 1 encontra-se o dimensionamento para todos os interruptores considerando um erro de 1%.

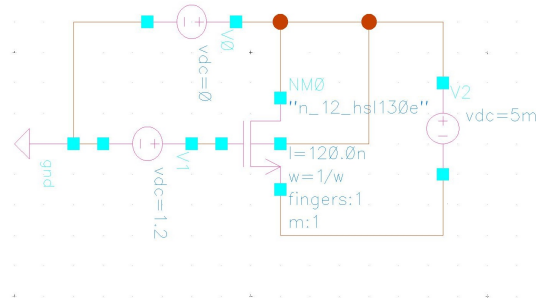


Figura 10: Parametrização do transistor NMOS

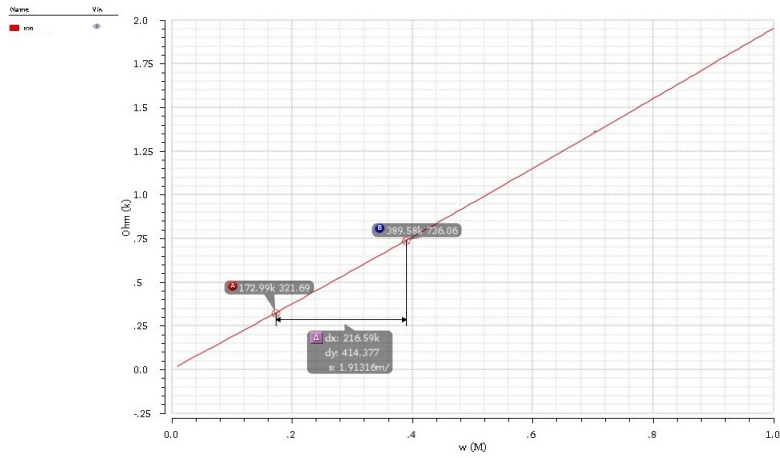


Figura 11:  $R_{on}$  em função de  $W$

Tabela 1: Dimensionamento de interruptores

Interruptores	Tipo	$V_0$ [V]	$V_1$ [V]	$R_{on}$ [ $\Omega$ ]	$Kr$	$W$ [ $\mu m$ ]	$L$ [nm]
S1	PMOS	1.2	0	3.7439	0.0020	527.95	120
S2/S3	T. Gate - PMOS	1.2	0.6	7.4878	0.0053	117.52	120
S2/S3	T. Gate - NMOS	0.6	1.2	7.4878	0.0012	156.06	120
S4	NMOS	0	1.2	3.7439	0.0004	708.58	120



### 1.3 Simulação do núcleo do conversor

Nesta secção serão apresentados os resultados obtido para o núcleo do conversor. Na figura 12 encontra-se o circuito utilizado na simulação, as fases 1 ( $\phi_1$ ) e 2 ( $\phi_2$ ) foram implementadas através de uma fonte  $V_{pulse}$  em que a fase ( $\phi_1$ ) é o inverso da fase 2 ( $\phi_2$ ).

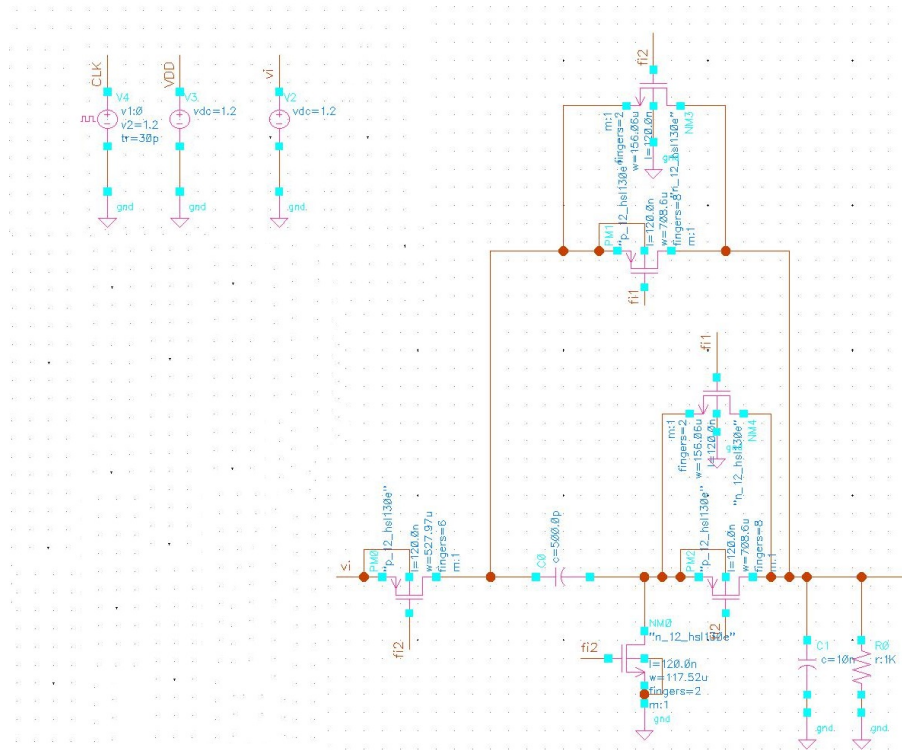


Figura 12: Circuito do núcleo do conversor

Numa primeira análise considerou-se que  $C_{out} = 10$  [pF] e  $R_{out} = 500$  [ $\Omega$ ], contudo a onda à saída encontrava-se cerca de 300 [mV] abaixo do valor pretendido. Ao realizar vários testes observou-se que ao aumentar  $R_{out}$  o tempo de descarga do condensador diminuía e por sua vez quanto maior fosse o valor de  $C_{out}$  menor era o valor de ripple e o valor de tensão à saída também diminuía significativamente. De forma a ter um valor de ripple o mais baixo possível e o valor de saída perto 600 [mV], optou-se por aumentar  $C_{out} = 10$  [nF] e  $R_{out} = 1$  [k $\Omega$ ].

Os resultados obtidos encontram-se representados na figura 13.

A tensão à saída do conversor é de 580.21[mV] tendo um valor de ripple de 0.841 [mV], sendo estes valores bastante aceitáveis para o núcleo do conversor.

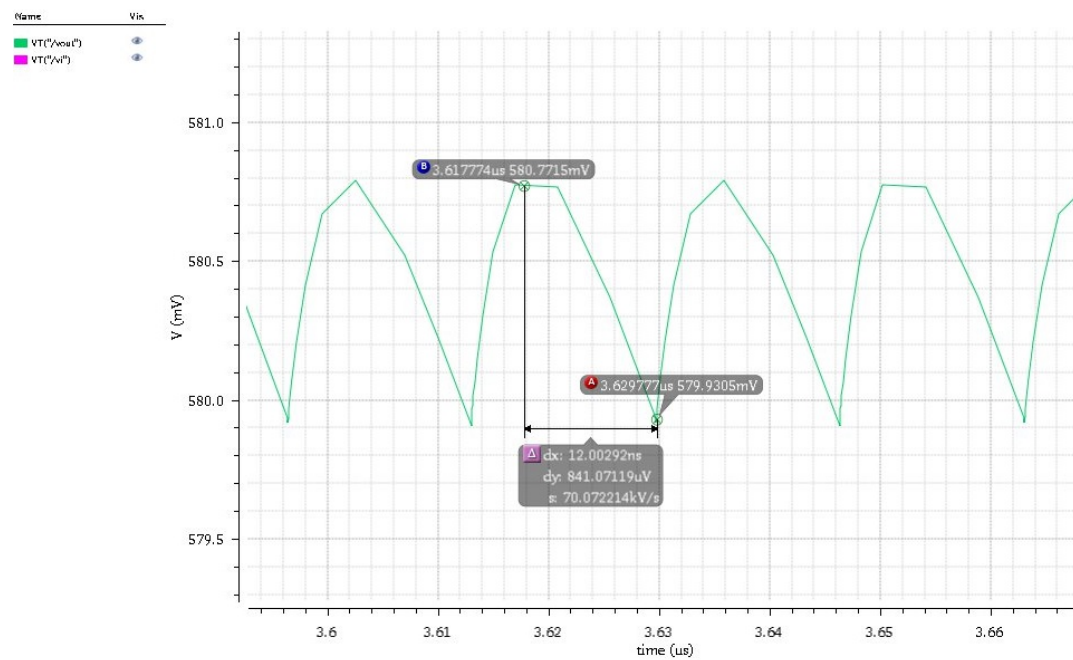
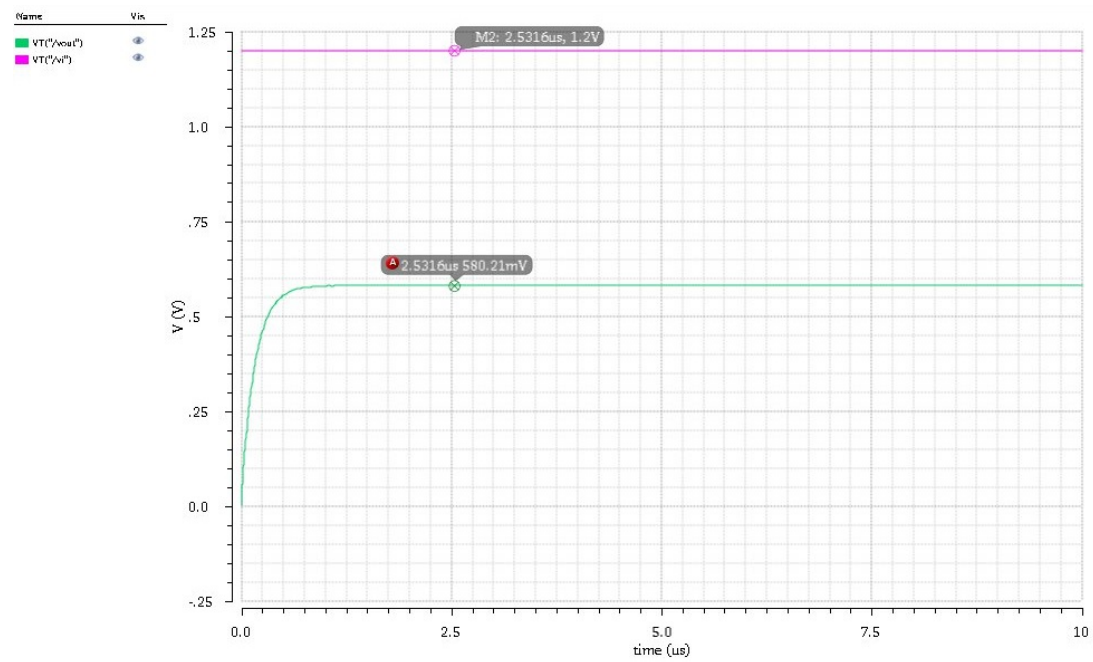


Figura 13: Onda à entrada (verde) e à saída (Rosa) do conversor

## 2 Comparador

Hello

World

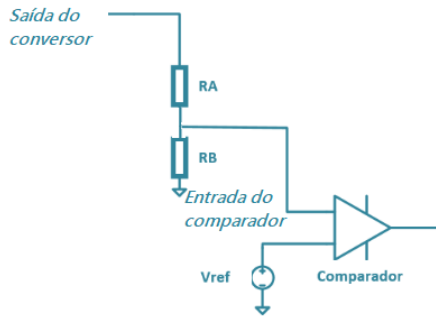
## 3 Malha de realimentação com retroação

A malha de realimentação com retroação tem como objetivo recolher a informação da saída do controlador (saída do núcleo do conversor) compará-la com um sinal de referência e corrigir a saída caso esta se desvie dos parâmetros pretendidos. A malha de realimentação é composta por :

- Divisor de tensão
- Comparador com latch

### 3.1 Divisor de tensão resistivo

O divisor de tensão resistivo está colocado à saída do núcleo do conversor, este tem como função diminuir a tensão do mesmo, neste caso, para que seja possível obter uma tensão de 0.5 [V] à entrada do comparador. Na figura 14 está representado o divisor de tensão resistivo, sendo necessário calcular os valores de  $R_A$  e  $R_B$ .



$$V_{o_{conversor}} = \left( \frac{R_B}{R_B + R_A} \right) \times V_{i_{comparador}} \quad (16)$$

Figura 14: Divisor resistivo

Sabendo que :

- $V_{o_{conversor}} = 0.6 \text{ [V]}$
- $V_{i_{comparador}} = 0.5 \text{ [V]}$

Assumindo  $R_B = 500 \text{ }[\Omega]$ , resolvendo a equação 16 em ordem a  $R_A$  obtém-se:

$$R_A = \frac{R_B - \left( R_B \times \frac{0.6}{0.5} \right)}{\frac{0.6}{0.5}} = 100[\Omega] \quad (17)$$

### 3.2 Comparador com latch

Como foi referido na secção 2 o comparador irá trabalhar em duas fases distintas consoante o valor de CLK (fase Reset e fase de comparação). Na fase de comparação, o comparador irá comparar a tensão de referência 0.5 [V] com o sinal à saída do divisor resistivo. Quando a tensão a saída do divisor resistivo está abaixo da tensão de referência,  $V_{Op}$  encontra-se a VDD, enquanto que  $V_{On}$  está a zero, a partir do momento em que são iguais há uma inversão de sinal. É de salientar que sempre que as duas tensões são iguais há uma mudança de sinal nas duas saídas do comparador e estas encontram-se em oposição uma em relação à outra.

Na figura 15 encontra-se representada a tensão de referência a azul, o sinal à saída do divisor resistivo a rosa,  $V_{On}$  a a laranja e  $V_{Op}$  a a roxo. É possível verificar o comportamento do comparador descrito em cima quando as duas tensões são iguais.

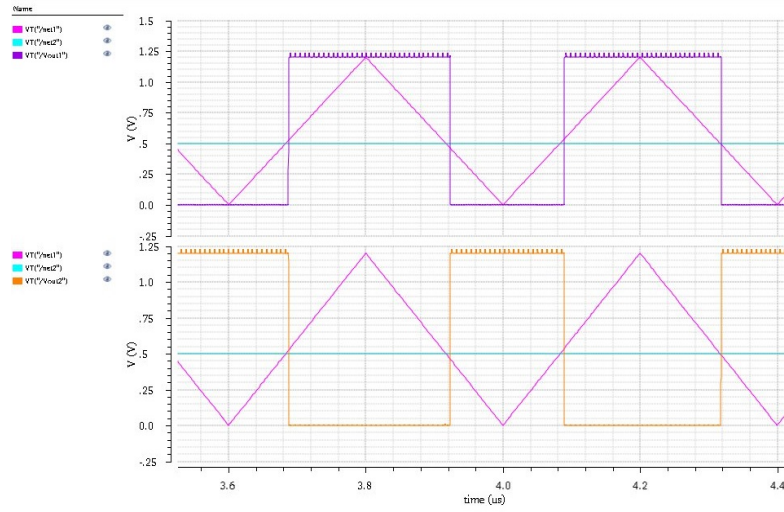


Figura 15: Ondas à entrada e à saída do comparador