

1 Conversor DC-DC Buck

1.1 Anlise terica

Este capitulo tem como objetivo analisar o conversor DC-DC Buck. Assim, ser determinada a funo transferncia $\frac{V_{out}}{V_i}$ do conversor, que permitir chegar a um fator de converso, bem como a eficincia do mesmo. Esta anlise ser feita sem ter em conta as capacidades parasitas. O conversor Buck est representado na figura 1.

[height=2.5cm]Buck

Figure 1: Ncleo do conversor DC-DC Buck

A anlise do conversor ser realizada em trs instantes, em que cada um est associado a uma fase. Se o circuito estiver a funcionar na fase 1 (ϕ_1) obtm-se o circuito representado na figura 2, mas se estiver a funcionar na fase 2 (ϕ_2) obtm-se o circuito da figura 3.

[width=1.1height=2.5cm]Fase1

Figure 2: Fase 1 (ϕ_1)

[width=1.1height=2.5cm]Fase2

Figure 3: Fase 2 (ϕ_2)

De forma a obter a relao $\frac{V_{out}}{V_i}$ considera-se que existe conservao de carga entre fases. Em ambos os casos existe conservao de carga no n de sada e considerando o seguinte andamento temporal (figura 4).

[height=2.5cm]andamentotemporal

Figure 4: Andamento temporal

Considerando a conservao de carga da fase 1 para a fase 2 ($\phi_1 \rightarrow \phi_2$) obtm-se a seguinte equao.

$$Q_{C_1}^{\phi_2} + Q_{C_{out}}^{\phi_2} + \Delta Q_{Rout} = Q_{C_1}^{\phi_1} + Q_{C_{out}}^{\phi_1} \quad (1)$$

Tendo em considerao que $\Delta Q_{Rout} = \frac{T_{clk}}{2} I_{out}$ a equao 1 pode ser escrita da seguinte forma:

$$V_{out}[n-\frac{1}{2}]C_1 + V_{out}[n-\frac{1}{2}]C_{out} + V_{out}[n-\frac{1}{2}](\frac{T_{clk}}{2} \frac{1}{R_{out}}) = (V_i - V_{out}[n-1])C_1 + V_{out}[n-1]C_{out} \quad (2)$$

Considerando agora a conservao de carga da fase 2 para a fase 1 ($\phi_2 \rightarrow \phi_1$) obtm-se a seguinte equao.

$$\begin{aligned} -Q_{C_1}^{\phi_1} + Q_{C_{out}}^{\phi_1} + \Delta Q_{R_{out}} &= -Q_{C_1}^{\phi_2} + Q_{C_{out}}^{\phi_2} \\ -(V_i - V_{out}[n])C_1 + V_{out}[n]C_{out} + V_{out}[n](\frac{T_{clk}}{2} \frac{1}{R_{out}}) &= -V_{out}[n - \frac{1}{2}]C_1 + V_{out}[n - \frac{1}{2}]C_{out} \end{aligned} \quad (3)$$

Resolvendo a equao 3 em ordem a $V_{out}[n - \frac{1}{2}]$ e substituindo na equao 2 obtm-se a seguinte expresso de $\frac{V_{out}}{V_i}$.

$$\frac{V_{out}}{V_i} = \frac{C_1(2 + \frac{T_{clk}}{2} \frac{1}{C_{out}R_{out}})}{4C_1 + \frac{C_1T_{clk}}{C_{out}R_{out}} + \frac{T_{clk}}{R_{out}} + \frac{T_{clk}^2}{4R_{out}^2C_{out}}} \quad (4)$$

Considerando $C_{out} \gg C_1$ e que $F_{clk} = \frac{1}{T_{clk}}$ obtm-se:

$$\frac{V_{out}}{V_i} = \frac{2F_{clk}R_{out}C_1}{4F_{clk}R_{out}C_1 + 1} \quad (5)$$

Como $4F_{clk}R_{out}C_1 > 1$ ento:

$$\frac{V_{out}}{V_i} = \frac{1}{2} \quad (6)$$

Assim sendo, a razo de converso do conversor de $\frac{1}{2}$.
Atravs da equao 5 possvel chegar F_{clk} do conversor.

$$F_{clk} = \frac{V_{out}}{2R_{out}C_1(V_i - 2V_{out})} \quad (7)$$

A eficiencia do conversor dada por: $\eta = \frac{P_{out}}{P_i}$ onde $P_{out} = V_{out}I_{out}$ e $P_{in} = V_i I_i$

$$\eta = \frac{P_{out}}{P_{in}} = \frac{V_{out}I_{out}}{V_i I_i} = \frac{|V_{out}(\Delta Q_{out}^{\phi_1} + \Delta Q_{out}^{\phi_2})F_{clk}|}{|V_i(\Delta Q_i^{\phi_1} + \Delta Q_i^{\phi_2})F_{clk}|} \quad (8)$$

De forma a calcular a variaçao da carga sada e entrada nas duas fases, recorreu-se s figuras 5 e 6.

[width=0.8height=2.5cm]Ef1

Figure 5: Fase 1 (ϕ_1)

[width=0.8height=2.5cm]Ef2

Figure 6: Fase 2 (ϕ_2)

Considerando a conservao de carga da fase 1 para a fase 2 ($\phi_1 \rightarrow \phi_2$) possvel retirar a variaçao da carga entrada e sada da fase 2.

N de sada:

$$\begin{aligned} Q_{C_1}^{\phi_2} + \Delta Q_{out}^{\phi_2} &= Q_{C_1}^{\phi_1} \\ V_{out}C_1 + \Delta Q_{out}^{\phi_2} &= (V_i - V_{out})C_1 \\ \Delta Q_{out}^{\phi_2} &= (V_i - 2V_{out})C_1 \end{aligned} \quad (9)$$

No n de entrada a $\Delta Q_i^{\phi_2} = 0$.

Considerando agora a conservao de carga da fase 2 para a fase 1 ($\phi_2 \rightarrow \phi_1$) possvel retirar a variaçao da carga entrada e sada da fase 1.

N de sada:

$$\begin{aligned} -Q_{C_1}^{\phi_1} + \Delta Q_{out}^{\phi_1} &= -Q_{C_1}^{\phi_2} \\ -(V_i - V_{out})C_1 + \Delta Q_{out}^{\phi_1} &= -V_{out}C_1 \\ \Delta Q_{out}^{\phi_1} &= (V_i - 2V_{out})C_1 \end{aligned} \quad (10)$$

N de entrada:

$$\begin{aligned}
Q_{C_1}^{\phi_1} + \Delta Q_i^{\phi_1} &= Q_{C_1}^{\phi_1} \\
(V_i - V_{out})C_1 + \Delta Q_i^{\phi_1} &= V_{out}C_1 \\
\Delta Q_i^{\phi_1} &= (2V_{out} - V_i)C_1
\end{aligned} \tag{11}$$

Substituindo a equao 8 pelas expresses obtidas para a variaio na carga entrada e sada das duas fases obtm-se:

$$\begin{aligned}
\eta &= \frac{|V_{out}((V_i - 2V_{out})C_1 + (V_i - 2V_{out})C_1)F_{clk}|}{|V_i((2V_{out} - V_i)C_1 + 0)F_{clk}|} = \left| -\frac{2V_{out}}{V_i} \right| \\
\eta &= \frac{2V_{out}}{V_i}
\end{aligned} \tag{12}$$

1.2 Dimensionamento dos componentes

Para dimensionar corretamente o conversor, comeou-se por escolher o tipo de transstores a utilizar, optando assim que S_1 seria PMOS visto que para o conversor comear a trabalhar necessita de uma tenso mais elevada e que S_4 seria NMOS para puxar essa tenso. Quanto aos outros dois transstores estes podiam ser tanto NMOS como PMOS, assim optou-se por utilizar uma configurao Transmission Gate.

Quando o interruptor est fechado existe uma resistncia intrnseca denominada por R_{on} na figura 7 e na figura 8 est representada a resistncia R_{on} para a fase (ϕ_1) e (ϕ_2) .

[width=0.8height=2.5cm]Fase1Ron [width=0.8height=2.5cm]Fase2Ron

Figure 7: Fase 1 (ϕ_1) com R_{on}

Figure 8: Fase 2 (ϕ_2) com R_{on}

Considerando quando o circuito da figura 7 est a funcionar, na fase 1 verifica-se que estamos perante um circuito RC de segunda ordem. Contudo este pode ser aproximado a um de primeira ordem considerando os valores de R_{out} e C_{out} elevados face ao valor de R_{on} (resistncia do interruptor) e C_1 , respetivamente. Assim, a constante de tempo (τ) associada carga e descarga do condensador dada por $2R_{on}C_1$, assumindo um erro de 1% no fator de converso possvel chegar ao valor de R_{on} e posteriormente ao valor de W do transistor uma vez que $L = 120[nm]$. Realizando uma anlise semelhante

quando o circuito funciona na fase 2 verifica-se que a constante de tempo no sofre alterao.

Com base nas especificaes:

- $V_i = 1.2 \text{ [V]}$
- $C_1 = 0.5 \text{ [nF]}$
- $R_{out} = 500 \text{ [\Omega]}$

E tendo em conta que V_{out} metade do valor de entrada considerou-se $V_{out} = 0.58 \text{ [V]}$. Assim pela equao 7 chegou-se a um valor de $F_{CLK} = 30 \text{ [MHz]}$. Sabendo que a tenso no condensador para um circuito de primeira ordem dado pela equao 13 e o andamento temporal de carga no condensador est representado na figura 9, possvel calcular um erro de 1 % face ao valor mximo de carga. Considerando que $V_f = 0$ a equao 13 simplifica-se para $\frac{V_{out}}{V_i} = e^{-(\frac{T}{\tau})} = erro$ sendo a carga mxima dada quando $T = \frac{T_{CLK}}{2}$.

[width=0.6height=2.5cm]tensaonocondensador

$$V_c = V_f - (V_f - V_i)e^{-(\frac{T}{\tau})} \quad (13)$$

Figure 9: Andamento temporal de carga do condensador

Com base na explicao feita anteriormente, estamos em condies de retirar o valor de R_{on} .

$$\begin{aligned} erro &= e^{-(\frac{T}{\tau})} \\ erro &= e^{-(\frac{T_{CLK}}{2(2R_{on}C_1)})} \\ R_{on} &= -\frac{T_{CLK}}{4C_1 \ln(erro)} \end{aligned} \quad (14)$$

Atravs da equao 14 chegou-se a um valor de R_{on} de 3.74 [\Omega] . A resistncia tambm pode ser calculada a partir da equao 15. Contudo, j tendo este valor possvel chegar ao valor de W para cada tipo de interruptor atravs de uma parametrizao no programa Cadance, onde se considera $\frac{L}{K(V_{(GS/SG)} - V_{(THN/THP)})} = K_r$

$$R_{on} = \frac{L}{WK(V_{(GS/SG)} - V_{(THN/THP)})} \quad (15)$$

O esquemático para realizar a parametrização encontra-se representado na figura 10. O exemplo apresentado para o interruptor S_4 que irá ser implementado com um transistor NMOS e por este motivo coloca-se uma tensão de 1.2 [V] na gate. Através do programa Cadence obtém-se um gráfico representado na figura 11 que relaciona R_{on} com W , a variação do eixo das ordenadas corresponde a K_r mencionado em cima. Para os restantes interruptores o raciocínio semelhante, tendo em atenção os valores a colocar nas fontes de tensão V_0 e V_1 . Na tabela 1 encontra-se o dimensionamento para todos os interruptores considerando um erro de 1%.

[width=0.5height=4cm]ParamNmos

Figure 10: Parametrização do transistor NMOS

[width=0.7height=6cm]ParamNo

Figure 11: R_{on} em função de W

Table 1: Dimensionamento de interruptores

Interruptores	Tipo	V_0 [V]	V_1 [V]	R_{on} [Ω]	K_r	W [μm]	L [nm]
S1	PMOS	1.2	0	3.7439	0.0020	527.95	120
S2/S3	T. Gate - PMOS	1.2	0.6	7.4878	0.0053	117.52	120
S2/S3	T. Gate - NMOS	0.6	1.2	7.4878	0.0012	156.06	120
S4	NMOS	0	1.2	3.7439	0.0004	708.58	120

1.3 Simulação do núcleo do conversor

Nesta secção serão apresentados os resultados obtidos para o núcleo do conversor. Na figura ?? encontra-se o circuito utilizado na simulação, as fases 1 (ϕ_1) e 2 (ϕ_2) foram implementadas através de uma fonte V_{pulse} em que a fase (ϕ_1) é o inverso da fase 2 (ϕ_2).

Numa primeira análise considerou-se que $C_{out} = 10$ [pF] e $R_{out} = 500$ [Ω], contudo a onda saída encontrava-se cerca de 300 [mV] abaixo do valor

pretendido. Ao realizar vrios testes observou-se que ao aumentar R_{out} o tempo de descarga do condensador diminua e por sua vez quanto maior fosse o valor de C_{out} menor era o valor de ripple e o valor de tenso sada tambm diminua significativamente. De forma a ter um valor de ripple o mais baixo possvel e o valor de sada perto 600 [mV], optou-se por aumentar $C_{out} = 10$ [nF] e $R_{out} = 1$ [k Ω].

Os resultados obtidos encontram-se representados na figura ??.

A tenso sada do conversor de 580.21[mV] tendo um valor de ripple de 0.841 [mV], sendo estes valores bastante aceitveis para o ncleo do conversor.