## Задание

Реализовать блок ОЗУ, состоящий из шестнадцати восьмиразрядных слов. Реализовать генератор ШИМ-сигнала (скважность генерируемого сигнала задается входным четырехразрядным кодом). Выполнить моделирование и проверить работу устройства. Выполнить прототипирование на плате.

## Выполнение

1. Спроектируем синхронный модуль оперативной памяти, в котором будет 16 8-и битовых слов. Для задания и обращения к 16 словам в ОЗУ необходима четырехбитная шина адреса. Также введем сигнал разрешения записи и синхросигнал.
2. Выполним моделирование. После чего проверим работу устройства следующим образом: запишем значение 01010110 по адресу 0010, затем запишем значение 11111101 по адресу 1010, затем считаем значение по адресу 0010. Результаты корректны и приведены на рисунке 1.

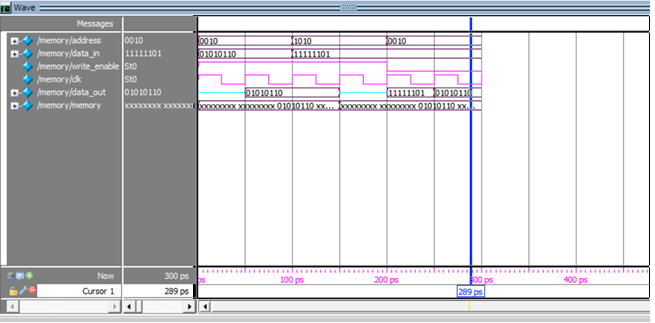


Рисунок 1. Результаты моделирования модуля ОЗУ.

1. Выполним прототипирование с помощью онлайн лаборатории. Для этого подключим файл Verilog к проекту Quartus, назначим пины и скомпилируем проект (файл bdf приведен на рисунке 2). После этого прошьем отладочную плату используя rbf файл прошивки. Поскольку для успешного тестирования необходимо 13 входных пинов, а на плате доступно лишь 8, то тестирование на плате можно выполнить лишь поверхностно. Результаты приведены на рисунках 3-4.

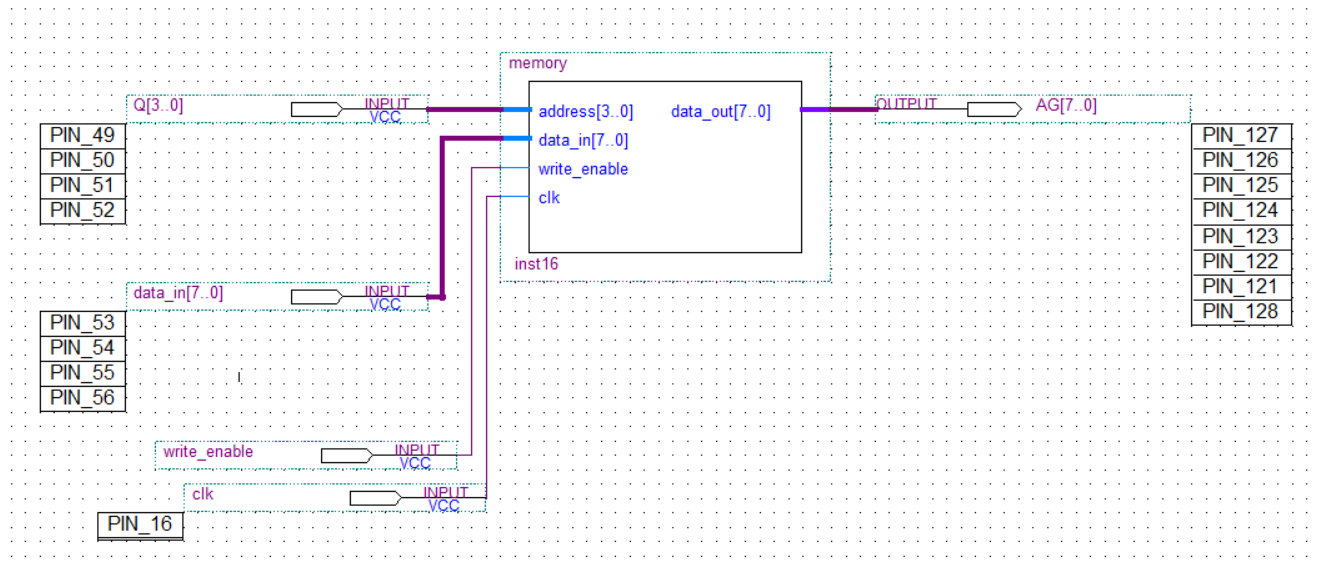


Рисунок 2. Файл bdf модуля ОЗУ.

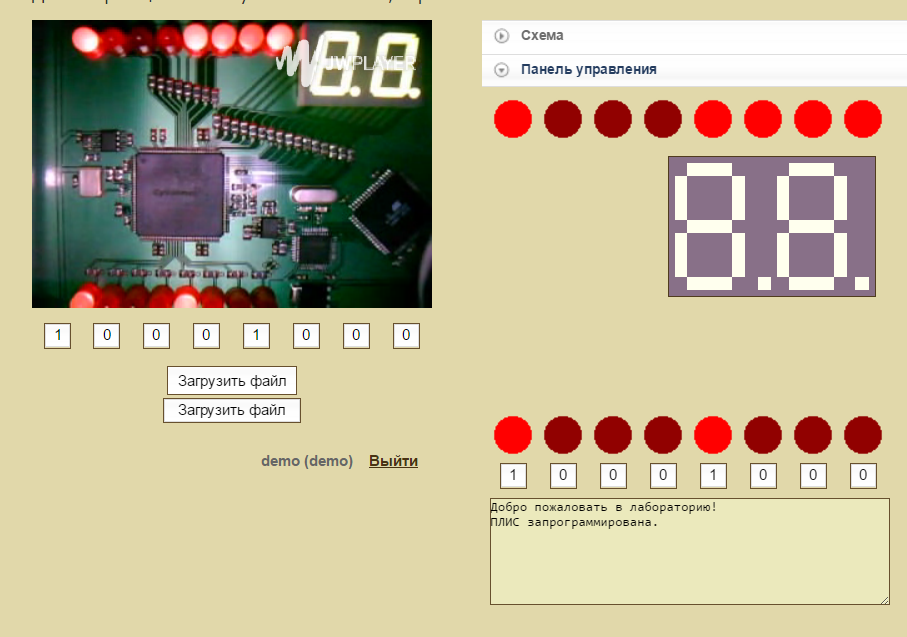


Рисунок 3. Запись разрешена: записано число 10001111 в слове по адресу 1000.

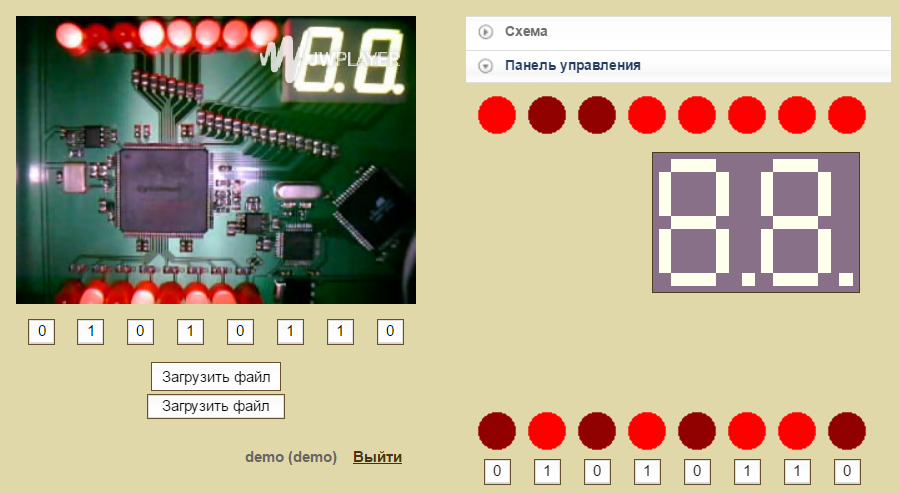


Рисунок 4. Переназначим 56 пин на вход разрешения записи. Запишем число 10011111 по адресу 0101. Затем запишем число 01111111 по адресу 1111. Прочитаем число по первому адресу.

1. ШИМ (широтно импульсная модуляция) -  способ задания аналогового сигнала цифровым методом, то есть из цифрового выхода, дающего только нули и единицы получить плавно меняющиеся величины. Скважность – отношение длительности периода к длительности импульса. Реализуем генератор ШИМ сигнала. Выполним моделирование: проверим работу генератора ШИМ сигнала при скважности 1000 (50%) и 1100 (75%) (рис. 5).

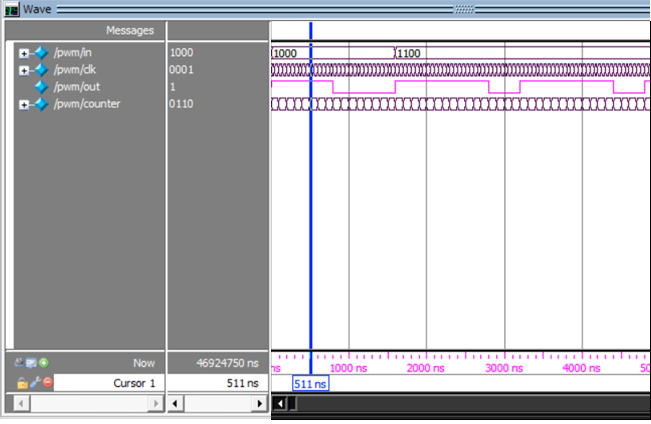


Рисунок 5. Моделирование генератора ШИМ сигнала.

1. Выполним прототипирование с помощью онлайн лаборатории. Для этого подключим файл Verilog к проекту Quartus, назначим пины и скомпилируем проект (файл bdf приведен на рисунке 6). После этого прошьем отладочную плату используя rbf файл прошивки. В результате используемый светодиод «мигает» с учетом заданной скважности (скриншот приведен на рисунке 7).

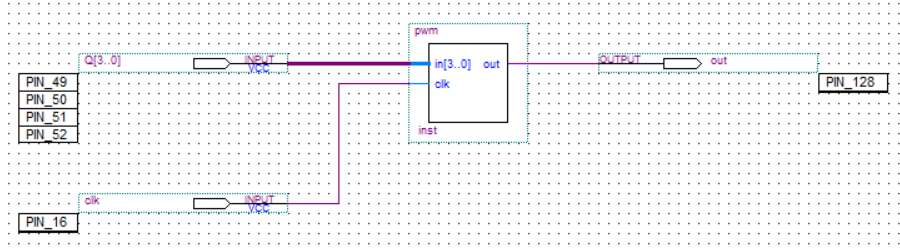


Рисунок 6. Файл bdf генератора ШИМ сигналов.

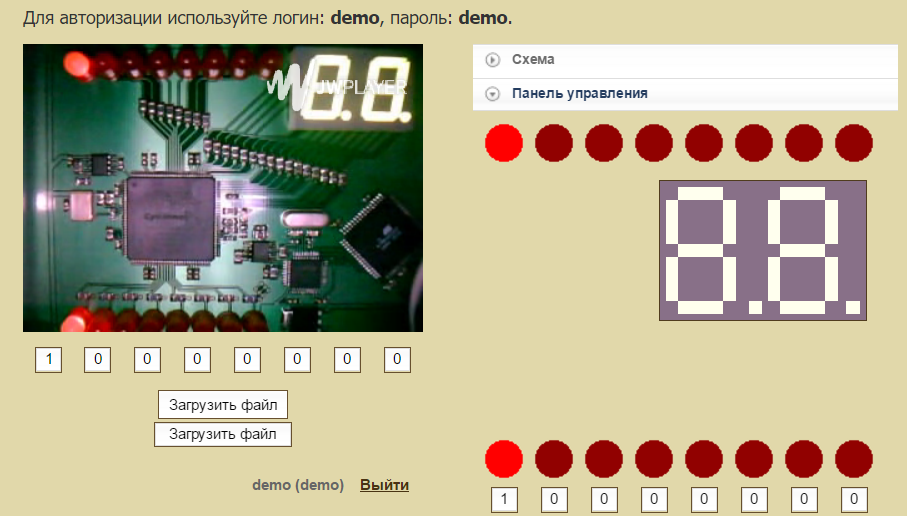


Рисунок 7. Результаты прототипирования ШИМ генератора.

## Выводы

В результате выполнения четвертой лабораторной работы были изучены новые конструкции языка Verilog, такие как always, initial и assign, циклы и условные конструкции; рассмотрены понятия синтезируемых и несинтезируемых конструкций и разница между ними, а также виды временных задержек. Изучено представление последовательных устройств и счетчиков, а также спроектированы модули оперативной памяти и генератор ШИМ сигналов.