



Pontifícia Universidade Católica de Minas Gerais Sistemas Operacionais

Professora: *Michelle Hanne Soares de Andrade*

1) Um computador possui um MDR com 16 bits de tamanho e um MAR com capacidade de armazenar valores com 20 bits. Sabe-se que cada célula de memória deste computador armazena dados com 8 bits de tamanho e que ele possui uma quantidade N de células igual a sua capacidade máxima de armazenamento. Pergunta-se:

- (a) Qual o tamanho do barramento de endereços?
- (b) Quantas células de memória são lidas em uma única operação de leitura?
- (c) Quanto bits tem a memória principal?

2) Um computador pode endereçar 256 Mi de células da memória principal, cada uma capaz de armazenar uma palavra de 8 bits. Em cada acesso à memória, realiza-se o acesso a uma palavra.

- (a) Qual é o maior endereço em decimal desta memória?
- (b) Qual é o tamanho do barramento de endereços deste sistema?
- (c) Qual é o tamanho do barramento de dados?
- (d) Qual é o número máximo de bits que pode existir na memória?

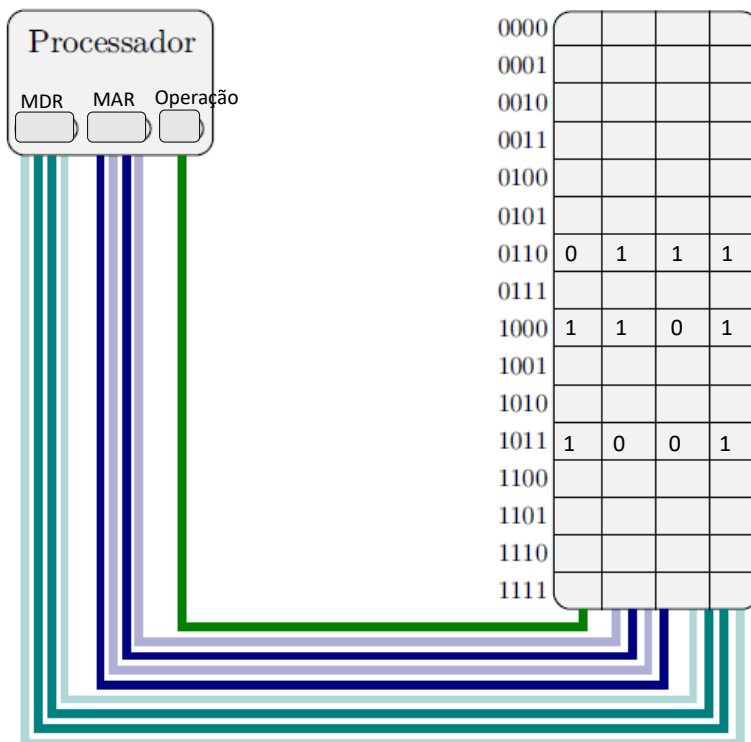
3) Considere uma célula de uma Memória Principal cujo endereço é $(2C81)_{16}$ e tem armazenado em seu conteúdo um valor igual a $(F5A)_{16}$. Pergunta-se:

- a) Qual deve ser o tamanho mínimo do MAR e do MDR nesse sistema?
- b) Qual deve ser a máxima quantidade de bits que podem ser implementados nesta memória?

4) Consideremos que um determinado computador foi projetado de modo que o processador pode receber 64 bits em cada acesso de leitura/escrita com uma velocidade de 4 MHz (sabe-se que 1 MHz = 1 000 000 bits/seg). E que a capacidade máxima de armazenamento da memória principal desse sistema é de 4 GBytes, sendo que a largura de cada célula é de 16 bits.

- (a) Qual é a taxa máxima de transferência de bits do barramento de dados?
- (b) Qual é o tamanho do barramento de endereço?

5) Dado o desenho abaixo referente ao Processador e a Memória Principal (RAM), responda:



- Dado o MAR igual a 1011 e a Operação igual a 0, qual será o resultado de MDR?
- Dado o MDR igual a 1111, MAR igual a 0110 e operação igual a 1, qual será o resultado esperado?
- Dado o MAR igual a 0110 e a Operação igual a 0, qual será o resultado de MDR?

6) Uma maneira utilizada para medir o desempenho de um sistema que possui memória cache é calcular o tempo médio de acesso à memória (TMAM). Este tempo considera tanto os eventos de acerto quanto falta na cache e a frequência com que ocorrem. Ele é dado por:

$$TMAM = \text{tempo de acerto} + \text{taxa de faltas} \times \text{penalidade por falta}$$

onde tempo de acerto engloba o tempo de descobrir que ocorreu um acerto e o acesso à memória cache, penalidade por falta engloba o tempo de descoberta da ocorrência da falta adicionado ao tempo de cópia de um bloco da memória principal para a cache e o tempo de acesso a cache e a taxa de falta indica o número de faltas que ocorrem por instrução. Considere uma máquina que possui um relógio com um ciclo de 2 ns, apresenta uma penalidade de falta igual a 20 ciclos de relógio, uma taxa de faltas de 0.05 faltas por instrução e o tempo de acerto igual a 1 ciclo de relógio.

- Calcule TMAM para esta máquina.
- Suponha que se aumente a quantidade de memória cache desta máquina, e, com esta mudança, a taxa de faltas mude para 0.03 faltas por instrução e o tempo de acerto passa para

1.2 ciclos de relógio. Utilizando TMAM, mostre se esta mudança irá melhorar o desempenho da máquina.