



青岛大学
QINGDAO UNIVERSITY

《基于 FPGA 的 CPU 设计》 创业计划书

题 目：_____基于 FPGA 的 CPU 设计_____

学 院：_____计算机科学技术学院_____

专 业：_____计算机科学与技术_____

姓 名：_____王浩_____

指导教师：_____刘纯毅_____

2022 年 5 月

摘 要

本项目采用 MIPS 和 RISC-V 两种指令集进行 CPU 设计。

本项目通过采用 FPGA 进行设计、使用 Verilog 语言从小指令集开始设计一个基于 FPGA 的 CPU 设计架构的 CPU，并支持流水线以及中断功能，以实现整个设计方案。该项目具体实现目标着力于能够在自己动手设计的 CPU，并能在其上运行 linux 操作系统内核，顺利通过编写仿真测试代码，最终下载到开发板进行调试和成果展示，同时探索出一条理论与实践相结合的新型的本科教育方式。

并且与中国科学院大学发起的由本科生来参与芯片制作的实践计划“一生一芯”对接。目的都是为了尽早尽快地为我们国家培养和积累更多的芯片研发技术人才。

关键词 CPU, 芯片, 计算机

Abstract

Based on the CPU design of the MIPS architecture, explore the "new engineering" practical teaching mode.

This project designs based on MIPS architecture instructions, uses FPGA for design, uses Verilog language to start from a small instruction set, and supports pipeline and interrupt functions to realize the entire design scheme. The specific goal of the project is to focus on the CPU that can be designed by yourself, and can run the Linux operating system kernel on it, successfully write the simulation test code, and finally download it to the development board for debugging and achievement display. The core goal is to explore a A new undergraduate education model combining theory and practice.

And it is connected with the "One Chip for Life" practice plan initiated by the University of Chinese Academy of Sciences, which involves undergraduates participating in chip production. The purpose is to cultivate and accumulate more chip R&D technical talents for our country as soon as possible.

Keywords CPU chip computer

目录

| | |
|-----------------------------------|-----------|
| 《 基 于 F P G A 的 C P U 设 计 》 | 1 |
| 创 业 计 划 书 | 1 |
| 摘 要..... | 2 |
| Abstract..... | 3 |
| 第一章 执行总结..... | 5 |
| 1.1 项目背景..... | 5 |
| 1.2 产品概述..... | 6 |
| 1.3 市场竞争..... | 6 |
| 第二章、产品与服务..... | 7 |
| 2.1 产品背景..... | 7 |
| 2.2 产品技术..... | 7 |
| 2.4 产品优势..... | 8 |
| 第三章、市场分析..... | 10 |
| 3.1 目标市场..... | 10 |
| 3.2 市场特点..... | 10 |
| 第四章、盈利模式..... | 11 |
| 4.1 盈利策略..... | 11 |
| 第五章、营销策略..... | 12 |
| 5.1 战略规划..... | 12 |
| 5.2 营销理念..... | 13 |
| 5.3 宣传策略..... | 13 |
| 第六章. 竞争分析..... | 13 |
| 6.1 竞争优势..... | 14 |
| 6.2 国内外行业领先者分析..... | 17 |
| 第七章. 团队介绍..... | 18 |
| 7.1 核心团队..... | 18 |
| 7.2 团队文化..... | 19 |

| | |
|----------------|----|
| 第八章. 未来计划..... | 19 |
|----------------|----|

第一章 执行总结

1.1 项目背景

芯片产业是整个信息产业的核心部件和基石，也是国家信息安全的最后一道屏障，芯片高度依赖进口使得国家安全受到严重威胁。



图 1 中国的“芯”病

近年来国家出台一系列鼓励扶持政策，为芯片行业建立了优良的政策环境，促进芯片行业自主创新，改善摆脱依赖别国的窘境。

项目组积极响应国家号召，探索 CPU 芯片国产化之路，自主研发一款基于 FPGA 的 CPU 芯片有利于提高我国在电子行业内的核心竞争力，同时为我国自主安全信息产业的转型助力。从真正意义上实现芯片的国产自主可控，并最终实现集成电路产业带动其他产业的工业化、信息化，为其他产业转型升级保驾护航，让我国在国际竞争中处于优势地位。

1.2 产品概述

通过采用 MIPS 和 RISC-V 两种指令集进行 PCU 设计。

本项目通过采用 FPGA 进行设计、使用 Verilog 语言从小指令集开始设计一个基于 FPGA 的 CPU 设计架构的 CPU，并支持流水线以及中断功能，以实现整个设计方案。该项目具体实现目标着力于能够在自己动手设计的 CPU，并能在其上运行 linux 操作系统内核，顺利通过编写仿真测试代码，最终下载到开发板进行调试和成果展示，同时探索出一条理论与实践相结合的新型的本科教育模式。

1.3 市场竞争

RISC-V 自 2010 年诞生以来，就受到了包括谷歌、IBM 等在内的众多企业，以及剑桥大学、中国科学院等在内的知名学府与研究机构的关注和参与，RISC-V 受到广泛欢迎自然有其优点，其中开源性、架构简单、具有完整的生态尤为重要。

开源意味着开发者可自行组合已有的指令子集或添加自己的指令集，极大的扩展了 RISC-V 的应用范围，以此适用任何使用场景。在生态中，开源也发挥着连接设计者和应用开发人员的关键作用。

RISC-V 秉承简单的设计哲学。在设计过程中不用保持过时的定义，完全抛弃主流结构在发展过程中的冗余包袱，借助计算机体系结构已较成熟的技术优势，从轻上路。RISC-V 基础指令集只有 40 多条，代码密度小。



图 2 各指令集架构的代码密度比较（数据越小越好）

RISC-V 作为一个开源的、免授权费的指令集架构，一经发布得到了业界人士的广泛欢迎，围绕 RISC-V 相关生态环境也在迅速完善。RISC-V 在完善的生态环境下，可以减轻开发负担，缩短终端产品的开发周期。

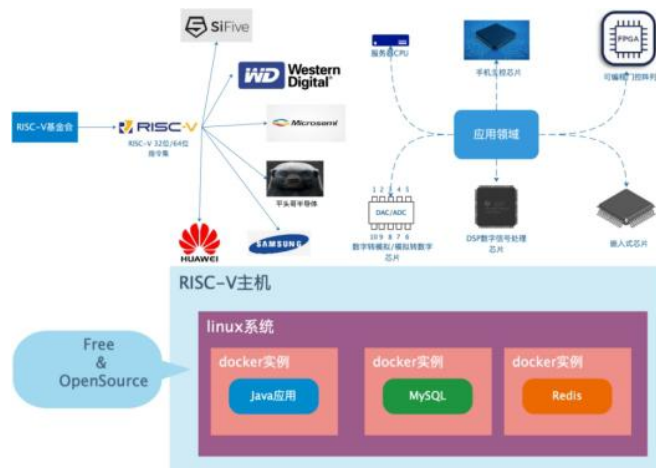


图 3 RISC-V 生态

第二章、产品与服务

2.1 产品背景

近年来国家出台一系列鼓励扶持政策，为芯片行业建立了优良的政策环境，促进芯片行业自主创新，改善摆脱依赖别国的窘境。

项目组积极响应国家号召，探索 CPU 芯片国产化之路，自主研发一款基于 FPGA 的 CPU 芯片有利于提高我国在电子行业内的核心竞争力，同时为我国自主安全信息产业的转型助力。

2.2 产品技术

本项目主要研究的技术点有：指令流水线技术、高速缓存技术、转移预测技术等，并力图在 CPU 上实现以上技术并能做到稳定与高速，能够运行真实的操作系统,实现多周期 5 级流水，56 条 MIPS 和 RISC-V 指令集，提升 CPU 性能，主频 $\geq 50\text{MHz}$ ，并探索出一条本科生设计 CPU 行之有效的方法，提出本科生“新工

科”实践教学模式培养的一种新模式。

2.4 产品优势

(1) 直击前沿

RISC-V 在 2010 年出现后,经过短短几年,这种新兴的开源精简指令集架构迅速发展,经过查阅大量文献,中国多所高校和企业对此展开详细的研究学习,目前已有华中科技大学《基于 RISC-V 的操作系统实验》,浙江大学《计算机组成与设计: RISC-V》,江苏大学《计算机组成与 CPU 设计实验》,西安交通大学《芯动力—硬件加速设计方法》等相关课程遍地开花,从不同角度展开研究的论文期刊也纷纷涌现:《基于 RISC-V 的 FPGA 开源软核设计》、《基于 RISC-V 的五级流水线处理器的设计与研究》、《基于 RISC-V ISA (RV32I) 的 CPU 芯片设计》、《CPU 发展概述及国产化之路》、《RISC-V 指令集架构研究综述》等。



图 4 集成电路人才培养课程设置

随着大学纷纷开设相关课程对标企业前沿, RISC-V 指令集在中国高校的热度节节攀升,但惋惜的是由于发展时间较短,高校间并未形成系统的教学模式,学校课程与企业应用之间也存在差异,这为我们项目开展提供了现实依据。

随着多家科技企业的 RISC-V 产品已经批量生产落地, RISC-V 在中国的研究积累已有一定成果,但仍然有巨大空缺,我们的研究可以持续为该领域创造贡

献，进一步弥补高校与企业的差距。

(2) 环境建设

青岛大学计算机科学技术学院在 2022 年尝试启用计算机组成与设计《RISC-V》新版教材，并采用先进的教学模式，探索普通高校计算机组成与设计教学新模式，为项目组的研究提供了众多素材，学院对计算机硬件设计大力支持，积极推动教学改革，提供教学条件和保障，形成了良好的氛围。

在设计阶段，前人的艰辛探索为项目组在 CPU 设计方面提供了大量经验，进一步扫清项目开展实施的障碍，已初步形成了 CPU 设计教学模式并尝试运行，为项目实施提供了坚实保证。

(3) 研究积累

项目组成员均来自计算机科学技术学院，具有扎实的计算机学科与专业背景，系统的学习了《数字逻辑电路设计》、《计算机系统基础》、《计算机组成与设计（RISC-V）》等相关课程，具有较为完善的计算机体系结构知识储备。

截至现在，项目组成员已有两年的计算机硬件设计实践履历，并进行了多次课程实验，均取得较好成果，拥有扎实的课题研究应用经验，在实践中加深了对计算机体系结构和 CPU 硬件设计认识，积累了一定的工程能力。

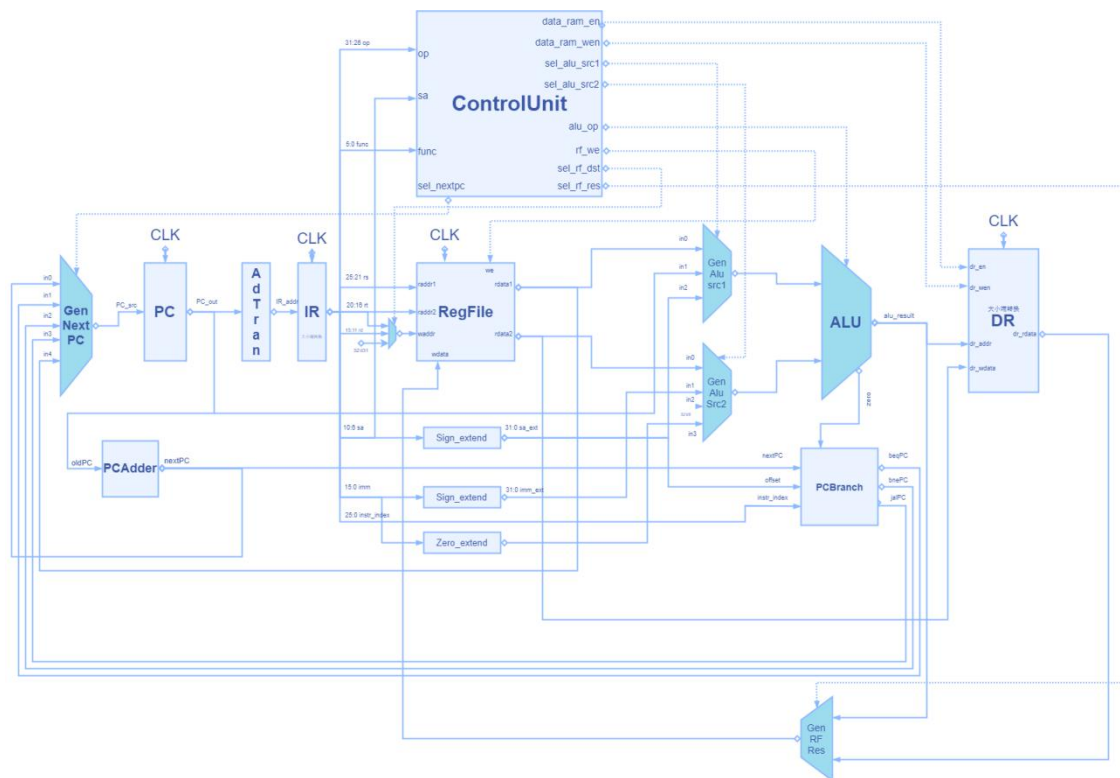


图 5 单周期 CPU 数据通路

目前，项目已积累了一定的相关文献，初步研读了其中的大部分文献，并将其分类以方便日后查阅参考，基本完成了本研究的准备工作，并形成初步的计划和长期规划，已实现 MIPS 指令集 CPU，具有借鉴意义，成员积极学习《CPU 设计实战》，有条不紊的备战龙芯杯，为项目开展持续化铺路。

第三章、市场分析

3.1 目标市场

中国芯片市场广阔，以及向其他高校提供教育经验。

3.2 市场特点

我国的集成电路产业经过了几十年的发展，在某些应用领域也取得了不错的成绩，但在高性能处理器以及芯片设计的关键技术中，仍然面临着巨大的挑战。

2018 年中美贸易战中“中兴事件”和“华为事件”的发生，还是其他大国对我国实行的禁运政策，都让我国在市场竞争竞争中处于下风。

面对美国技术，经济等领域的多重打压下，华为等的企业发展遭遇了巨大的挑战，其中最为关键的便是芯片问题。超级大国用自己的行动告诉我们不得不面对的现实是——我国目前在芯片制造中仍然受制于人，而手中没有紧握着自主研发的 CPU 芯片，安全信息化设备也就都无从谈起。

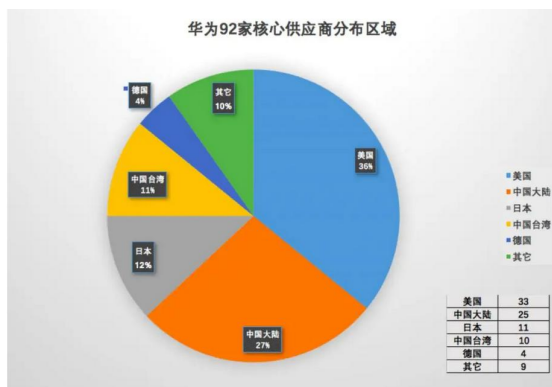


图 6 华为芯片供应商

我国的集成电路产业发展也承担着许多来自国际的压力。虽然近几年来我国的集成电路的出口量额不断增长，但该产业在国际贸易中仍处于较大逆差的状态，

我国是世界上最大的发展中国家，为了持续提升本国的综合实力，就必须提高创造自主知识产权的能力，而发展国产 CPU 是提高信息产业自主创新能力、转变经济增长方式最佳切入点。虽然在发展的道路上必定会遇到重重阻碍，但是发展自主可控的 CPU 产品和相关的软硬件环境，是实现经济发展和维护国家安全的必由之路。

为了帮助国内企业实现发展独立，国家早在 2020 年下达了“铁令”，要打造一条自主可控的半导体产业链，最晚在 2025 年底完成既定的 70% 芯片自给率的目标。

图表 1：截止 2021 年全球 CPU 行业技术来源国分布情况(单位：%)

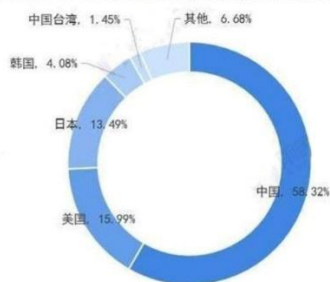


图 7 CPU 技术来源国分布情况

第四章、盈利模式

4.1 盈利策略

为达到较好的研究效果，本项目采用研究与实践相结合的方式，分阶段的迭代完善。基础知识学习阶段，深入掌握 CPU 设计的相关知识，探索 CPU 设计的新模式，在充分学习中不断完善相关理论知识体系；具体 CPU 设计阶段，逐步实现单周期 CPU、多周期 CPU、流水线 CPU 的设计，并探索研究多发射的 CPU；

研究讨论阶段，将与更多 CPU 设计团队的讨论交流，发现不足、完善自身，并积极向优秀团队学习经验；总结完善阶段，继续加强相关理论知识的学习、完善 CPU 设计成果，总结经验教训，形成一个探索研究的良性循环。

本项目利用先进 EDA 工具和 FPGA 实验平台，设计开发一个基于 RISC-V 指令体系，采用指令流水线、高速缓存、转移预测等技术的 CPU。并通过软硬件协同设计，最终实现一个能够搭载 Linux 操作系统内核的系统级芯片(SoC)。

针对本科阶段计算机相关课程在硬件学习方面缺乏深入实践的问题，此项目将以 CPU 设计为契机，更好地探索硬件学习实践的新方式，服务于具体教学。

针对核心技术自主创新的迫切需求与国际间技术战的严峻环境，此项目将更好地增强学生地自主创新能力和动手实践能力，在认识与实践不断提高自身的科学文化素养，更好地服务于祖国的现代化建设。

第五章、营销策略

5.1 战略规划

1.完成计算机组成与设计（RISC-V）课程学习，深入理解 CPU 结构和通路设计，完成单周期 CPU 的设计。

2.深入学习 CPU 流水线技术，完成流水线 CPU 设计，实现 56 条 RISC-V 和 MIPS 指令集系统，参与龙芯杯 CPU 设计大赛，提升能力，从中发现不足，完善技术路线。

3.为多周期流水线 CPU 添加双发射，AXI 总线接口，Cache 高速缓存等技术升级，实现一个具有实用价值可嵌入的 CPU。

4. 深入优化 CPU，提升 CPU 的运行速度和主频，并运行一个 Linux 操作系统内核。

5.功能验证与分析总结，形成设计思路和流程设计文档，将核心源码开源至多个平台，总结本科生设计 CPU 行之有效的方法与路线，初步形成本科生计算机系统能力培养新模式。

6.参加“龙芯杯”等硬件设计大赛，提高知名度，获得相关厂商的青睐

7.将芯片生产销售给相关企业。

5.2 营销理念

具体来说，该项目产品的营销策略将以 4C 理论为基础：在客户（Consumer）方面，首先精准定位客户对硬件的学习与应用需求；在成本（Cost）方面，充分考虑客户的期望价格，以便给予客户低成本、高质量的产品与服务；在便利（Convenience）方面，依据用户的购买过程确定营销渠道，从而为顾客的消费提供便利；在沟通（Communication）方面，项目团队需要积极获取客户的使用体验，及时了解客户动态，更新营销方向。

5.3 宣传策略

通过网络营销，网络营销是指以现代营销理论为基础，使用数字化的信息和交互性的媒介，通过网络联接、通讯技术、数字媒体实现营销目标的规划、实施、运营、管理活动。项目团队必须利用互联网平台机遇，沟通网络用户，开展网络营销，建立效率更高、渠道更多、双向交互、快捷便利的营销模式。

①社交媒体推广：与相关机构或社团等建立长期合作关系，通过微博、微信等社交媒体，借鉴软文营销的具体思路，低成本、高效率地吸引用户群体。

②搜索引擎推广：借助百度、搜狗等相关搜索引擎，采用关键词搜索优化，增加项目产品搜索量。

③新闻推广：在相关公众媒体接受采访，或者借助相关媒体散播宣传投稿，吸引公众的关注度。

④网站推广：项目实施到中后期，可以考虑建立项目产品的配套网站，在优化传播渠道和使用方式的同时，完成产品的进一步推广工作。

第六章. 竞争分析

6.1 竞争优势

1、团队创新点

(1) 共享性和开放性

团队将设计成果代码开源至多个平台，提供给对此领域感兴趣的学者进行学习，并建设讨论平台，为大家提供交流思路，答疑解惑，学习指导，行情讨论的线上交流环境，促进知识共享，共同进步。



图 8 开源平台

(2) 在课程教学中的探索性

针对当前计算机组成原理课程比较抽象、知识点难度大，理论与实践不能有效衔接、课程实践平台相比于产业界发展较为滞后等问题，结合 RISC-V 指令集的优势，将这一优秀的开源指令集及相应的处理器内核引入课程教学，能够较大地促进学生对中央处理器 CPU 的理解，便于其掌握 CPU 的基本原理和设计要素。

突破了传统计算机组成课程的实验模式，传统的实验模式只提供实验箱，学生只需要在实验箱上按开关即可完成实验教学，对 CPU 底层并没有深刻认识，我们的设计模式可以为教学提供一种崭新思路，从底层开始一步步的设计一款完整的 CPU，直接与最新技术对接，可以让学习该门课程的同学对 CPU 设计有更加深刻的理解，从而萌发对 CPU 设计的兴趣与热情，探索了计算机硬件方向的人才培养新模式。

(3) 产学研相结合

将理论学习、动手实践、团队合作结合起来，并参加龙芯杯 CPU 设计大赛，在大赛中不断完善学习，以赛促学，与其他高校的选手进行交流切磋，多方面提升能力。



图 9 产学研相结合

2、经济效益和社会效益

形成 CPU 设计体系与模式，通过实践总结出基于 RISC-V 指令集体系架构的 CPU 设计过程，形成设计模式，形成技术文档为他人提供学习参考，可以有效降低芯片设计门槛，扩充我国芯片人才储备，解决目前缺乏耐心、缺乏全栈的芯片人才缺口。



图 10 人才缺口

推动国产芯片长远发展，拥有自主的 CPU 设计，可以解决关键技术被卡脖子的困境，同时增强我国的科技实力，并带来巨大的经济效益，形成全线生态的意识，从而有步骤、分阶段地落实从专用到大众市场的应用实施，进而逐步打造开放架构处理器 IP 共性技术平台。

本项目立足本科生教学现状，总结国内外经验和探索，借鉴由浅入深，由简单到复杂的“渐进式”培养模式，结合实践经验，总结出以下创新点和项目特色。首先通过自底向上渐进的方式，逐层打通软硬件，再利用 FPGA 开发板，实现全

流程仿真。最后总结出“新工科”实践教学模式，为国家“新工科”建设贡献一份力量。

1.自底向上，打通软硬件

1) RTL 级阶段，实现基本硬件门电路的实现及仿真使学生熟悉 Verilog 编程环境和硬件设计方法。

2) 部件级阶段，实现计算机各硬件组成，主要是简单指令集 CPU，将把 CPU 下载到 FPGA 开发板上，实现一个真正可以执行的计算机硬件系统。

3) 系统级阶段，完成一个流水线 MIPS CPU，包括数据冲突、分支预测和二级流水 Cache 的实现，并且实现在计算机系统层面的性能优化。

2. 全流程仿真，仿真与下板相结合

目前，基于 FPGA 的硬件电路开发方式已经成为计算机硬件类工程项目开发的主要模式。通过硬件描述语言 VHDL，学生可以进行硬件电路的设计和仿真，并可以下载到实际 FPGA 开发板上，具有非常好的灵活性和可操作性。

计算机系统的硬件结构包括 CPU、内存、硬盘、外设等，这些基本部件需要在 FPGA 开发板进行对应，才能更好地完成相关的实验开发。

我们基于已经具备的研发条件对实验设计的各个部件进行全流程的仿真，以 Xilinx 公司的 FPGA 为主要芯片，从计算机的核心部件 CPU 出发，依据“自底向上”的硬件设计模式，研究计算机部件实现和计算机系统优化两部分相结合的实验内容，设计一套能够贯通整个计算机系统的渐进式实验项目。

3.促进国家“新工科”建设

根据“新工科”应用技术大学的人才培养要求，应用型的大学计算机基础课程，既不能停留在计算机操作技能训练，也不能简单地介绍计算机原理和计算机基础知识，需要从应用层面来理解计算思维，解决实际问题。而本项目所推动的教育模式有利于全体本科生深入掌握计算机系统内部的工作原理，构造方法以及软硬件的相互协同关系，有利于从顶层的专业培养目标出发，构建层次递进的创新人才培养课程体系，统一规划个课程的教学内容，将各课程有机的衔接起来，

构建一个完整的计算机系统知识体系,为国家计算机行业地发展建设贡献自己的一份力量,引导“新工科”教育方式。

6.2 国内外行业领先者分析

国外对于 RISC-V 的研究启动的是比较早的,研究成果也比较多。自 2010 年 RISC-V 指令集诞生和 2020 年 3 月 RISC-V 基金会(RISC-V Foundation)正式更名为 RISC-V 国际协会(RISC-V International)以来,在国外的企业中,包括谷歌、惠普、Oracle 和西部数据等公司纷纷加入到 RISC-V 处理器的研发中各国表现出对开源 RISC-V 的高度重视:美国国防高级研究计划局(DARPA)连续多年对 RISC-V 指令集的研究和实用化给与专项支持,推动开源 IP 项目。

另外,欧洲数字主权行动加速,在欧洲处理器计划(EPI)中明确支持 RISC-V 和 ARM 架构。其它,如以色列国家创新局成立 GenPro 工作组,旨在开发基于 RISC-V 的快速、高效且独立的处理平台;印度政府也大力资助 RISC-V 处理器项目,使 RISC-V 成为事实上的国家级指令集。

但不可否认的是,他们也有很多的不足。首先,作为西方的资本主义国家,对于开放性、共享性始终是存在着或多或少的抵触的。另外,国外对我国的技术封锁虽然一方面阻碍了我国部分尖端技术的发展,但另一方面,也让国产芯片厂商感受到受限于人的无助,而 RISC-V 架构体系的性能是可以堪比部分 ARM 的。最后,国外芯片技术大多掌握在大资本公司手中,或是家族企业。人才的培养多是内向型的,对于商业指令集,如 Intel 的 X86 指令集 ARM 系列指令集,尽管很优秀,但因为涉及商业授权,其内部设计细节往往不对外公开。作为习者,很难从中学到其设计精髓。因此,一种较好的学习方式便是从开源指令集入手无法大规模提高芯片人才的技术能力,社会效益和国家效益始终限制在一定层面。

再看国内,当前,我国电子产品研发制造业前景广阔,但芯片产业长期受国外芯片设计公司垄断,一旦停止授权,将会给这些国产公司带来不可估量的后果,严重影响到我国的国计民生。为了不受国外政治制度和企业的技术封锁的影响,就

必须在国家战略层面上发展自己的芯片事业，做到自主可控。这些年，我们目睹了开源对于软件产业带来的巨大变革，中国科学院院士梅宏说：“目前几乎没有不涉及、不从开源中获益的软件”。后续，开源之火会不会彻底改变未来芯片产业呢？我想答案是肯定的。诸如国内龙头企业华为、阿里平头哥、芯来科技、华米以及兆星创新等纷纷加入了 RISC-V 基金会，他们基于 RISC-V 指令集架构的研发是采用开源吸收、国外引进以及自主研发等不同形式，如下表 1 所示。近两年国内厂商基于 RISC-V 指令集架构的研究开发，推出不少相关产品。2018 年芯来科技成为国内第一家 RISC-V 处理器 IP 与芯片解决方案公司，自主推出一系列 RISC-V 处理器 IP。2019 年华科技米推出第一款可穿戴设备的 RISC-V 处理器“黄山一号”。同年 9 月阿里平头哥推出第一款 RISC-V 处理器“玄铁 910”，该芯片在 12nm 工艺下主频能够达到 2.5GHz，拥有 16 核心，Coremarks 能够达到 7.1Coremarks / MHz，之后基于 RISC-V 的优秀处理器便层出不穷。如此，伴随着国内芯片市场的蒸蒸日上，基于开放 RISC-V 指令集架构进行研发，更是为优秀的团队提供了打造自主可控产品的良机，以及国内产业提供从硬件到软件各个层次的自主可控生态基础。

表 2 国内 RISC-V 内核提供公司

| 公司 | 微架构来源 | 业务及产品 |
|------|-------|------------------|
| 平头哥 | 自主研发 | 玄铁 910 |
| 芯来科技 | 自主研发 | 处理器内核 IP 研发 |
| 睿思科技 | 自主研发 | 超低功耗边缘 AI 芯片 SOC |
| 赛昉科技 | 国内外合作 | RISC-V 内核天枢系列处理器 |

第七章. 团队介绍

7.1 核心团队

主要由在校本科生组成。

| | | | | | |
|-----------------------------|-----|------------|----------|---------------|------------------|
| 项目 组 主 要 成 员 | 姓 名 | 学号 | 专业 | 所在学院 | 项目中的分工 |
| | 王浩 | 2020204246 | 20 级图灵班 | 计算机科学技术学院 | 结构设计/项目统 筹与总结 |
| | 赵颖颖 | 2019203489 | 20 级计科二班 | 计算机科学技术学院 | 模块设计/指令设 计 |
| | 吴承晓 | 2020204182 | 20 级图灵班 | 计算机科学技术学院 | 编程实现/技术优 化 |
| | 刘顺齐 | 2020204311 | 20 级图灵班 | 计算机科学技术学院 | 结构设计/项目 统筹与总结 |
| | 徐一丹 | 2019201812 | 20 级图灵班 | 计算机科学技术学院 | 模块设计/指令 设计 |
| | 孙凤泽 | 2020204289 | 20 级图灵班 | 计算机科学技术学院 | 模块设计/指令 设计 |
| | 李庆森 | 2020204208 | 20 级图灵班 | 计算机科学技术学 院 | 编程实现/技术优 化 |

7.2 团队文化

拥有优秀的团队 团队主要由计算机科学技术学院的学生组成，拥有专业技术，掌握相关资源和设备，利用相关成熟的算法和技术，管理经验，共同实现相关项目的实施。团队成员可以充分发挥自己专业方面优势。

第八章. 未来计划

8.1 技术路线、拟解决的问题及预期成果

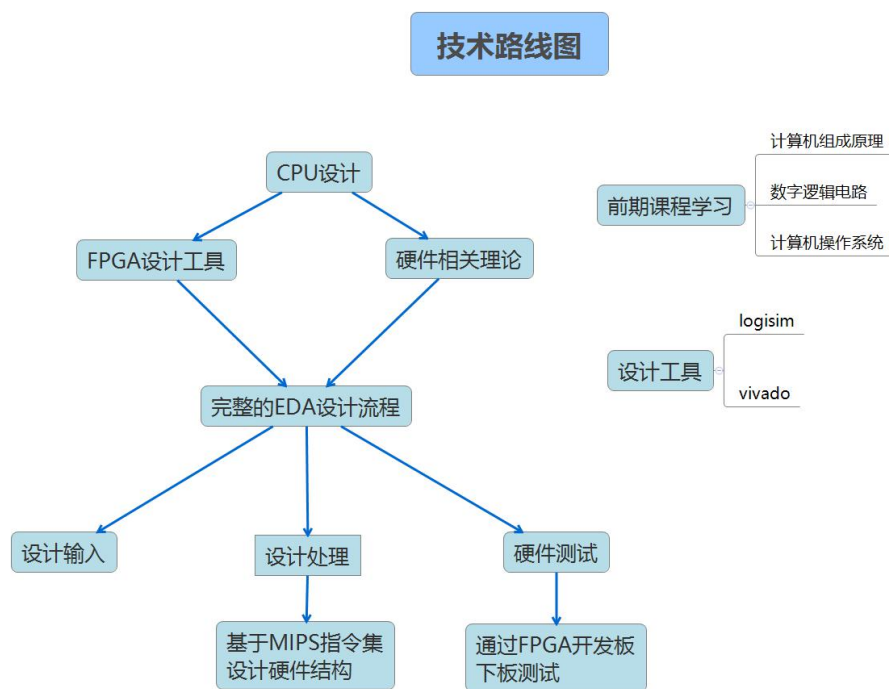


图 11 技术路线图

为达到较好的研究效果，本项目采用研究与实践相结合的方式，分阶段的迭代完善。基础知识学习阶段，深入掌握 CPU 设计的相关知识，探索 CPU 设计的新模式，在充分学习中不断完善相关理论知识体系；具体 CPU 设计阶段，逐步实现单周期 CPU、多周期 CPU、流水线 CPU 的设计，并探索研究多发射的 CPU；研究讨论阶段，将与更多 CPU 设计团队的讨论交流，发现不足、完善自身，并积极向优秀团队学习经验；总结完善阶段，继续加强相关理论知识的学习、完善 CPU 设计成果，总结经验教训，形成一个探索研究的良性循环。

本项目利用先进 EDA 工具和 FPGA 实验平台，设计开发一个基于 RISC-V 指令体系，采用指令流水线、高速缓存、转移预测等技术的 CPU。并通过软硬件协同设计，最终实现一个能够搭载 Linux 操作系统内核的系统级芯片(SoC)。

本项目主要研究的技术点有：指令流水线技术、高速缓存技术、转移预测技术等，并力图在 CPU 上实现以上技术并能做到稳定与高速，能够运行真实的操作系统。

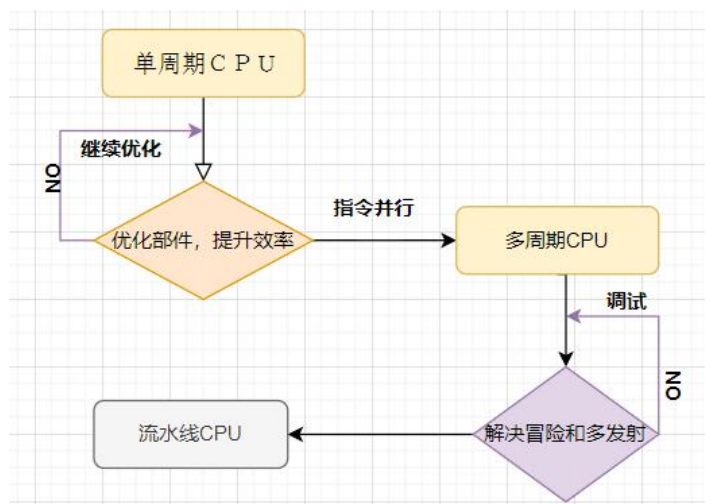


图 12 技术路线

1、拟解决的问题：

针对本科阶段计算机相关课程在硬件学习方面缺乏深入实践的问题，此项目将以 CPU 设计为契机，更好地探索硬件学习实践的新方式，服务于具体教学。

针对核心技术自主创新的迫切需求与国际间技术战的严峻环境，此项目将更好地增强学生地自主创新能力和动手实践能力，在认识与实践中不断提高自身的科学文化素养，更好地服务于祖国的现代化建设。

2、预期成果：

设计一款基于 FPGA 的的双发射多周期 5 级流水，53 条 RISC-V 和 MIPS 指令集，主频 $\geq 50\text{MHz}$ 的开源 CPU，实现在 CPU 上运行 Linux 操作系统，并将核心源码开源，为本科生提供一种设计 RISC-V 架构 CPU 的思路，并总结设计思路和流程形成设计文档，提出一种在高等教育阶段本科生设计 CPU 行之有效的方法与路线，探索本科生计算机系统能力培养新模式。

8.2 项目已具备的条件，尚缺少的条件及解决方法

8.2.1 已具备的条件：

已具备条件：

- (1) 项目组成员已具备计算机体系结构方面的理论知识储备
- (2) 系统学习过相关设计 Verilog-HDL 语言
- (3) 已有完整 EDA-Vivado 软件的设计流程经验

- (4) 具有专业的指导老师进行指导教学
- (5) 团队成员优势互补，形成较好的团队协作能力

8.2.2 缺少的条件:

尚缺少的条件:

- (1) 对于 CPU 的进阶设计和优化方法了解较少
- (2) 前人的经验不足，缺乏参考依据
- (3) 风险评估不足
- (4) 缺少对系统的整体测试
- (5) 缺少进一步开展研究的资金

8.2.3 解决办法:

解决方法:

- (1) 小组合作学习，广泛查阅相关文献资料，系统学习 CPU 进阶设计理念，和专业老师交流学习
- (2) 参与相关项目，学习行业先进的 CPU 优化方案，通过小组合作设计的方法进行升级
- (3) 发挥主观能动性，积极寻求新方法，确立新观点，开拓新境界

希望能在本次大创项目中得到学校的支持

8.3 项目研究进度安排

本项目分 5 个阶段完成:

阶段一 2022 年 3 月 - 6 月，完成计算机组成与设计（RISC-V）课程学习，深入理解 CPU 结构和通路设计，完成单周期 CPU 的设计。

阶段二 2022 年 7 月 - 9 月，深入学习 CPU 流水线技术，完成流水线 CPU 设计，实现 56 条 RISC-V 指令集系统，参与龙芯杯 CPU 设计大赛，提升能力，从中发现不足，完善技术路线。

阶段三 2022 年 9 月 - 12 月，为多周期流水线 CPU 添加双发射，AXI 总线接口，Cache 高速缓存等技术升级，实现一个具有实用价值可嵌入的 CPU。

阶段四 2023 年 1 月 - 2 月，深入优化 CPU，提升 CPU 的运行速度和主频，并运行一个 Linux 操作系统内核。

阶段五 2023 年 3 月 - 6 月，功能验证与分析总结，形成设计思路和流程设计文档，将核心源码开源至多个平台，总结本科生设计 CPU 行之有效的方法与

路线，初步形成本科生计算机系统能力培养新模式。