



Санкт-Петербургский государственный университет  
Кафедра системного программирования

# Динамическая бинарная трансляция для архитектуры RISC-V с помощью Instrew

Михайлов Илья Игоревич

23.11.2023

**Научный руководитель:** к.ф.-м.н. Д.В. Луцив, доцент кафедры системного программирования

**Консультант:** В.А. Кутуев, инженер-исследователь, Лаборатория технологий программирования инфраструктурных решений СПбГУ

Санкт-Петербург  
2024

# Суть работы

- Бинарные трансляторы являются популярными инструментами для анализа кода, профилиции и эмуляции, важным классом которых являются динамические бинарные трансляторы (далее — ДБТ)
- В качестве промежуточного представления для ДБТ хорошо использовать LLVM IR
  - Тулчейн LLVM позволяет проводить качественные оптимизации
- Instrew является ДБТ с поднятием кода в LLVM IR, но нет поддержки RISC-V, как хост-архитектуры
- Результатом работы является добавление поддержки архитектуры RISC-V для ДБТ Instrew с открытым исходным кодом
- В связи с наличием процессорно-специфических и низкоуровневых деталей реализации, задача является довольно трудоемкой

# Постановка задачи

**Цель:** Добавить поддержку архитектуры RISC-V для ДБТ Instrew.

## Задачи:

- ❶ Выполнить обзор архитектуры Instrew и сравнить с альтернативными ДБТ
- ❷ Реализовать поддержку RISC-V для клиента Instrew
  - Добавить процессорно-специфические патчи в minilibc и другие компоненты
  - Реализовать функции, связанные с RISC-V ABI
- ❸ Выполнить тестирование
- ❹ Провести замеры производительности и сравнение их с аналогами

# План работы

## Что уже сделано:

- 1 Выполнен частичный обзор архитектуры Instrew и других ДБТ
- 2 Реализованы некоторые процессорно-специфические компоненты
- 3 Начата реализация ELF релокаций

## Планируется к зимней защите:

- 4 Выполнить обзор
- 5 Реализовать поддержку RISC-V для клиента Instrew

## Планируется к защите ВКР:

- 6 Выполнить тестирование
- 7 Провести замеры производительности и сравнение их с аналогами