# Báo Cáo Đồ Án Timer IP - Standard Level

1. MÔ TẢ:

## Module counter

A diagram of a circuit

AI-generated content may be incorrect.

Khối counter là bộ đếm 64-bit dùng để đếm thời gian. Mỗi khi tín hiệu cnt\_en bật (ở mức 1), bộ đếm sẽ tăng lên 1 giá trị theo từng chu kỳ xung clk. Kết quả đếm được xuất ra qua cnt\_value để các khối khác sử dụng, đặc biệt là để so sánh với giá trị TCMP0, TCMP1 nhằm kích hoạt ngắt tim\_int.

Trong phiên bản standard level, mặc dù counter có cổng đầu vào tdr0 và tdr1, nhưng không sử dụng chúng trong logic hoạt động. Việc khởi tạo lại counter (nếu cần) phải được thực hiện bằng cách ghi giá trị 0 vào cnt\_value thông qua tín hiệu reset (rst\_n = 0). Counter không tự nạp lại giá trị từ TDR0/TDR1 khi timer\_en xuống thấp.

Tín hiệu I/O:

|  |  |  |  |
| --- | --- | --- | --- |
| Tín hiệu | I/O | Độ rộng | Mô tả |
| Clk | In | 1 bit | Xung clock hệ thống |
| rst\_n | In | 1 bit | Tín hiệu reset bất đồng bộ, mức thấp |
| cnt\_en | In | 1 bit | Cho phép đếm; khi = 1 thì bộ đếm hoạt động |
| tdr0 | In | 32 bit | Giá trị phần thấp (không dùng trong standard) |
| tdr1 | In | 32 bit | Giá trị phần cao (không dùng trong standard) |
| cnt\_value | Out | 64 bit | Giá trị hiện tại của bộ đếm |

Tín hiệu kết nối với khối khác:

|  |  |
| --- | --- |
| Tín hiệu | Tới/Từ khối |
| Clk | timer\_top |
| rst\_n | timer\_top |
| cnt\_en | Từ control\_counter |
| tdr0, tdr1 | Từ register\_file |
| cnt\_value | Tới register\_file |

Nguyên lý hoạt động:

Khi rst\_n = 0, bộ đếm được đưa về 0.

Khi cnt\_en = 1, mỗi chu kỳ xung clock, giá trị cnt\_value sẽ tăng thêm 1.

Nếu cnt\_en = 0, bộ đếm giữ nguyên giá trị hiện tại.

## Module apb\_slave

A diagram of a diagram

AI-generated content may be incorrect.

Khối apb\_slave nhận tín hiệu điều khiển từ bus APB và tạo ra tín hiệu ghi (wr\_en) hoặc đọc (rd\_en) tới thanh ghi bên trong. Khối này không chứa thanh ghi lưu trữ mà chỉ xử lý logic truy cập.

Tín hiệu I/O:

|  |  |  |  |
| --- | --- | --- | --- |
| Tín hiệu | I/O | Độ rộng | Mô tả |
| Clk | In | 1 bit | Clock hệ thống |
| rst\_n | In | 1 bit | Reset bất đồng bộ, mức thấp |
| Psel | In | 1 bit | Chọn thiết bị |
| Pwrite | In | 1 bit | 1: ghi, 0: đọc |
| Penable | In | 1 bit | Bắt đầu truyền dữ liệu |
| Paddr | In | 12 bit | Địa chỉ thanh ghi |
| Pwdata | In | 32 bit | Dữ liệu cần ghi |
| Pready | Out | 1 bit | Luôn ở mức 1 (không có wait-state) |
| wr\_en | Out | 1 bit | Tín hiệu cho phép ghi dữ liệu |
| rd\_en | Out | 1 bit | Tín hiệu cho phép đọc dữ liệu |

Tín hiệu kết nối với khối khác:

|  |  |
| --- | --- |
| Tín hiệu | Tới/Từ khối |
| clk, rst\_n | Từ timer\_top |
| psel... | Từ timer\_top (APB bus) |
| wr\_en, rd\_en | Tới register\_file |

Nguyên lý hoạt động:

Khi psel = 1, penable = 1 và pwrite = 1 → wr\_en = 1.

Khi psel = 1, penable = 1 và pwrite = 0 → rd\_en = 1.

pready luôn bằng 1 vì phiên bản standard không có wait-state.

## Module register\_file

Khối register\_file chứa các thanh ghi điều khiển: TCR, TDR0/1, TCMP0/1, TIER, TISR. Nó nhận tín hiệu đọc/ghi từ APB và trả dữ liệu về hoặc cập nhật các giá trị thanh ghi.

Khối register\_file chứa các thanh ghi điều khiển của Timer IP như: TCR, TDR0/1, TCMP0/1, TIER, và TISR. Khối này cho phép ghi hoặc đọc giá trị từ phần mềm thông qua giao tiếp APB, đồng thời tạo ra các tín hiệu điều khiển nội bộ như timer\_en, div\_en, div\_val, và tín hiệu tạo ngắt.

Trong đó:

**TDR0 và TDR1** dùng để lưu giá trị hiện tại của bộ đếm 64-bit, có thể ghi hoặc đọc từ phần mềm. Tuy nhiên trong standard level, counter không tự nạp lại từ các thanh ghi này – việc khởi tạo giá trị bộ đếm nếu cần phải do phần mềm thực hiện thông qua reset.

**TCMP0 và TCMP1** là các thanh ghi so sánh, chứa giá trị mà counter sẽ so sánh để tạo tín hiệu ngắt. Khi {TDR1, TDR0} == {TCMP1, TCMP0}, tín hiệu int\_st\_set được bật, và nếu int\_en = 1, hệ thống sẽ sinh ra tín hiệu ngắt tim\_int.

Tín hiệu I/O:

|  |  |  |  |
| --- | --- | --- | --- |
| Tín hiệu | I/O | Độ rộng | Mô tả |
| Clk | In | 1 bit | Clock hệ thống |
| rst\_n | In | 1 bit | Reset bất đồng bộ |
| Addr | In | 12 bit | Địa chỉ thanh ghi |
| Wdata | In | 32 bit | Dữ liệu ghi |
| wr\_en | In | 1 bit | Cho phép ghi |
| rd\_en | In | 1 bit | Cho phép đọc |
| Rdata | Out | 32 bit | Dữ liệu đọc trả về |
| cnt\_value | In | 64 bit | Giá trị đếm từ counter |
| div\_en | Out | 1 bit | Cho phép chia tần số |
| div\_val | Out | 4 bit | Giá trị chia |
| timer\_en | Out | 1 bit | Bật/tắt counter |
| TDR0 | Out | 32 bit | Giá trị counter ban đầu phần thấp |
| TDR1 | Out | 32 bit | Giá trị counter ban đầu phần cao |
| TCMP0 | Out | 32 bit | Giá trị so sánh phần thấp |
| TCMP1 | Out | 32 bit | Giá trị so sánh phần cao |
| int\_en | Out | 1 bit | Cho phép ngắt |
| int\_st | Out | 1 bit | Trạng thái ngắt |
| int\_st\_set | Out | 1 bit | Bật trạng thái ngắt khi counter = compare |
| int\_st\_clear | Out | 1 bit | Xóa trạng thái ngắt khi ghi vào TISR |

Tín hiệu kết nối với khối khác:

|  |  |
| --- | --- |
| Tín hiệu | Tới/Từ khối |
| wr\_en, rd\_en | Từ apb\_slave |
| cnt\_value | Từ counter |
| Rdata | Tới timer\_top |
| TDR0/1, TCMP0/1 | Tới counter |
| int\_st\_set/clear | Tới interrupt |

Nguyên lý hoạt động:

Khi wr\_en = 1, ghi giá trị vào thanh ghi tương ứng theo địa chỉ.

Khi rd\_en = 1, đọc giá trị của thanh ghi tại địa chỉ tương ứng.

Khi cnt\_value == {TCMP1, TCMP0} → tạo int\_st\_set = 1.

Khi ghi 1 vào bit 0 của TISR → tạo int\_st\_clear = 1.

## Module control\_counter

A diagram of a machine

AI-generated content may be incorrect.

Khối control\_counter điều khiển tín hiệu cnt\_en dựa vào cấu hình chia tần số (div\_val, div\_en) và trạng thái bật timer (timer\_en).

Tín hiệu I/O:

|  |  |  |  |
| --- | --- | --- | --- |
| Tín hiệu | I/O | Độ rộng | Mô tả |
| Clk | In | 1 bit | Clock hệ thống |
| rst\_n | In | 1 bit | Reset bất đồng bộ |
| div\_en | In | 1 bit | Cho phép chia |
| div\_val | In | 4 bit | Giá trị chia (1 đến 256) |
| timer\_en | In | 1 bit | Bật counter |
| cnt\_en | Out | 1 bit | Cho phép counter tăng |

Tín hiệu kết nối với khối khác:

|  |  |
| --- | --- |
| Tín hiệu | Tới/Từ khối |
| div\_en, div\_val | Từ register\_file |
| timer\_en | Từ register\_file |
| cnt\_en | Tới counter |

Nguyên lý hoạt động:

Nếu timer\_en = 0 → cnt\_en = 0.

Nếu div\_en = 0 → cnt\_en = 1 mỗi chu kỳ.

Nếu div\_en = 1 → cnt\_en = 1 mỗi khi bộ đếm nội bộ đạt div\_val.

## Module interrupt

A diagram of a diagram

AI-generated content may be incorrect.

Khối interrupt tạo tín hiệu ngắt tim\_int khi có điều kiện phù hợp.

Tín hiệu I/O:

|  |  |  |  |
| --- | --- | --- | --- |
| Tín hiệu | I/O | Độ rộng | Mô tả |
| Clk | In | 1 bit | Clock hệ thống |
| rst\_n | In | 1 bit | Reset bất đồng bộ |
| int\_st\_set | In | 1 bit | Bật trạng thái ngắt (khi counter = compare) |
| int\_st\_clear | In | 1 bit | Xóa ngắt (ghi vào TISR) |
| int\_en | In | 1 bit | Cho phép ngắt |
| int\_st | In | 1 bit | Trạng thái pending |
| tim\_int | Out | 1 bit | Tín hiệu ngắt ra ngoài |

Tín hiệu kết nối với khối khác:

|  |  |
| --- | --- |
| Tín hiệu | Tới/Từ khối |
| int\_en/st/set/clear | Từ register\_file |
| tim\_int | Tới timer\_top (xuất ra) |

Nguyên lý hoạt động:

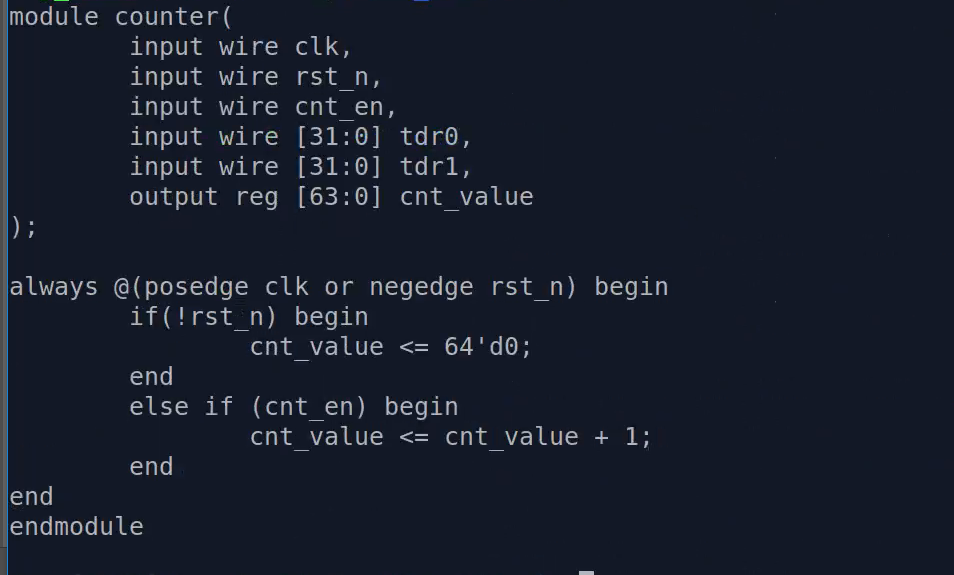
Nếu rst\_n = 0 → tim\_int = 0.

Nếu int\_en = 1 và int\_st = 1 → tim\_int = 1.

Nếu int\_en = 0 hoặc int\_st\_clear = 1 → tim\_int = 0.

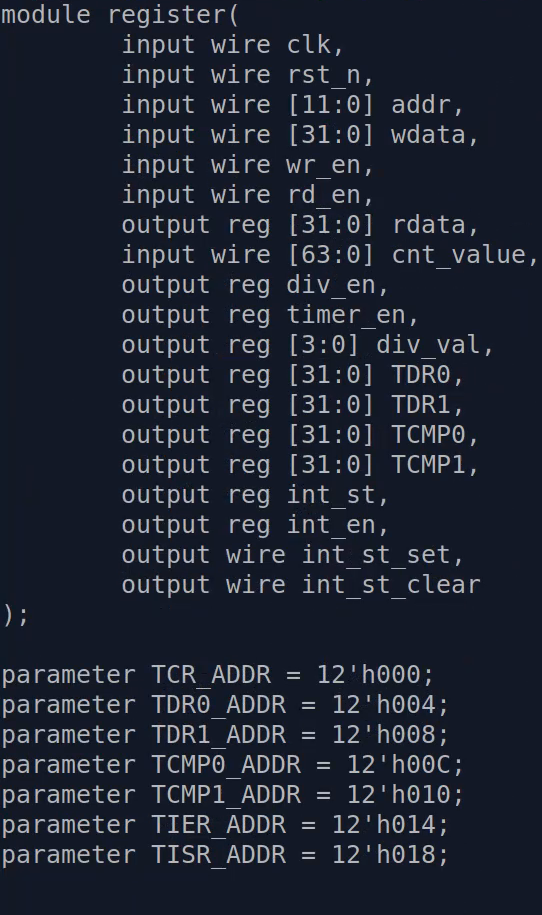
1. CODE RTL: A computer screen shot of a computer code

   AI-generated content may be incorrect.



A computer screen with white text

AI-generated content may be incorrect.



A computer screen with white text

AI-generated content may be incorrect.

A computer screen shot of a computer code

AI-generated content may be incorrect.

A screen shot of a computer

AI-generated content may be incorrect.



A computer screen shot of white text

AI-generated content may be incorrect.



A screenshot of a computer program

AI-generated content may be incorrect.A screen shot of a computer code

AI-generated content may be incorrect.A screen shot of a computer code

AI-generated content may be incorrect.A screenshot of a computer program

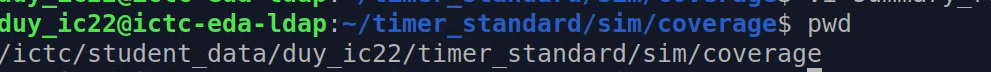
AI-generated content may be incorrect.

1. TEST BENCH: 

VPLAN:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | | **TC ID** | **Mô tả** | **Địa chỉ** | **Ghi giá trị** | **Đọc giá trị** | **Giá trị kỳ vọng** | | TC01 | Ghi TCR để bật timer | 0x000 | 0x00000001 | 0x000 | timer\_en = 1 | | TC02 | Ghi TCMP0 và TCMP1 | 0x00C/0x010 | 0x12345678 / 0x9ABCDEF0 | 0x00C/0x010 | Giá trị đã ghi | | TC03 | Ghi TDR0 và TDR1 | 0x004/0x008 | 0x89ABCDEF / 0x01234567 | 0x004/0x008 | Giá trị đã ghi | | TC04 | Ghi TIER để bật int\_en | 0x014 | 0x00000001 | 0x014 | int\_en = 1 | | TC05 | Ghi TISR để xóa int\_st | 0x018 | 0x00000001 | 0x018 | int\_st = 0 | | TC0 6 | Ghi THCSR để bật halt\_req | 0x01C | 0x00000001 | 0x01C | halt\_req expected 1 | | TC0 7 | Ghi TIER để tắt int\_en | 0x014 | 0x00000000 | 0x014 | nt\_en expected 0 | | TC0 8 | Ghi TISR với wdata[0] = 0 | 0x018 | 0x00000000 | 0x018 | int\_st should remain 1 | | TC0 9 | Ghi TCR với div\_val > 8 | 0x000 | 0x00000F03 | 0x000 | div\_val out of range | | TC0 10 | Ghi địa chỉ không hợp lệ | 0x0FFF | DEADBEEF | 0x0FFF | default rdata expected 0 | | |   COVERAGE: |
|  |

1. GOLDEN MODEL:



A screen shot of a computer

AI-generated content may be incorrect.