

Техническое задание для экспериментального чипа FRAM

Соловьянов Михаил. Лаборатория Нейровычислительных систем.

12 сентября 2020 г.

1 Постановка задачи

Предлагается в сжатые сроки создать уникальный чип-тестовую станцию, для тестирования инновационных энергоэффективных видов памяти. Помещение тестирующей аппаратуры прямо «на чип» позволит избежать проблем связанных с паразитными параметрами зондовых станций, что позволит изучать высокочастотные характеристики памяти, а также позволит автоматизировать процесс изучения качества выращенной памяти.

2 Устройство чипа

Поставленные требования будут достигнуты следующим образом: чип будет состоять как из массивов памяти, так и из аналогового измерительного блока, информация от которого может в оцифрованном виде поступать в контроллер чипа. Контроллер будет представлять из себя встроенный микропроцессор управляющий памятью и измерительными блоками, а также обмениваться информацией, настройками и записанными измерениями с внешним миром через интерфейс SPI.

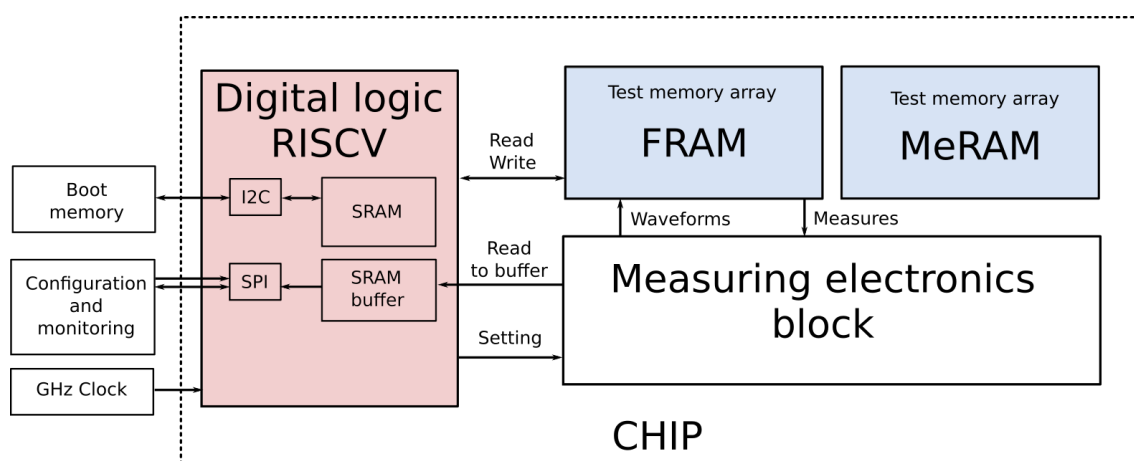


Рис. 1: Супер общая схема чипа

Примерное устройство чипа представлено на рисунке, и предполагает контроль/измерение нескольких ядер различной памяти, а также анализаторов от-

клика, с возможностью подключать их как к интересующим нас столбцам выбранного стека, так и к индивидуальной ячейки. Планируется покрыть спектр измерений ячеек, схожий с возможностями тестовой станции B1500A

Ядро памяти (Test memory array) Представляет собой почти обычное ядро памяти (для примера можно посмотреть ядро DRAM памяти (рис. 2)), только с конденсаторами интересующего нас оксида, а так же с драйвом (то есть подачей питания) для нижней обкладки. А так же необходимо продумать мультиплексер (переключатель) для подключения тестирующей аппаратуры к линиям стоков транзисторов и плейт лайнам.

В принципе задача не требует создания супер компактного и продуманного ядра, поэтому можно сэкономить время не создавая различные пре-декодеры и системы сложной адресации.

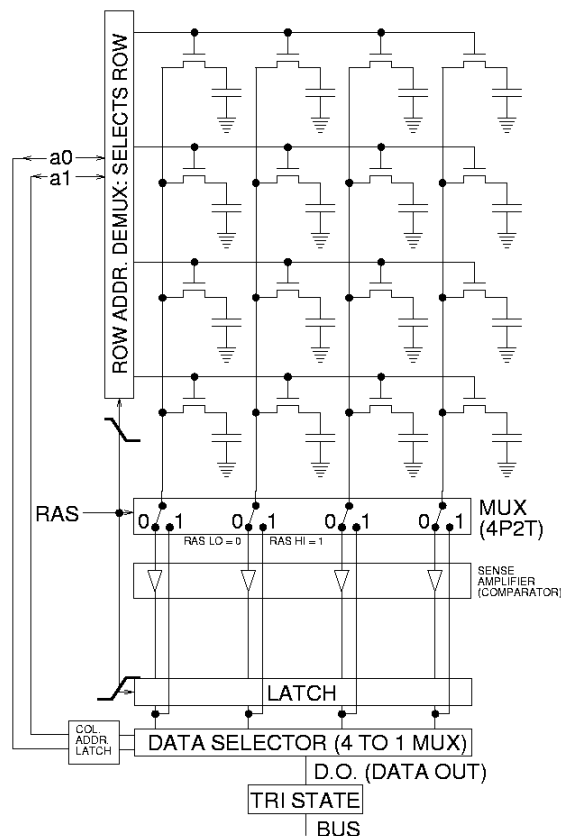


Рис. 2: Для понимания схема DRAM

Измерительная часть (Measuring electronics block) Самая сложная, аналоговая часть, способная подавать стимулы напряжения и тока в необходимые части исследуемого массива см. (2). Предполагается реализовать возможности измерения схожие с B1500A, однако лишённого минусов связанного с физическими зондами.

Так же было бы желательно реализовать возможность записи относительно короткого промежутка измерения, но с хорошим битрейтом в буфер обмена контроллера (см. 2), после чего уже передачу ее через интерфейс наружу.

Контроллер чипа (Digital logic) Для управления измерениями прямо на чипе планируется реализовать микропроцессор поддерживающий набор инструкций RISC-V (!), так же необходимая для него оперативная статическая память, необходимая память для буфера измерения, необходимая внутренняя периферия.

Память Количество SRAM памяти очень жестко зависит от того сколько времени измерения мы хотим зафиксировать. К примеру современная SRAM на техпроцессе 90 nm имеет плотность $2 \text{ mm}^2/\text{MB}$ (3)

1T-SRAM Cell sizes ($\mu\text{m}^2/\text{bit}$ or mm^2/Mbit)							
Process node		250 nm	180 nm	130 nm	90 nm	65 nm	45 nm
6T-SRAM	bit cell	7.56	4.65	2.43	1.36	0.71	0.34
	with overhead	11.28	7.18	3.73	2.09	1.09	0.52
1T-SRAM	bit cell	3.51	1.97	1.10	0.61	0.32	0.15
	with overhead	7.0	3.6	1.9	1.1	0.57	0.28
1T-SRAM-Q	bit cell			0.50	0.28	0.15	0.07
	with overhead			1.05	0.55	0.29	0.14

Рис. 3: Плотность SRAM, источник Wikipedia

Периферия (SPI , I2C)

SPI Кажется разумным использовать SPI интерфейс для обмена данными с контроллером, а так же конфигурации всей системы использовать slave SPI, редактируя нужные блоки памяти контроллера тем самым производя необходимые настройки (подобно тому как это происходит при прошивке любого микроконтроллера).

I2C Поскольку память на чипе энергозависимая, то необходимо реализовать некоторый загрузочный сектор, откуда можно подгрузить некую прошивку, и куда же ее можно сохранить. Для этого уместно использовать I2C интерфейс с подключенному к нему чипу памяти вроде такого .

Тактирование (Clock) Для нормальной работы управляющей цифровой и измерительной аналоговой электроники требуется реализовать тактирование, причем если мы хотим проводить измерения с большим битрейтом (большой частотой), то нам нужен тактирующий сигнал большой частоты. Дима предложил два варианта (поправьте если я не так понял): Либо заводить сигнал нужной частоты в чип посредством LVDS, либо по средством дотройки частоты (ФАПЧ) увеличивать частоту обычного тактирующего резонатора. Так или иначе для измерений внутри должен где то быть клок порядка ГГц и память способная быстро записать снятые измерения. По крайней мере таков план.

3 Выполнение

Предлагаю скоординировать коллектив, выполнение и постановку тактических задач в Todoist.

3.1 Roadmap

Предположительно придется уложиться вот в такие сроки (уточнить практическую возможность):

	Сентябрь 2020	Октябрь 2020	Ноябрь 2020	Декабрь 2020	Январь 2021	Февраль 2021	Март 2021	Апрель 2021 РЕЗЕРВ	Май 2021	
Постановка спецификаций										
Создание необходимой аналоговой компонентной базы (Паша, Миша)										
Тестирование шумовых характеристик получившихся компонентов										
Доводка компилятора, создание компилятором SPICE и прочих моделей										
Написание цифровой части (контроллера) (Миша)										
Тактирование (?)										

Рис. 4: Черновик предлагаемой карты проекта

Актуальная ссылка на карту проекта: https://docs.google.com/spreadsheets/d/1iLgj0FxfG0ekC7h_q5b4wdxDe1nRjKAJDCEXyratIL5U/edit?usp=sharing

3.2 Квалификации

Ниже приведены необходимые hard skills к выполнению задач, а так же люди подходящие под описание. Диму я исключил тут из всех категорий, но он есть во всех видимо.

- **Цифровая электроника** Разработка контроллера, имплементация verilog кода, настройка синтеза на кристалл. (Миша)
- **Аналоговая электроника** Схемотехника, Симуляция, Создание Layout ячеек (Паша, Миша)
- **Python programming** : создание компилятора для SPICE и физической репрезентации, возможно написание скриптов для отладки, тестирования, автоматизированной симуляции.(Паша, Миша)

Явно не хватает коллег для работы над аналоговой электроникой в виду огромного объема сопряженных с ней работ, а так же низкой возможностью автоматизации этого процесса.

3.3 Имеющиеся Ассеты

- Имеется недописанный компилятор ядра
- В открытом доступе можно найти много verilog кода для RISCv архитектуры и периферии.
- SRAM компилятор для проекта от Микрона

- У Димы есть готовый базовый чип памяти, но он плохо масштабируется. Можно использовать для референса рабочего ядра.