



**ОАО “НИИМЭ и Микрон”**

**Руководство пользователя  
к Комплекту Средств Проектирования  
(PDK – Process Design Kit)  
для технологии КМОП КНИ 0.18мкм,  
с напряжением питания 1.8В**

**LibMikron\_SOI\_018\_6M**

**Версия v1.1p1**

Имя КСП, версия	Дата	Описание изменений
LibMikron_SOI_018_6M, версия v1.0	25.20.2012	Начальная версия
LibMikron_SOI_018_6M, версия v1.1	29.04.2014	- добавлено описание физической верификации средствами Cadence PVS - добавлен раздел «Финализация проекта» - добавлено описание stretch handle
LibMikron_SOI_018_6M, версия v1.1p1	18.12.2014	

## Содержание

<b>1.</b>	<b>Введение .....</b>	<b>5</b>
<b>1.1</b>	<b>Общие сведения .....</b>	<b>5</b>
<b>2.</b>	<b>Состав и использование КСП .....</b>	<b>5</b>
<b>2.1</b>	<b>Доступ к КСП .....</b>	<b>5</b>
<b>2.2</b>	<b>Состав и структура КСП.....</b>	<b>6</b>
<b>2.3</b>	<b>Установка и настройка КСП в среде Cadence.....</b>	<b>7</b>
<b>3.</b>	<b>Библиотека LibMikron_SOI_018_6M.....</b>	<b>10</b>
<b>3.1</b>	<b>Основные топологические слои.....</b>	<b>10</b>
<b>3.2</b>	<b>Идентификационные слои.....</b>	<b>11</b>
<b>3.3</b>	<b>Текстовые слои .....</b>	<b>11</b>
<b>4.</b>	<b>Элементы библиотеки LibMikron_SOI_018_6M.....</b>	<b>12</b>
<b>4.1</b>	<b>Список представлений (views) элементов библиотеки .....</b>	<b>13</b>
<b>4.2</b>	<b>Категории библиотеки элементов .....</b>	<b>13</b>
<b>4.3</b>	<b>Описание элементов библиотеки.....</b>	<b>14</b>
<b>4.3.1</b>	<b>МОП-транзисторы A-типа (15 элементов).....</b>	<b>15</b>
<b>4.3.2</b>	<b>МОП-транзисторы H-типа (6 элементов) .....</b>	<b>19</b>
<b>4.3.3</b>	<b>Диоды (6 элементов) .....</b>	<b>20</b>
<b>4.3.4</b>	<b>Конденсаторы (5 элементов).....</b>	<b>22</b>
<b>4.3.5</b>	<b>Резисторы (18 элементов) .....</b>	<b>24</b>
<b>4.4</b>	<b>Описание параметров элементов библиотеки .....</b>	<b>28</b>
<b>4.4.1</b>	<b>CDF-параметры МОП-транзисторов A-типа с двумя областями привязки (N, P – канальных) при создании электрической схемы (schematic view) .....</b>	<b>28</b>
<b>4.4.2</b>	<b>CDF-параметры МОП-транзисторов A-типа (N, P - канальных) при создании топологии (layout view) с помощью параметризованных ячеек (pcells) .....</b>	<b>30</b>
<b>4.4.3</b>	<b>CDF-параметры МОП-транзисторов A-типа с несилицированной областью стока (N, P - канальных) при создании электрической схемы (schematic view) .....</b>	<b>33</b>
<b>4.4.4</b>	<b>CDF-параметры МОП-транзисторов A-типа с несилицированной областью стока (N, P - канальных) при создании топологии (layout view) с помощью параметризованных ячеек (pcells) .....</b>	<b>35</b>
<b>4.4.5</b>	<b>CDF-параметры МОП-транзисторов H-типа (N, P - канальных) при создании электрической схемы (schematic view).....</b>	<b>38</b>
<b>4.4.6</b>	<b>CDF-параметры МОП-транзисторов H-типа (N, P - канальных) при создании топологии (layout view) с помощью параметризованных ячеек (pcells) .....</b>	<b>38</b>
<b>4.4.7</b>	<b>CDF-параметры диодов (N<sup>+</sup>/P-карман, P<sup>+</sup>/N-карман) при создании электрической схемы (schematic view) .....</b>	<b>41</b>
<b>4.4.8</b>	<b>CDF-параметры диодов (N<sup>+</sup>/P-карман, P<sup>+</sup>/N-карман) при создании топологии (layout view) с помощью параметризованных ячеек (pcells).....</b>	<b>41</b>
<b>4.4.9</b>	<b>CDF-параметры конденсаторов (поликремний - N-карман) при создании электрической схемы и (schematic view) и создании топологии (layout view) с помощью параметризованных ячеек (pcells) ....</b>	<b>43</b>
<b>4.4.10</b>	<b>CDF-параметры резисторов при создании электрической схемы (schematic view) и создании топологии (layout view) с помощью параметризованных ячеек (pcells). .....</b>	<b>45</b>
<b>4.4.11</b>	<b>CDF-параметры конденсаторов (tmt) при создании электрической схемы (schematic view) и создании топологии (layout view) с помощью параметризованных ячеек (pcells) .....</b>	<b>48</b>
<b>4.4.12</b>	<b>CDF-параметры металлических резисторов при создании электрической схемы (schematic view) и создании топологии (layout view) с помощью параметризованных ячеек (pcells).....</b>	<b>50</b>
<b>5.</b>	<b>Создание электрической схемы проекта .....</b>	<b>52</b>
<b>5.1</b>	<b>Создание библиотеки проекта.....</b>	<b>52</b>
<b>5.2</b>	<b>Создание электрической схемы .....</b>	<b>52</b>
<b>5.3</b>	<b>Создание символа элемента.....</b>	<b>54</b>

---

5.4	Создание схемы тестовых воздействий .....	55
6.	Моделирование проекта средствами САПР Cadence Spectre .....	57
7.	Создание топологии проекта.....	60
7.1	Генерация элементов из электрической схемы .....	60
7.2	Расположение элементов в топологии .....	62
7.3	Использование Stretch Handles .....	62
7.4	Автоматическая и ручная трассировка соединений.....	65
8.	Импорт/экспорт файлов в формате GDSII .....	66
8.1	Экспорт топологии проекта в файл формата GDSII .....	66
8.2	Импорт топологии проекта из файла формата GDSII.....	67
9.	Физическая верификация и экстракция проекта средствами САПР Mentor Graphics Calibre .....	69
9.1	Проверка топологии на соответствие КТО (DRC-проверка).....	70
9.1.1	<i>Описание ключей, используемых при DRC-проверке .....</i>	73
9.2	Проверка соответствия топологии и электрической схемы (LVS-проверка).....	74
9.2.1	<i>Описание ключей, используемых при LVS-проверке .....</i>	78
9.3	Экстракция паразитных элементов топологии (RCX-экстракция).....	78
9.3.1	<i>RCX-экстракция с использованием "CalibreView" .....</i>	78
9.3.2	<i>Описание ключей, используемых при RCX-экстракции.....</i>	81
9.3.3	<i>RCX-экстракция с использованием "Spectre-нетлист" .....</i>	82
10.	Физическая верификация проекта средствами САПР Cadence Physical Verification System (PVS) .....	86
10.1	Проверка топологии на соответствие КТО (DRC) .....	86
10.2	Проверка соответствия топологии и электрической схемы (LVS) .....	89
11.	Моделирование проекта с учетом паразитных элементов.....	91
12.	Финализация проекта.....	95
12.1	Процедура размещения фиктивных областей (ФО) .....	95
12.1.1	<i>Генерирование фиктивных областей с помощью САПР Mentor Graphics Calibre .....</i>	96
12.1.2	<i>Генерирование фиктивных областей с помощью САПР Cadence PVS .....</i>	100
12.2	Создание и размещение меток логотипа, авторских прав и даты .....	101
12.3	Создание и размещение метки проекта.....	102
13.	Контактная информация .....	102

## 1. Введение

### 1.1 Общие сведения

Документ содержит описание комплекта средств проектирования (КСП) для разработки СБИС, изготавливаемых по технологии КМОП КНИ (оригинальное название КНИ180), с проектными нормами 180 нм.

Основные характеристики технологии:

- напряжение питания 1.8в, 3.3в, 5в;
- минимальные проектные нормы 0.18мкм;
- минимальный шаг сетки при проектировании равен 0.01 мкм;
- вольфрамовый слой для локальных межсоединений (LIL – Local Interconnect Layer);
- металл 1, 2, 3, 4: Al-Cu слой металлизации, шаг трассировки 0.32 мкм;
- металл 5, 6: слои металлизации с шагом трассировки в 0.64 мкм, которые предпочтительно использовать для разводки шин питания, шин тактовых сигналов и других основных шин передачи сигнала.

## 2. Состав и использование КСП

### 2.1 Доступ к КСП

Данный КСП внутренние заказчики могут подключать непосредственно по локальной сети. Необходимые инструкции можно найти в базе знаний по адресу <http://mikron-dokuwiki/doku.php?id=release:start>.

Внешние заказчики могут получить КСП на электронных носителях после заключения соответствующих договоров с ОАО “НИИМЭ и Микрон”. Контактная информация приведена в соответствующем разделе данного руководства.

## 2.2 Состав и структура КСП

Состав КСП LibMikron\_SOI\_018\_6M по технологии SOI 018:

PDK_<версия>		
	cadence	
	LibMikron_SOI_018_6M	технологическая библ-ка и библ-ка элементов
	skill	SKILL-файлы, необходимые для функционирования КСП
	stream	
	streamInOut.map	файл трансляции из/в формат GDSII
	cds.lib	файл для подключения библиотек
	LibMikron_SOI_018_6M.tf	технологический файл
	display.drf	файл описания отображения слоев
	capTbl	файлы .capTbl для экстракции межсоединений на этапе статического временного анализа
	doc	документация
	env	файлы с настройками для работы с КСП
	lef	
	LibMikron_SOI_018_6M.techlef	технологический LEF-файл
	models	
	spectre	spice-модели САПР Cadence Spectre
	physical	
	calibre	файлы физической верификации для САПР Mentor Graphics Calibre
	pvs	файлы физической верификации для САПР Cadence PVS
	encounter	map файл для SOC Encounter

Рис. 2.1. Структура КСП

## 2.3 Установка и настройка КСП в среде Cadence

Для правильного использования КСП в среде Cadence необходимо выполнить следующие шаги:

1. Распаковать архив LibMikron\_SOI\_018\_6M\_PDK\_<версия>.tar.gz в любое удобное место на рабочей станции или сервере.
2. Создать рабочий каталог для нового проекта (каталог, откуда будет производиться запуск среды САПР Cadence):

```
mkdir ~/new_project
```

3. В рабочем каталоге установить переменную окружения **DKSOI018M6**, которая должна содержать полный путь к содержимому папки PDK\_<версия>. Например, для пользователей csh:

```
setenv DKSOI018M6 <полный_путь>/PDK_<версия>
```

4. Установить переменную окружения **CDS\_Netlisting\_Mode** в значение “Analog”:

```
setenv CDS_Netlisting_Mode Analog
```

**Примечание:** перечисленные выше переменные окружения можно определить в файле .cshrc (или .bashrc в случае использования командной оболочки bash). В этом случае они будут установлены автоматически при запуске окна терминала. Примеры файлов .cshrc и .bashrc с минимальным набором настроек, необходимым для корректной работы с КСП, находятся в каталоге “env” в составе КСП:

```
.../PDK_<версия>/env/.cshrc_example,
```

```
.../PDK_<версия>/env/.bashrc_example
```

5. Скопировать в рабочий каталог проекта (каталог, откуда будет производиться запуск среды САПР Cadence) файл .cdsinit:

```
cp ${DKSOI018M6}/env/.cdsinit ~/new_project
```

Если планируется использование САПР Cadence PVS, то в рабочий каталог необходимо добавить файл pvtech.lib, который находится в папке \${DKSOI018M6}/physical/pvs

```
cp ${DKSOI018M6}/physical/pvs/pvtech.lib ~/new_project
```

Либо создать его вручную. В любом текстовом редакторе создайте файл с именем pvtech.lib, добавьте в него строчку

```
DEFINE LibMikron_SOI_018_6M ${DKSOI018M6}/physical/pvs
```

и сохраните в рабочем каталоге.

Если пользователь хочет использовать собственную раскраску слоев в «Virtuoso Layout Editor», то возмите файл \${DKSOI018M6}/cadence/display.drf и поместите его в свой рабочий каталог. Откройте файл *display.drf* в любом текстовом редакторе и измените

раскраску слоев. Сохраните файл. В этом случае при инициализации КСП будет использоваться файл пользователя. Если рабочий каталог не содержит файл *display.drf*, то при инициализации КСП будет использоваться файл из поставки КСП.

**Примечание:** *.cdsinit* содержит важные настройки для работы с КСП. В случае если у пользователя уже существует файл *.cdsinit*, то загрузить необходимые настройки для КСП можно, добавив в него следующие строки:

```
let((dk)
    if( dk = getShellEnvVar("DKSOI018M6") then
        load(strcat(dk "/cadence/skill/technologySetting/setup/cdstool"))
    else
        printf("*PDK-MSG* FAIL: Shell variable DKS0I018M6 not found. Technology setting
not set.\n")
    );;if
);;let
```

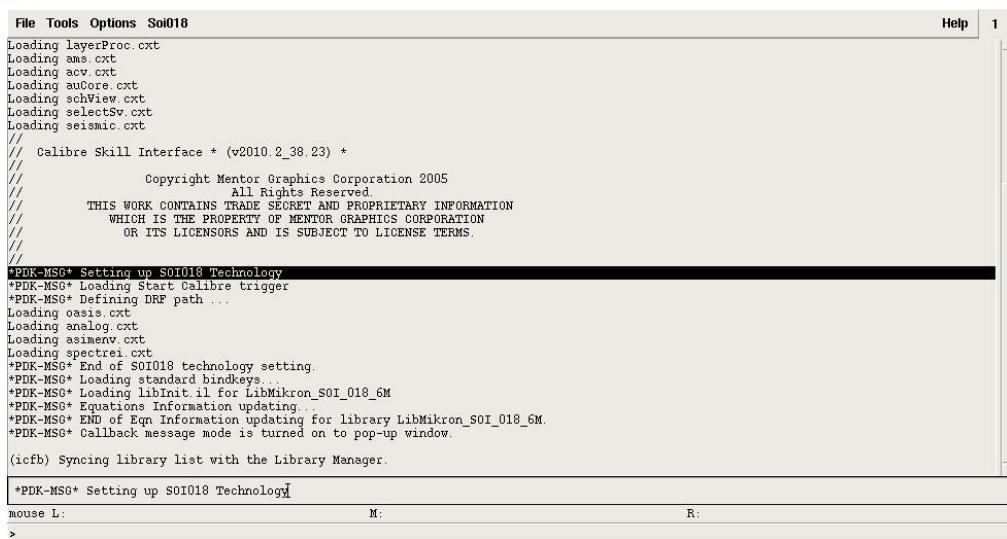
6. Создать в рабочем каталоге проекта файл *cds.lib* (в случае создания нового проекта “с нуля”), открыть его в текстовом редакторе и добавить следующую строку:

```
INCLUDE $DKSOI018M6/cadence/cds.lib
```

либо скопировать в явном виде содержимое файла *cds.lib* из поставки КСП в файл *cds.lib*, находящийся в каталоге проекта.

В качестве альтернативы можно воспользоваться интерактивным средством подключения библиотек Library Path Editor, вызвав его из меню “Tools” основного окна среды Cadence (Command Interpreter Window, CIW-окна). В открывшемся диалоговом окне в поле “Library” указывается имя библиотеки, а в поле “Path” путь к данной библиотеке. Для работы с КСП необходимо подключить таким образом библиотеку **LibMikron\_SOI\_018\_6M**, после чего сохранить изменения, выбрав пункт “Save as...” в меню “File”. Если библиотека не появилась в списке доступных, то следует выбрать пункт меню *View->Refresh* в рабочем окне Library Manager.

7. Перейти в рабочий каталог проекта и выполнить запуск среды САПР Cadence. Если при старте среды и инициализации КСП в CIW окне Cadence нет сообщений, содержащих слова Error и Fail и присутствует меню с именем “Soi018”, то КСП установлен правильно (Рис. 2.2).



The screenshot shows the Cadence CIW (Command Line Interface Window) interface. The menu bar includes File, Tools, Options, SoI018, Help, and a numeric value '1'. The main window displays a log of command-line activity:

```
File Tools Options SoI018
Loading layerProc.cxt
Loading ams.cxt
Loading acv.cxt
Loading auCore.cxt
Loading schView.cxt
Loading selectSv.cxt
Loading seismic.cxt
///
/// Calibre Skill Interface * (v2010.2_38.23) *
///
/// Copyright Mentor Graphics Corporation 2005
/// All Rights Reserved.
///
/// THIS WORK CONTAINS TRADE SECRET AND PROPRIETARY INFORMATION
/// WHICH IS THE PROPERTY OF MENTOR GRAPHICS CORPORATION
/// OR ITS LICENSORS AND IS SUBJECT TO LICENSE TERMS.
///
*PDK-MSG* Setting up SOI018 Technology
*PDK-MSG* Loading Start Calibre trigger
*PDK-MSG* Defining DRF path ...
Loading oasis.cxt
Loading analog.cxt
Loading asimenv.cxt
Loading spectre1.cxt
*PDK-MSG* End of SOI018 technology setting.
*PDK-MSG* Loading standard bindkeys...
*PDK-MSG* Loading libInit.il for LibMikron_SOI_018_6M
*PDK-MSG* Equations Information updating...
*PDK-MSG* END of Eqn Information updating for library LibMikron_SOI_018_6M
*PDK-MSG* Callback message mode is turned on to pop-up window.

(icfb) Syncing library list with the Library Manager.

*PDK-MSG* Setting up SOI018 Technology
```

The status bar at the bottom shows 'mouse L:' and 'R:'.

Рис. 2.2 CIW окно Cadence

### 3. Библиотека LibMikron\_SOI\_018\_6M

#### 3.1 Основные топологические слои

Ниже приведена информация по основным (определенным разработчиками КСП) топологическим слоям, используемым в КСП. Более полная информация по всем слоям (включая системно-зарезервированные) содержится в технологическом файле *LibMikron\_SOI\_018\_6M.tf* и в файле описания отображения слоев *display.drf*.

Таблица 3.1. Описание основных топологических слоев

Название слоя	Назначение	GDS#	Тип (datatype)	Описание
nwell	drawing	1	0	N-карман
active	drawing	2	0	Активная область
go2_3v	drawing	6	0	подзатворный окисел 3.3В
go2_5v	drawing	7	0	подзатворный окисел 5.0В
pwell	drawing	8	0	P-карман
poly	drawing	13	0	Поликремний
nldd	drawing	14	0	LDL в N-канальных транзисторах
pldd	drawing	15	0	LDL в P-канальных транзисторах
nplus	drawing	16	0	N+ диффузия
pplus	drawing	17	0	P+ диффузия
siprot	drawing	18	0	Защита силицида
contact	drawing	19	0	Контакты
metal1	drawing	23	0	Металл 1
v1	drawing	25	0	Межслойные контактные окна 1
presist	drawing	26	0	Слой для формирования резистора rhipob
metal2	drawing	27	0	Металл 2
nitride	drawing	31	0	Слой используется для вскрытия контактных площадок и микропадов
v2	drawing	32	0	Межслойные контактные окна 2
metal3	drawing	34	0	Металл 3
v3	drawing	35	0	Межслойные контактные окна 3
metal4	drawing	36	0	Металл 4
lil	drawing	39	0	Локальные вольфрамовые межсоединения
v4	drawing	52	0	Межслойные контактные окна 4
metal5	drawing	53	0	Металл 5
v5	drawing	54	0	Межслойные контактные окна 5
metal6	drawing	55	0	Металл 6
invact	drawing	61	0	Инверсная активная область
next_3v	drawing	76	0	LDL в N-канальных транзисторах 3.3В
pext_3v	drawing	77	0	LDL в P-канальных транзисторах 3.3В
next_5v	drawing	78	0	LDL в N-канальных транзисторах 5.0В
pext_5v	drawing	79	0	LDL в P-канальных транзисторах 5.0В
mim5	drawing	80	0	Слой для формирования конденсатора cmim5
nwell_3v	drawing	89	0	N-карман 3.3В

pwell_3v	drawing	90	0	P-карман 3.3В
Otp	drawing	91	0	Слой для формирования программируемого элемента ячейки памяти
nwell_5v	drawing	93	0	N-карман 5.0В
pwell_5v	drawing	94	0	N-карман 5.0В
hkmim5	drawing	92	0	Слой для формирования конденсатора chkmim5
npolydoping	drawing	108	0	N+ легирование поликремния

### 3.2 Идентификационные слои

В таблице 3.2 приведены слои-маркеры, служащие для идентификации приборов или областей в топологии.

Таблица 3.2. Описание идентификационных слоев

Название слоя	Назначение	GDS#	Тип (datatype)	Описание
mfgpp	drawing	46	0	Распознавание служебных фигур
mexclude	drawing	62	4	Запрещает генерацию dummy элементов во всех слоях
mcapa	drawing	62	40	Распознавание конденсатора
mdiode	drawing	62	41	Распознавание диода
mtestpt	drawing	62	42	Слой используется для определения микропада
mres	drawing	62	44	Распознавание резистора
mres	m1	62	34	Распознавание резистора в 1-ом металле
mres	m2	62	35	Распознавание резистора в 2-ом металле
mres	m3	62	36	Распознавание резистора в 3-ом металле
mres	m4	62	37	Распознавание резистора в 4-ом металле
mres	m5	62	38	Распознавание резистора в 5-ом металле
mres	m6	62	39	Распознавание резистора в 6-ом металле
msub	drawing	62	45	Распознавание подложки
mfuse	drawing	62	48	Распознавание перемычки
mafuse	drawing	62	49	Распознавание ячейки ОТР
mio	drawing	62	56	Распознавание элементов ввода/вывода

### 3.3 Текстовые слои

В таблице 3.3 приведены слои, служащие для прорисовки текстовых меток для имен портов/выводов и внутренних узлов схемы в топологии.

Таблица 3.3. Описание текстовых слоев

Название слоя	Назначение	GDS#	Тип (datatype)	Описание
poly	pintext	13	21	Текстовая метка портов/выводов (ports/pins) для Calibre в слое poly
poly	lpetext	13	22	Текстовая метка внутренних узлов схемы в слое poly
metal1	pintext	23	21	Текстовая метка портов/выводов (ports/pins) для Calibre в слое metal1
metal1	lpetext	23	22	Текстовая метка внутренних узлов схемы в слое metal1
metal2	pintext	27	21	Текстовая метка портов/выводов (ports/pins) для Calibre в слое metal2
metal2	lpetext	27	22	Текстовая метка внутренних узлов схемы в слое metal2
metal3	pintext	34	21	Текстовая метка портов/выводов (ports/pins) для Calibre в слое metal3
metal3	lpetext	34	22	Текстовая метка внутренних узлов схемы в слое metal3
metal4	pintext	36	21	Текстовая метка портов/выводов (ports/pins) для Calibre в слое metal4
metal4	lpetext	36	22	Текстовая метка внутренних узлов схемы в слое metal4
metal5	pintext	53	21	Текстовая метка портов/выводов (ports/pins) для Calibre в слое metal5
metal5	lpetext	53	22	Текстовая метка внутренних узлов схемы в слое metal5
metal6	pintext	55	21	Текстовая метка портов/выводов (ports/pins) для Calibre в слое metal6
metal6	lpetext	55	22	Текстовая метка внутренних узлов схемы в слое metal6
lil	pintext	39	21	Текстовая метка портов/выводов (ports/pins) для Calibre в слое lil
lil	lpetext	39	22	Текстовая метка внутренних узлов схемы в слое lil
text	drawing	60	0	Текст
flatext	drawing	60	20	Текст на верхнем уровне иерархического представления
pintext	drawing	60	21	Независимые текстовые метки портов/выводов (ports/pins) для Calibre
lpetext	drawing	60	22	Независимые текстовые метки внутренних узлов схем для Calibre

#### 4. Элементы библиотеки LibMikron\_SOI\_018\_6M

Элементы библиотеки (аналоговые примитивы), созданные специально для данной технологии и описанные на различных уровнях проектирования, позволяют разработчику упростить и автоматизировать процесс проектирования схемы. Список элементов сформирован в соответствии с требованиями к составу библиотеки.

## 4.1 Список представлений (views) элементов библиотеки

Каждый элемент библиотеки, разрешенный к использованию в проектах, содержит следующие представления (views):

- **auCdl** – используется при трансляции электрической схемы в CDL-формат, эквивалентен представлению “symbol”;
- **layout** – топологическое представление элемента, параметризованная ячейка (pcell);
- **spectre** – используется при создании “нетлиста” электрической схемы с помощью САПР Cadence Spectre, эквивалентен представлению “symbol”;
- **schematic** – схематичное представление элемента;
- **symbol** – символьное представление элемента.

Только представления “layout” и “symbol” используются при создании топологии и электрической схемы проекта соответственно, остальные представления необходимы для корректной работы с КСП (верификации, моделирования и т.д.) и не должны напрямую использоваться разработчиками. Символьное представление (“symbol”) элементов библиотеки совместимо как графически, так и по расположению портов (pins) со стандартными представлениями элементов библиотеки примитивов Cadence.

## 4.2 Категории библиотеки элементов

Библиотека элементов разделена на категории, каждая из которых включает группу элементов, объединенных по какому-либо свойству или признаку (тип, назначение и т.д.). Ниже представлен полный список категорий библиотеки:

- Mos\_A-type (МОП-транзисторы А-типа)
- Mos\_IO\_A-type (МОП-транзисторы А-типа с несилицированной областью стока, для применения в I/O ячейках)
- Mos\_H-type (МОП-транзисторы Н-типа)
- Diodes (диоды)
- Capacitors (конденсаторы)
- Resistors (резисторы)
- Misc ( специальные структуры в помощь разработчику )
- Symbolic (Символические представления)
- Otp (программируемый элемент ячейки памяти)
- Do\_Not\_Use ( элементы, запрещенные к использованию )

#### **4.3 Описание элементов библиотеки**

В следующих подразделах приведен список и краткое описание элементов, входящих в состав КСП.

#### 4.3.1 МОП-транзисторы A-типа (15 элементов)

Имя элемента	Описание	Категория (Library Manager)	Характеристики	Напряжение питания (В)	Символьное представление	Топологическое представление	Имя модели (mosfet)
nmos_a	N-канальный транзистор A-типа	Mos_A-type	Исток соединен с подложкой	1.8			nmos_a
pmos_a	P-канальный транзистор A-типа	Mos_A-type	Исток соединен с подложкой	1.8			pmos_a
nmos_a_hv	N-канальный транзистор A-типа	Mos_A-type	Исток соединен с подложкой	3.3			nmos_a_hv

pmos_a_hv	Р-канальный транзистор A-типа	Mos_A-type	Исток соединен с подложкой	3.3	 		pmos_a_hv
nmos_a_vhv	N-канальный транзистор A-типа	Mos_A-type	Исток соединен с подложкой	5.0	 		nmos_a_vhv
pmos_a_vhv	Р-канальный транзистор A-типа	Mos_A-type	Исток соединен с подложкой	5.0	 		pmos_a_vhv
nmos_io_a	N-канальный транзистор A-типа (для применения в I/O ячейках)	Mos_IO_A-type	Исток соединен с подложкой, несилицированный сток	1.8	 		nmos_io_a

pmos_io_a	P-канальный транзистор A-типа (для применения в I/O ячейках )	Mos_IO_A-type	Исток соединен с подложкой, несилицидированный сток	1.8			pmos_io_a
nmos_io_a_hv	N-канальный транзистор A-типа (для применения в I/O ячейках)	Mos_IO_A-type	Исток соединен с подложкой, несилицидированный сток	3.3			nmos_io_a_hv
pmos_io_a_hv	P-канальный транзистор A-типа (для применения в I/O ячейках)	Mos_IO_A-type	Исток соединен с подложкой, несилицидированный сток	3.3			pmos_io_a_hv
nmos_io_a_vhv	N-канальный транзистор A-типа (для применения в I/O ячейках)	Mos_IO_A-type	Исток соединен с подложкой, несилицидированный сток	5.0			nmos_io_a_vhv

pmos_io_a_vhv	P-канальный транзистор A-типа (для применения в I/O ячейках)	Mos_IO_A-type	Исток соединен с подложкой, несилицидированный сток	5.0	 		pmos_io_a_vhv
nmos	N-канальный транзистор A-типа (для защиты от электростатических зарядов)	Mos_A-type	Исток соединен с подложкой, без NLDD областей и силицида	1.8	 		nmos
nmos_hv	N-канальный транзистор A-типа (для защиты от электростатических зарядов)	Mos_A-type	Исток соединен с подложкой, без NEXT_3V областей и силицида	3.3	 		nmos_hv
nmos_vhv	N-канальный транзистор A-типа (для защиты от электростатических зарядов)	Mos_A-type	Исток соединен с подложкой, без NEXT_5V областей и силицида	5.0	 		nmos_vhv

#### 4.3.2 МОП-транзисторы Н-типа (6 элементов)

Имя элемента	Описание	Категория (Library Manager)	Характеристики	Напряжение питания (В)	Символьное представление	Топологическое представление	Имя модели (mosfet)
nmos_h	N-канальный транзистор Н-типа	Mos_H-type	Сток и исток симметричны	1.8			nmos_h
pmos_h	P-канальный транзистор Н-типа	Mos_H-type	Сток и исток симметричны	1.8			pmos_h
nmos_h_hv	N-канальный транзистор Н-типа	Mos_H-type	Сток и исток симметричны	3.3			nmos_h_hv
pmos_h_hv	P-канальный транзистор Н-типа	Mos_H-type	Сток и исток симметричны	3.3			pmos_h_hv

nmos_h_vhv	N-канальный транзистор Н-типа	Mos_H-type	Сток и исток симметричны	5.0			nmos_h_vhv
pmos_h_vhv	P-канальный транзистор Н-типа	Mos_H-type	Сток и исток симметричны	5.0			pmos_h_vhv

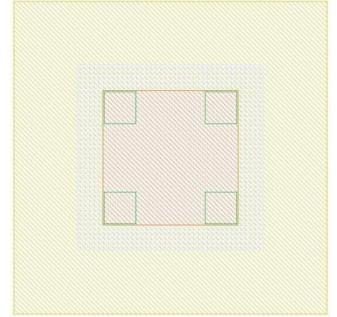
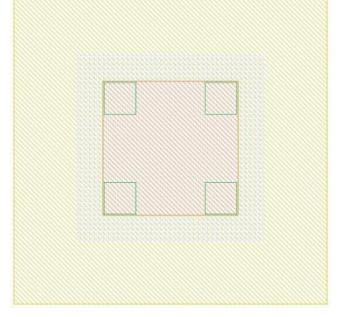
#### 4.3.3 Диоды (6 элементов)

Имя элемента	Описание	Категория (Library Manager)	Характеристики	Напряжение питания (В)	Символьное представление	Топологическое представление	Имя модели (diode)
dn	Диод на основе областей N <sup>+</sup> /P-карман	Diodes	Без силицида	1.8			dn
dp	Диод на основе областей P <sup>+</sup> /N-карман	Diodes	Без силицида	1.8			dp

dn_hv	Диод на основе областей N <sup>+</sup> /P-карман	Diodes	Без силицида	3.3			dn_hv
dp_hv	Диод на основе областей P <sup>+</sup> /N-карман	Diodes	Без силицида	3.3			dp_hv
dn_vhv	Диод на основе областей N <sup>+</sup> /P-карман	Diodes	Без силицида	5.0			dn_vhv
dp_vhv	Диод на основе областей P <sup>+</sup> /N-карман	Diodes	Без силицида	5.0			dp_vhv

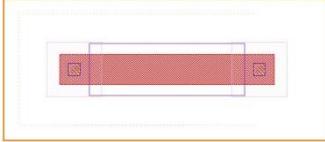
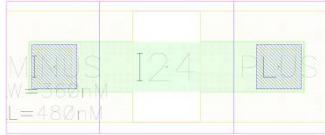
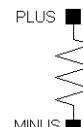
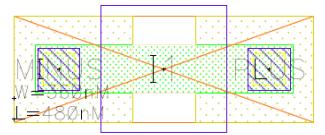
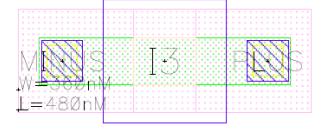
#### 4.3.4 Конденсаторы (5 элементов)

Имя элемента	Описание	Категория (Library Manager)	Характеристики	Напряжение питания (В)	Символьное представление	Топологическое представление	Имя модели (capacitor)
cpoly_n	Конденсатор поликремний – N-карман	Capacitors	Окисел 3.2 нм	1.8			cpoly_n
cpoly_n_hv	Конденсатор поликремний – N-карман	Capacitors	Окисел 7.0 нм	3.3			cpoly_n_hv
cpoly_n_vhv	Конденсатор поликремний – N-карман	Capacitors	Окисел 12.5 нм	5.0			cpoly_n_vhv

chkmim5	Конденсатор металл 5 – металл 5bis	Capacitors	Типичная емкость $2 \text{ фФ}/\text{мкм}^2$				chkmim5
cmim5	Конденсатор металл 5 – металл 5bis	Capacitors	Типичная емкость $0.85 \text{ фФ}/\text{мкм}^2$				cmim5

#### 4.3.5 Резисторы (18 элементов)

Имя элемента	Описание	Категория (Library Manager)	Характеристики	Напряжение питания (В)	Символьное представление	Топологическое представление	Имя модели (resistor)
rndiff	Резистор на основе N <sup>+</sup> -области	Resistors	Без силицида	1.8			rndiff
rpdiff	Резистор на основе P <sup>+</sup> -области	Resistors	Без силицида	1.8			rpdiff
rnpoly	Резистор на основе поликремния N-типа	Resistors	Без силицида	1.8			rnpoly
rppoly	Резистор на основе поликремния P-типа	Resistors	Без силицида	1.8			rppoly

rhipob	Высокоомный поликремниевый HIPO резистор	Resistors	Без силицида				rhipob
rnw*	Резистор на N кармане	Resistors	Без силицида	1.8			rnw
rpw*	Резистор на P кармане	Resistors	Без силицида	1.8			rpw
rnw_hv*	Резистор на N кармане	Resistors	Без силицида	3.3			rnw_hv
rpw_hv*	Резистор на P кармане	Resistors	Без силицида	3.3			rpw_hv

rnw_vhv*	Резистор на N кармане	Resistors	Без силицида	5.0			rnw_vhv
rpw_vhv*	Резистор на P кармане	Resistors	Без силицида	5.0			rpw_vhv
rnpn	Резистор на N+ поликремний	Resistors	С силицидом	1.8			rnpn
m1res	Резистор на 1-ом металле	Resistors	поверхностное сопротивление 0.072 ом/□				m1res
m2res	Резистор на 2-ом металле	Resistors	поверхностное сопротивление 0.072 ом/□				m2res

m3res	Резистор на 3-ом металле	Resistors	поверхностное сопротивление 0.072 ом/□				m3res
m4res	Резистор на 4-ом металле	Resistors	поверхностное сопротивление 0.072 ом/□				m4res
m5res	Резистор на 5-ом металле	Resistors	поверхностное сопротивление 0.035 ом/□				m5res
m6res	Резистор на 6-ом металле	Resistors	поверхностное сопротивление 0.035 ом/□				m6res

\*- данные приборы запрещены к использованию в проектах.

#### 4.4 Описание параметров элементов библиотеки

Далее приведен список и описание CDF-параметров для каждой группы элементов библиотеки. Серым цветом выделены параметры, недоступные для редактирования в текущей версии КСП.

Кнопка “Disable Callbacks” присутствует у всех элементов библиотеки и позволяет отключить проверку вводимых параметров.

##### 4.4.1 CDF-параметры МОП-транзисторов А-типа с двумя областями привязки (*N, P – канальных*) при создании электрической схемы (*schematic view*)

Имя параметра	Описание	Значение по умолчанию		Диапазон изменения (допустимые значения)	Комментарий
Effective finger width (w_fing)	Эффективная ширина “пальца”	n(p)mos_a	0.48 мкм	0.48 мкм – 100 мкм	Эффективная ширина одного “пальца” транзистора без учета областей привязки (см. рис. 4.1 (а), (б))
		n(p)mos_a_hv	0.48 мкм	0.48 мкм – 100 мкм	
		n(p)mos_a_vhv	0.48 мкм	0.48 мкм – 100 мкм	
Length (l)	Длина “пальца”	n(p)mos_a	0.18 мкм	0.18 мкм – 10.0 мкм	Длина канала одного “пальца” транзистора
		n(p)mos_a_hv	0.32 мкм	0.32 мкм – 10.0 мкм	
		n(p)mos_a_vhv	0.50 мкм	0.50 мкм – 10.0 мкм	
Number of parallel fingers (nfing)	Количество параллельных “пальцев”	1		nfing > 0 (целое число)	Количество параллельных “пальцев” (затворов) транзистора (см. рис. 4.1 (в))
Total width of one finger pwell cont (w_cont) [поле для ввода значений]	Суммарная ширина областей привязок	0.64 мкм			Суммарная ширина областей привязок одного “пальца” транзистора. Рассчитывается автоматически в зависимости от ширины и длины транзистора. Доступен только в Schematic Editor.

Total width of one finger pwell cont [radio кнопка]	Определяет режим расчета параметра w_cont	Calculated	Calculated/User defined	Calculated-автоматический расчет параметра w_cont  User defined-в этом режиме поле для ввода становится доступным для редактирования и пользователь может ввести свое значение. Данный режим введен для совместимости с проектами, разработанными с предыдущими версиями КСП. В данной версии КСП использовать этот режим не рекомендуется. Доступен только в Schematic Editor.
Total effective width (w_fing_total)	Суммарная эффективная ширина транзистора	0.48 мкм		Суммарная эффективная ширина всех “пальцев” транзистора без учета областей привязки. Параметр для справки.
Total width (inc. sub contacts) (w_total)	Суммарная ширина транзистора	1.12 мкм		Суммарная ширина всех “пальцев” транзистора с учетом областей привязки. Параметр для справки.

#### 4.4.2 CDF-параметры МОП-транзисторов A-типа (N, P - канальных) при создании топологии (layout view) с помощью параметризованных ячеек (pcells)

Имя параметра	Описание	Значение по умолчанию	Диапазон изменения (допустимые значения)	Комментарий
Gate routing location (grouting)	Соединение затворов многопальцевого транзистора	“both”	“none” “top” “bottom” “both”	Определяет расположение соединения затворов у многопальцевого транзистора. Данный параметр доступен, если количество “пальцев” транзистора больше одного. none - нет соединения, top – затворы соединены сверху, bottom – затворы соединены снизу, both – затворы соединены сверху и снизу. Параметр будет доступен для изменения, если количество пальцев транзистора больше 1-го.
Drain/Source routing (sdrouting)	Соединение стоков или истоков многопальцевого транзистора	“both”	“none” “source” “drain” “both”	Включает соединение стоков или истоков у многопальцевого транзистора. Данный параметр доступен, если количество “пальцев” транзистора больше одного. none – нет соединения, source – истоки соединены, drain – стоки соединены, both – соединены стоки и истоки. Параметр будет доступен для изменения, если количество пальцев транзистора больше 1-го.
Drain contact (drain_cont)	Контакт к стоку транзистора	включено	включено/выключено	Определяет наличие контакта к стоку транзистора
Source contact (source_cont)	Контакт к истоку транзистора	включено	включено/выключено	Определяет наличие контакта к истоку транзистора

Sub contacts configuration (sub_cont_mode)	Конфигурация областей привязок и транзистора	“sourceFirst” (исток слева)	“sourceFirst”, “drainFirst”	Определяет порядок областей стока и истока в многопальцевом транзисторе (“sourceFirst” – исток слева и привязки наружу, “drainFirst” – сток слева и привязки внутрь) (см. рис. 4.1 (в))
---	--	--------------------------------	--------------------------------	---

Кнопка “Load defaults” позволяет установить значения по умолчанию для всех параметров элемента.

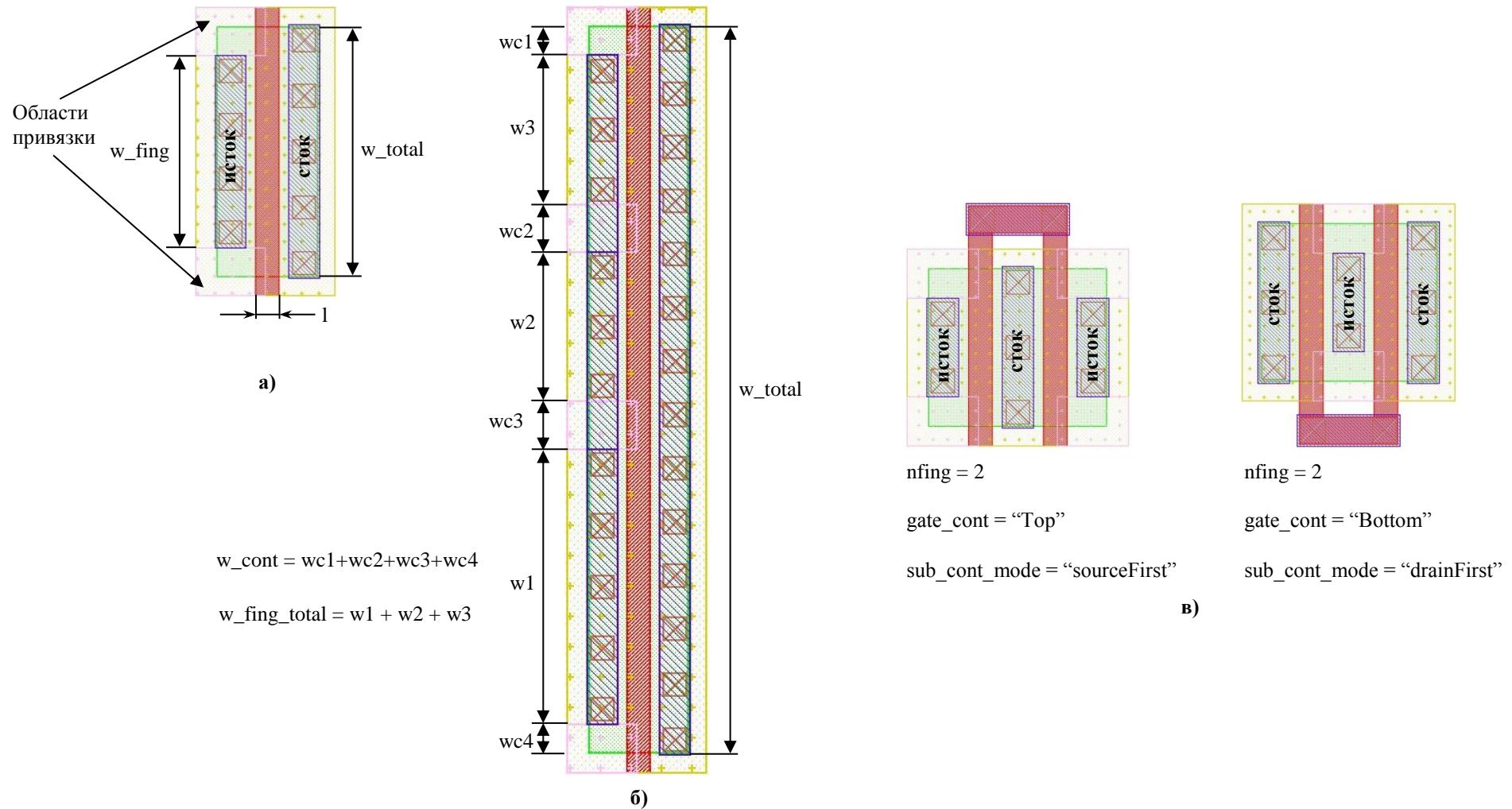


Рис. 4.1. Конструкция транзисторов А-типа (на примере N-канального транзистора, "nmos\_a").

#### 4.4.3 CDF-параметры МОП-транзисторов А-типа с несилицидированной областью стока (N, P - канальных) при создании электрической схемы (schematic view)

Имя параметра	Описание	Значение по умолчанию	Диапазон изменения (допустимые значения)	Комментарий
Effective finger width (w_fing)	Эффективная ширина “пальца”	n(p)mos_io_a	0.48 мкм	Эффективная ширина одного “пальца” транзистора без учета областей привязки (см. рис. 4.3 (а), (б))
		n(p)mos_io_a_hv	0.48 мкм	
		n(p)mos_io_a_vhv	0.48 мкм	
		n(p)mos	0.48 мкм	
		n(p)mos_hv	0.48 мкм	
		n(p)mos_vhv	0.48 мкм	
Length (l)	Длина “пальца”	n(p)mos_io_a	0.18 мкм	Длина канала одного “пальца” транзистора
		n(p)mos_io_a_hv	0.32 мкм	
		n(p)mos_io_a_vhv	0.50 мкм	
		n(p)mos	0.18 мкм	
		n(p)mos_hv	0.32 мкм	
		n(p)mos_vhv	0.50 мкм	
Number of parallel fingers (nfing)	Количество параллельных “пальцев”	1	nfing > 0 (целое число)	Количество параллельных “пальцев” (затворов) транзистора (см. рис. 4.3 (в))
Total width of one finger pwell cont (w_cont) [поле для ввода значений]	Суммарная ширина областей привязок	0.64 мкм		Суммарная ширина областей привязок одного “пальца” транзистора. Рассчитывается автоматически в зависимости от ширины и длины транзистора. Доступен только в Schematic Editor.
Total width of one finger	Определяет режим расчета	Calculated	Calculated/User defined	Calculated-автоматический расчет параметра w_cont

pwell cont [radio кнопка]	параметра w_cont			User defined-в этом режиме поле для ввода становится доступным для редактирования и пользователь может ввести свое значение. Данный режим введен для совместимости с проектами, разработанными с предыдущими версиями КСП. В данной версии КСП использовать этот режим не рекомендуется. Доступен только в Schematic Editor.
Total effective width (w_fing_total)	Суммарная эффективная ширина транзистора	0.48 мкм		Суммарная эффективная ширина всех “пальцев” транзистора без учета областей привязки. Параметр для справки.
Total width (inc. sub contacts) (w_total)	Суммарная ширина транзистора	1.12 мкм		Суммарная ширина всех “пальцев” транзистора с учетом областей привязки. Параметр для справки.

#### 4.4.4 CDF-параметры МОП-транзисторов А-типа с несилицидированной областью стока (N, P - канальных) при создании топологии (layout view) с помощью параметризованных ячеек (pcells)

Имя параметра	Описание	Значение по умолчанию	Диапазон изменения (допустимые значения)	Комментарий
Gate routing location (groutin)	Соединение затворов многопальцевого транзистора	“both”	“none” “top” “bottom” “both”	Определяет расположение соединения затворов у многопальцевого транзистора. Данный параметр доступен, если количество “пальцев” транзистора больше одного. none - нет соединения, top – затворы соединены сверху, bottom – затворы соединены снизу, both – затворы соединены сверху и снизу. Параметр будет доступен для изменения, если количество пальцев транзистора больше 1-го.
Drain/Source routing (sdroutin)	Соединение стоков или истоков многопальцевого транзистора	“both”	“none” “source” “drain” “both”	Включает соединение стоков или истоков у многопальцевого транзистора. Данный параметр доступен, если количество “пальцев” транзистора больше одного. none – нет соединения, source – истоки соединены, drain – стоки соединены, both – соединены стоки и истоки. Параметр будет доступен для изменения, если количество пальцев транзистора больше 1-го.
Drain contact (drain_cont)	Контакт к стоку транзистора	включено	включено/выключено	Определяет наличие контакта к стоку транзистора
Source contact (source_cont)	Контакт к истоку транзистора	включено	включено/выключено	Определяет наличие контакта к истоку транзистора

Sub contacts configuration (sub_cont_mode)	Конфигурация областей привязок и транзистора	“sourceFirst” (исток слева)	“sourceFirst”, “drainFirst”	Определяет порядок областей стока и истока в многопальцевом транзисторе (“sourceFirst” – исток слева и привязки наружу, “drainFirst” – сток слева и привязки внутрь) (см. рис. 4.3 (в))
--	--	-----------------------------	-----------------------------	---

Кнопка “Load defaults” позволяет установить значения по умолчанию для всех параметров элемента.

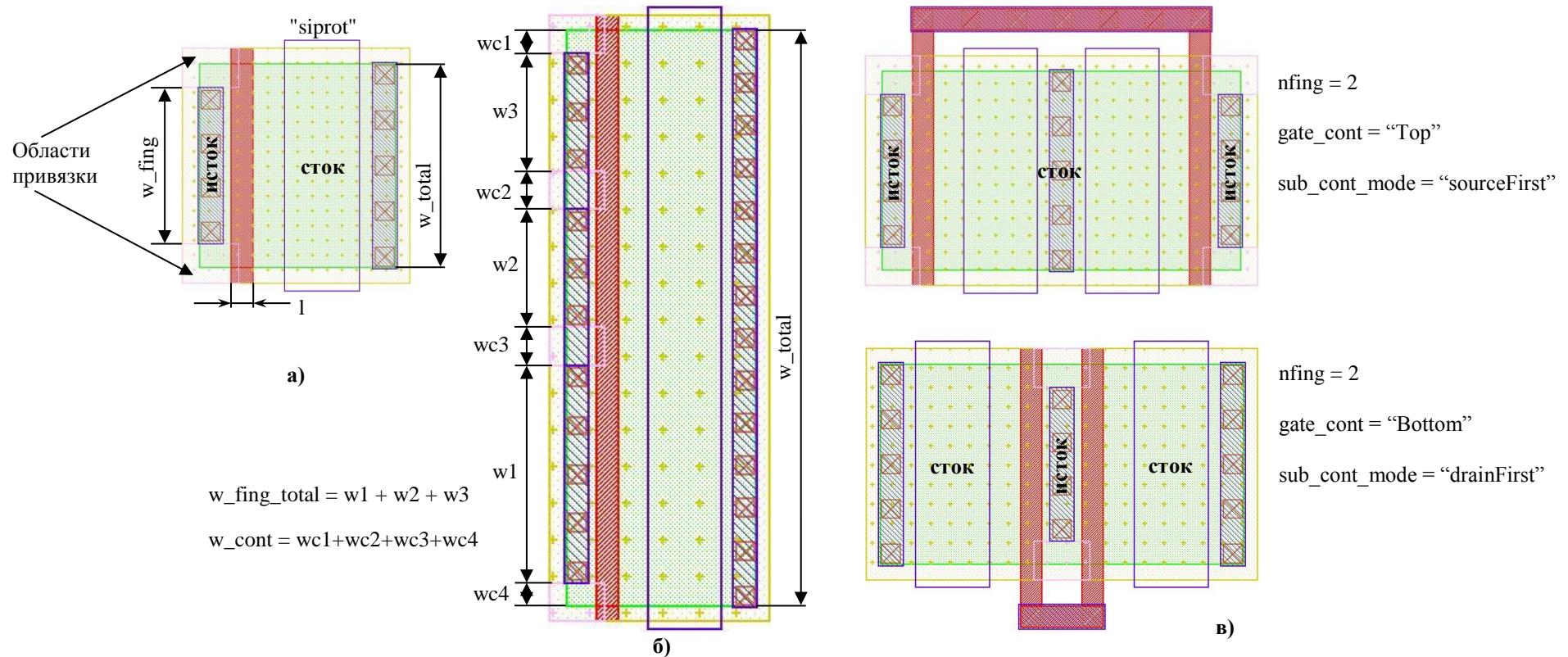


Рис. 4.3. Конструкция транзисторов А-типа с несилицидированной областью стока (на примере N-канального транзистора, "nmos\_io\_a").

#### 4.4.5 CDF-параметры МОП-транзисторов Н-типа (N, P - канальных) при создании электрической схемы (schematic view)

Имя параметра	Описание	Значение по умолчанию		Диапазон изменения	Комментарий
Width (w)	Ширина транзистора	0.52 мкм		мин. значение 0.52 мкм	максимальное значение определяется выражением: для n(p)mos_h W=56*L для nmos_h_hv W=5*L для pmos_h_hv W=20*L для nmos_h_vhv W=5*L для pmos_h_vhv W=10*L
Length (l)	Длина транзистора	n(p)mos_h	0.18 мкм	0.18 мкм – 10.0 мкм	Длина канала транзистора (см. рис. 4.4 (а))
		n(p)mos_h_hv	0.32 мкм	0.32 мкм – 10.0 мкм	
		n(p)mos_h_vhv	0.50 мкм	0.50 мкм – 10.0 мкм	
Multiplier (m)	Множитель	1		m > 0	Количество копий элемента, включенных параллельно (рис. 4.4 (б))

#### 4.4.6 CDF-параметры МОП-транзисторов Н-типа (N, P - канальных) при создании топологии (layout view) с помощью параметризованных ячеек (pcells)

Имя параметра	Описание	Значение по умолчанию	Диапазон изменения (допустимые значения)	Комментарий
Bulk contact (bulk_cont)	Контакт к областям привязки	Включено	Включено/выключено	Определяет наличие контакта к областям привязки транзистора
Source and drain contacts (sd_cont)	Контакт к стоку и истоку транзистора	Включено	Включено/выключено	Определяет наличие контакта к стоку и истоку транзистора
Gate routing	Соединение затворов многопальцевого транзистора	“both”	“none” “top” “bottom” “both”	Определяет расположение соединения затворов у многопальцевого транзистора. Данный параметр доступен, если количество “пальцев” транзистора больше одного. none - нет соединения top – затворы соединены сверху

				bottom – затворы соединены снизу both – затворы соединены сверху и снизу Параметр будет доступен для изменения, если Multiplier больше 1
S/D routing	Соединение стоков или истоков многопальцевого транзистора	“both”	“none” “source” “drain” “both”	Включает соединение стоков или истоков у многопальцевого транзистора. Данный параметр доступен, если количество “пальцев” транзистора больше одного. none – нет соединения source – истоки соединены drain – стоки соединены both – соединены стоки и истоки Параметр будет доступен для изменения, если Multiplier больше 1
Bulk routing	Соединение областей привязок	“both”	“none” “top” “bottom” “both”	Определяет расположение соединения областей привязок у многопальцевого транзистора. Данный параметр доступен, если количество “пальцев” транзистора больше одного. none - нет соединения top – соединение сверху bottom – соединение снизу both – соединение сверху и снизу Параметр будет доступен для изменения, если Multiplier больше 1

Кнопка “Load defaults” позволяет установить значения по умолчанию для всех параметров элемента.

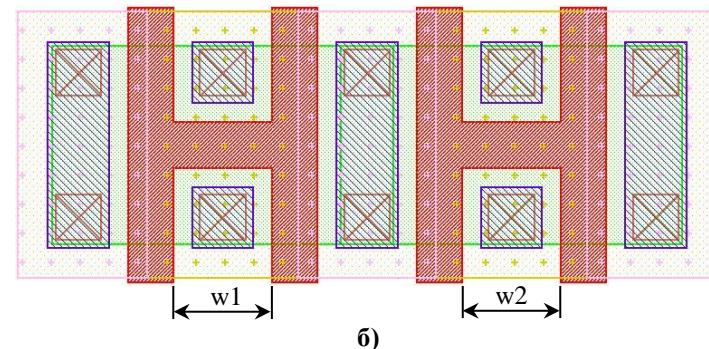
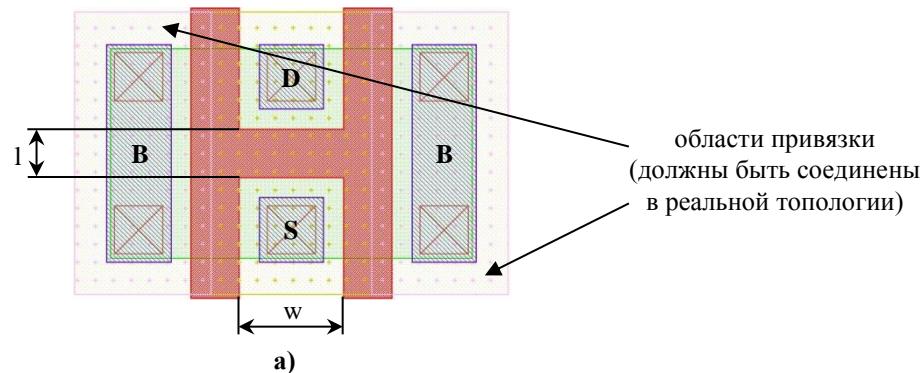


Рис. 4.4. Конструкция транзисторов H-типа (на примере N-канального транзистора, "nmos\_h").

#### 4.4.7 CDF-параметры диодов ( $N^+$ /P-карман, $P^+$ /N-карман) при создании электрической схемы (schematic view)

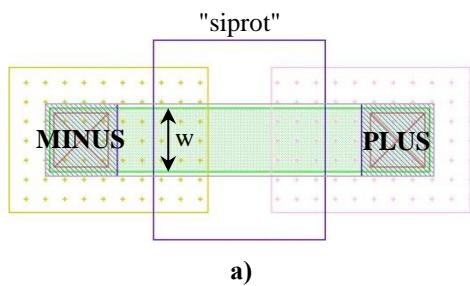
Имя параметра	Описание	Значение по умолчанию		Диапазон изменения	Комментарий
Diode width (w)	Ширина диода	dn(dp) 0.36 мкм		мин 0.36 мкм	Ширина перехода одного “пальца” (фрагмента) диода (рис. 4.6 (а))
		dn(p)_hv 0.36 мкм		мин 0.36 мкм	
		dn(p)_vhv 0.50 мкм		мин 0.50 мкм	
Multiplier (m)	Множитель	1		$m > 0$	В моделировании участвуют $m$ копий элемента, включенных параллельно

#### 4.4.8 CDF-параметры диодов ( $N^+$ /P-карман, $P^+$ /N-карман) при создании топологии (layout view) с помощью параметризованных ячеек (pcells)

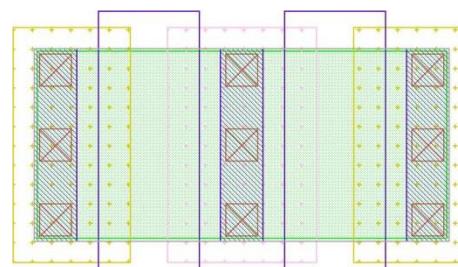
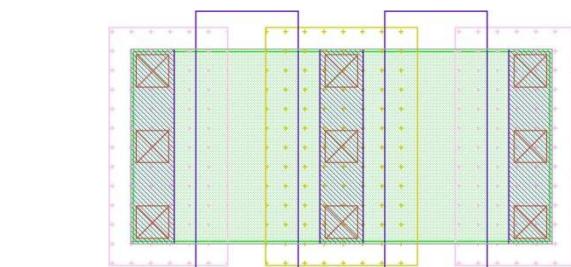
Указанные ниже параметры доступны после включения переключателя “Additional parameters for pcell” при работе в Virtuoso Layout Editor.

Имя параметра	Описание	Значение по умолчанию	Диапазон изменения (допустимые значения)	Комментарий
Left area type (n_or_p)	Порядок расположения областей анода и катода	“N+” (катод слева)	“N+”, “P+”	Определяет порядок размещения областей анода и катода в топологии диода (см. рис. 4.6 (б))
N+/P+ routing (nprouting)	Соединение n+ или p+ областей	“both”	“none” “n+” “p+” “both”	Соединение $m$ копий элемента параллельно. “none” – нет соединения “n+” - соединение n+ областей между собой “p+” - соединение p+ областей между собой “both” - соединение n+ и p+ областей между собой

Кнопка “Load defaults” позволяет установить значения по умолчанию для всех параметров элемента.



a)

m = 2  
Left area type = “N+”

б)

Рис. 4.6. Конструкция диодов (на примере диода  $N^+$ /P-карман, “dn”).

**4.4.9 CDF-параметры конденсаторов (поликремний - N-карман) при создании электрической схемы и (schematic view) и создании топологии (layout view) с помощью параметризованных ячеек (pcells)**

Имя параметра	Описание	Значение по умолчанию	Диапазон изменения (допустимые значения)	Комментарий
Recalculate capacitor	Метод расчета параметров конденсатора	“Value”	“Geometry”/“Value”	“Value” – при вводе значения емкости рассчитывается ширина при фиксированной длине. При вводе длины или ширины рассчитывается емкость. “Geometry” - при вводе значения емкости рассчитывается ширина при фиксированной длине. При вводе длины или ширины значение емкости фиксируется и рассчитывается либо ширина, либо длина конденсатора
Total Capacitor Value	Полная емкость конденсатора	cpoly_n	9.832fF	
		cpoly_n_hv	4.8fF	
		cpoly_n_vhv	2.701fF	
Capacitor value	Емкость конденсатора	cpoly_n	9.832fF	Емкость рассчитывается при следующих условиях: cpoly_n – при смещении 1.8в cpoly_n_hv - при смещении 3.3в cpoly_n_vhv - при смещении 5.0в
		cpoly_n_hv	4.8fF	
		cpoly_n_vhv	2.701fF	
Capacitor length	Длина конденсатора	1.0 мкм	мин. 1 мкм, максимальное значение определяется площадью конденсатора	рис 4.7
Capacitor width	Ширина конденсатора	1.0 мкм	мин. 1 мкм, максимальное значение определяется площадью конденсатора	рис 4.7
Multiplier	Множитель	1	m > 0	Количество копий элемента, включенных параллельно

Area	Площадь конденсатора	1 мкм <sup>2</sup>	cpoly_n	
			1-100 мкм <sup>2</sup>	1-1000 мкм <sup>2</sup>
			cpoly_n_hv	1-1000 мкм <sup>2</sup>
			cpoly_n_vhv	1-1000 мкм <sup>2</sup>

Кнопка “Load defaults” позволяет установить значения по умолчанию для всех параметров элемента.

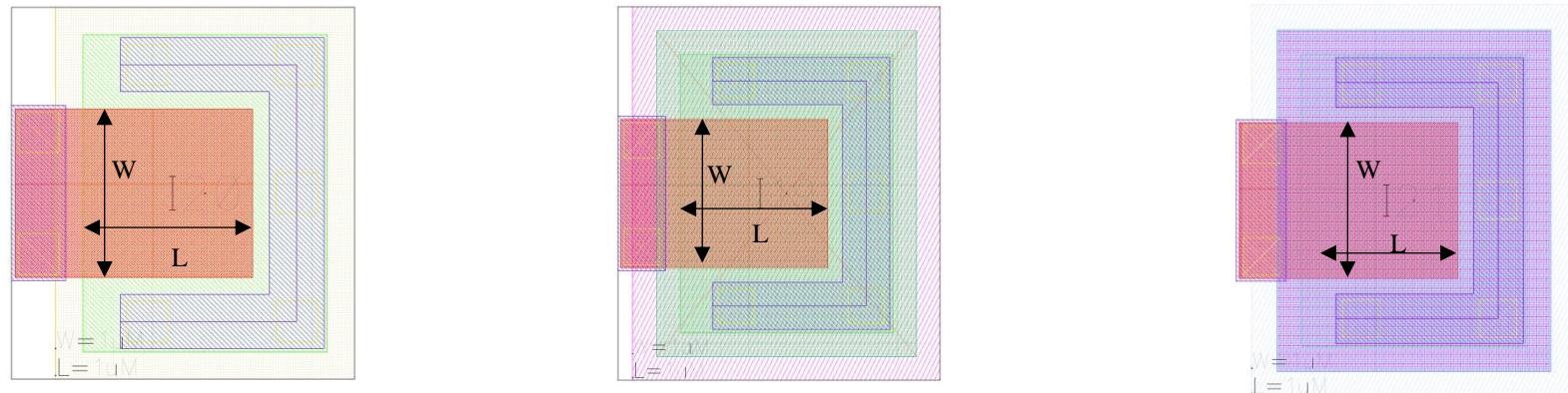


Рис. 4.7 Конструкция конденсаторов cpoly\_n, cpoly\_n\_hv, cpoly\_n\_vhv

**4.4.10 CDF-параметры резисторов при создании электрической схемы (schematic view) и создании топологии (layout view) с помощью параметризованных ячеек (pcells).**

Имя параметра	Описание	Значение по умолчанию		Диапазон изменения	Комментарий
Recalculate Resistor	Метод расчета параметров резистора	“Value”		“Geometry”/“Value”	“Value” – при вводе значения сопротивления рассчитывается ширина при фиксированной длине. При вводе длины или ширины рассчитывается сопротивление. “Geometry” - при вводе значения сопротивления рассчитывается ширина при фиксированной длине. При вводе длины или ширины значение сопротивления фиксируется и рассчитывается либо ширина, либо длина резистора.
Resistor Value (val)	Сопротивление резистора	rnpoly	295.7 ом		Оценочное значение сопротивления резистора, рассчитываемое на основе параметров для типового (номинального) случая
		rppoly	714.2 ом		
		rndiff	577.3 ом		
		rpdiff	222.7 ом		
		rhipob	4.535 ком		
		rmps	50.59 ом		
Total Resistor Value (val_tot)	Полное сопротивление резистора	rnpoly	295.7 ом		Рассчитывается по формуле $\frac{ns * val}{np}$
Width (w)	Ширина	rppoly	714.2 ом		
		rndiff	577.3 ом		
		rpdiff	222.7 ом		
		rhipob	4.535 ком		Ширина тела резистора (см. рис. 4.8)
		rmps	50.59 ом		
		rnpoly	0.28 мкм	мин. 0.28 мкм	
		rppoly	0.28 мкм	мин. 0.28 мкм	
		rndiff	0.36 мкм	мин. 0.36 мкм	

		rpdiff	0.36 мкм		
		rhipob	0.80 мкм	мин. 0.80 мкм	
		rnpss	0.28 мкм	мин. 0.28 мкм	
Length (l)	Длина	rnpoly	0.48 мкм	мин 0.48 мкм	Длина тела резистора (см. рис. 4.8)
		rppoly	0.48 мкм		
		rndiff	0.48 мкм		
		rpdiff	0.48 мкм		
		rnpss	0.48 мкм		
		rhipob	0.35 мкм		
Number of serial (ns)	Количество резисторов, соединенных последовательно	1		мин. 1	При вводе значения больше чем 1 параметр pr устанавливается в 1
Number of parallel (np)	Количество резисторов, соединенных параллельно	1		мин. 1	При вводе значения больше чем 1 параметр ns устанавливается в 1

Кнопка “Load defaults” позволяет установить значения по умолчанию для всех параметров элемента.

Поверхностное сопротивление, используемое при расчете:

Резистор	Поверхностное сопротивление	Комментарий
rmpoly	149 ом/□	Используются типовые значения параметра
rppoly	367 ом/□	
rndiff	428 ом/□	
rpdiff	162 ом/□	
rhipob	1000 ом/□	
rnpn	8 ом/□	

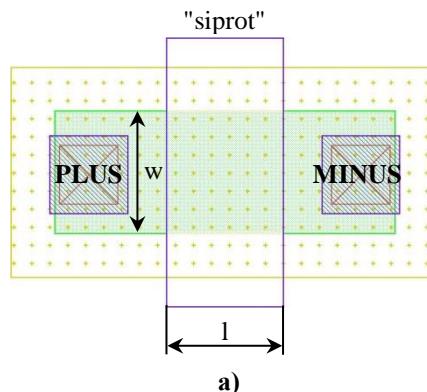


Рис. 4.8. Конструкция резисторов (на примере резистора на основе  $N^+$ -области без силицида, “rndiff”).

**4.4.11 CDF-параметры конденсаторов (*tim*) при создании электрической схемы (*schematic view*) и создании топологии (*layout view*) с помощью параметризованных ячеек (*pcells*)**

Имя параметра	Описание	Значение по умолчанию	Диапазон изменения (допустимые значения)	Комментарий
Recalculate capacitor	Метод расчета параметров конденсатора	“Value”	“Geometry”/“Value”	“Value” – при вводе значения емкости рассчитывается ширина при фиксированной длине. При вводе длины или ширины рассчитывается емкость. “Geometry” - при вводе значения емкости рассчитывается ширина при фиксированной длине. При вводе длины или ширины значение емкости фиксируется и рассчитывается либо ширина, либо длина конденсатора
Capacitor value (val)	Ёмкость	cmim5	11.55 фФ	мин. 11.55 фФ
		chmim5	25.71 фФ	мин. 25.71 фФ
Capacitor length (l)	Длина	3.5 мкм	мин. 3.5 мкм, максимальное значение определяется максимальной площадью кон-ра	Длина конденсатора
Capacitor width (w)	Ширина	3.5 мкм	мин. 3.5 мкм, максимальное значение определяется максимальной площадью кон-ра	Ширина конденсатора
Area (area)	Площадь	$12.25e^{-12} \text{ м}^2$	$12.25e^{-12} \text{ м}^2 - 2e^{-8} \text{ м}^2$	Площадь конденсатора
Perimeter (peri)	Периметр	1.4e-5 м	мин. 1.4e-5 м	Периметр конденсатора

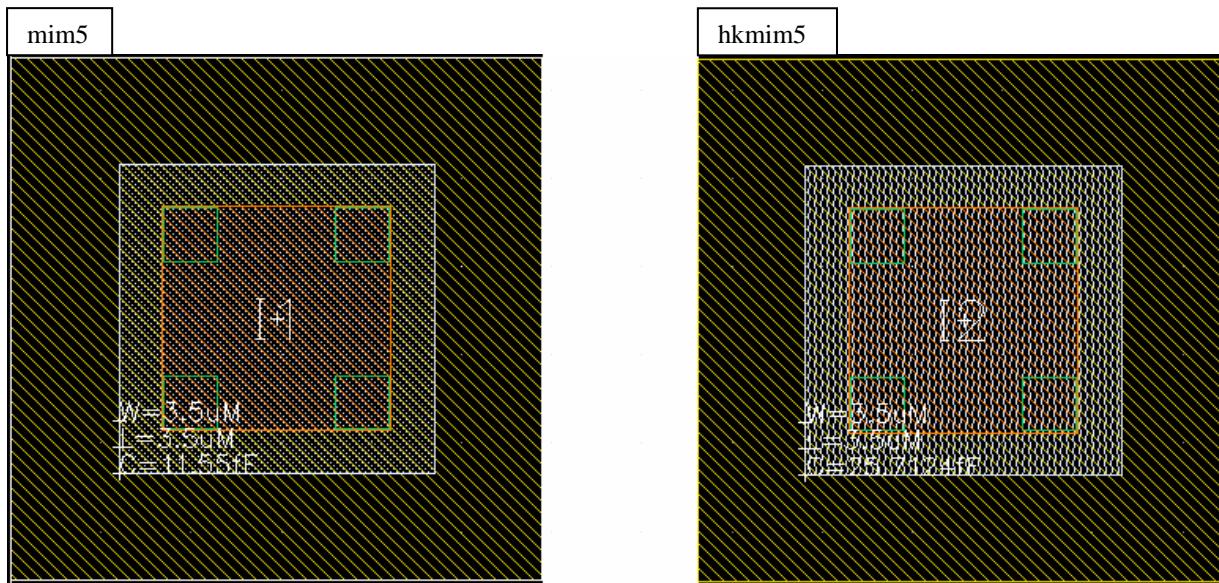


Рис. 4.9. Конструкция тіт конденсаторов. Контакты к нижней обкладке на рисунке не указаны.

**4.4.12 CDF-параметры металлических резисторов при создании электрической схемы (schematic view) и создании топологии (layout view) с помощью параметризованных ячеек (rcells)**

Имя параметра	Описание	Значение по умолчанию		Диапазон изменения (допустимые значения)	Комментарий
Recalculate Resistor	Метод расчета параметров резистора	“Value”		“Geometry”/“Value”	“Value” – при вводе значения сопротивления рассчитывается ширина при фиксированной длине. При вводе длины или ширины рассчитывается сопротивление. “Geometry” - при вводе значения сопротивления рассчитывается ширина при фиксированной длине. При вводе длины или ширины значение сопротивления фиксируется и рассчитывается либо ширина, либо длина резистора.
Resistor value (val)	Сопротивление резистора	m1res	144e-3 Ом	мин. 144e-3 Ом	Оценочное значение сопротивления резистора, рассчитываемое на основе параметров для типового (номинального) случая
		m2res	144e-3 Ом	мин. 144e-3 Ом	
		m3res	144e-3 Ом	мин. 144e-3 Ом	
		m4res	144e-3 Ом	мин. 144e-3 Ом	
		m5res	35e-3 Ом	мин. 35e-3 Ом	
		m6res	35e-3 ОЯм	мин. 35e-3 Ом	
Resistor length (l)	длина	0.64 мкм		мин. 0.64 мкм	Длина тела резистора (см. рис. 4.10). Тело резистора определяется слоем mres с purpose m1-m6 соответственно
Resistor width (w)	ширина	m1res	0.32 мкм	мин. 0.32 мкм	Ширина тела резистора (см. рис. 4.10). Тело резистора определяется слоем mres с purpose m1-m6
		m2res	0.32 мкм	мин. 0.32 мкм	

		m3res	0.32 мкм	мин. 0.32 мкм	соответственно
		m4res	0.32 мкм	мин. 0.32 мкм	
		m5res	0.64 мкм	мин. 0.64 мкм	
		m6res	0.64 мкм	мин. 0.64 мкм	

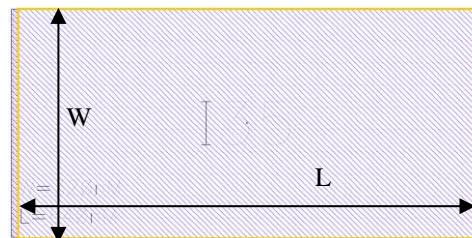


Рис. 4.10. Металлический резистор (пример резистора на основе 1-го металла).

## 5. Создание электрической схемы проекта

### 5.1 Создание библиотеки проекта

Перед тем как приступить к разработке нового проекта, необходимо создать пользовательскую библиотеку, в которой будут находиться все его компоненты. Для этого в окне CIW следует выбрать пункт меню *File->New->Library....*. В появившейся форме нужно указать имя создаваемой библиотеки (например “Lib\_SOI”), ее местонахождение (“.../work/my\_project”) и выбрать опцию “Attach to an existing techfile” (рис. 5.1).

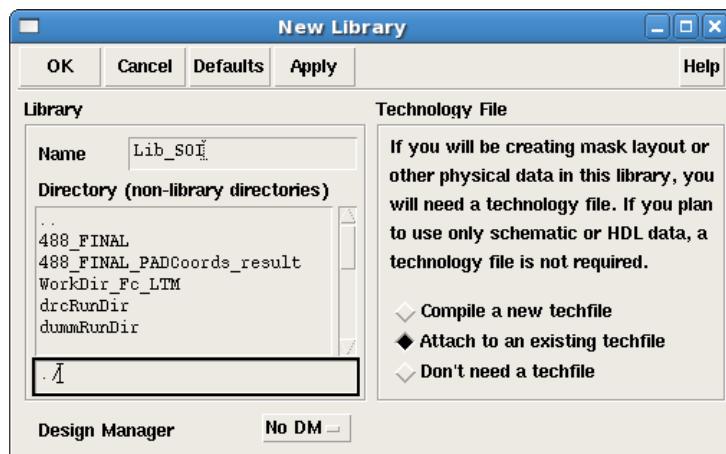


Рис. 5.1. Создание новой библиотеки.

После нажатия кнопки “OK” необходимо выбрать из предложенного списка библиотеку **LibMikron\_SOI\_018\_6M** в поле “Technology Library” (рис. 5.2).



Рис. 5.2. Привязка технологической библиотеки.

### 5.2 Создание электрической схемы

После создания библиотеки можно приступить к вводу электрической схемы проекта. Для этого используется редактор Virtuoso Schematic Editor. Основные операции при создании электрической схемы включают: создание ячейки с соответствующим

видом, выбор и расположение элементов, редактирование свойств объектов, прорисовка шин межсоединений, добавление выводов и текстовых меток и т.д.

В качестве примера создадим электрическую схему логического элемента 2И-НЕ.

Для этого необходимо:

- 1) В окне CIW выбрать пункт меню *File->New->Cellview....*
- 2) В появившейся форме необходимо задать имя созданной библиотеки (“Lib\_SOI”), имя ячейки (“Design\_SOI”) и название представления (по умолчанию задается “schematic”), а в поле “Tool” выбрать Composer-Schematic (рис. 5.3).

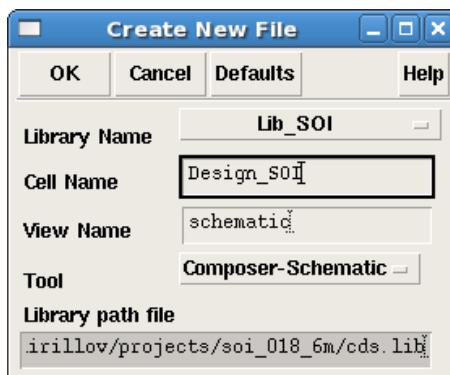


Рис. 5.3. Создание электрической схемы проекта.

- 3) В редакторе Virtuoso Schematic Editor ввести электрическую схему элемента 2И-НЕ, используя примитивы из библиотеки **LibMikron\_SOI\_018\_6M** (рис. 5.4).

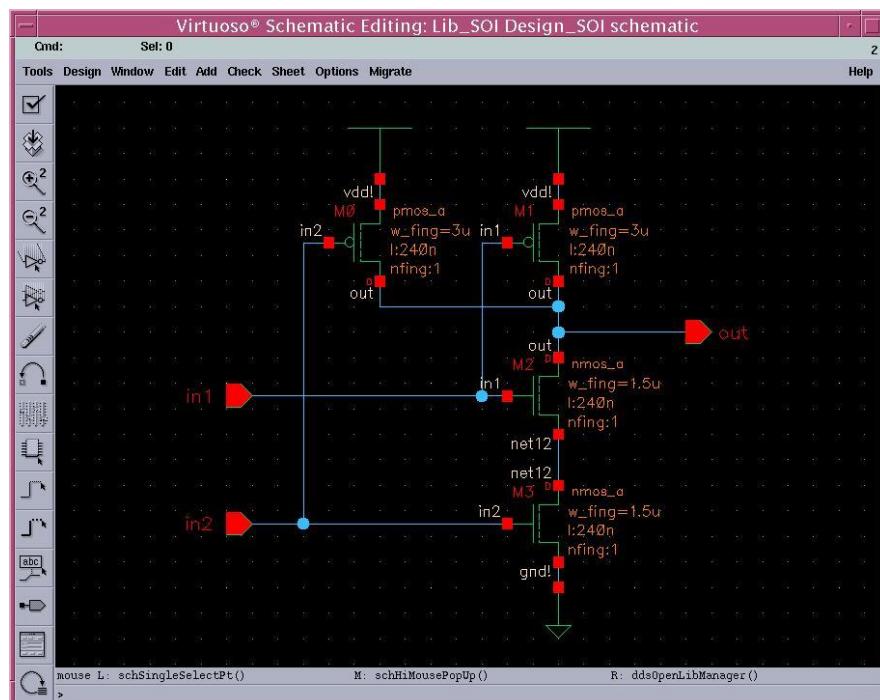


Рис. 5.4. Электрическая схема проекта.

- 4) При необходимости элементы электрической схемы можно “выключать” из схемотехнического представления. Для этого необходимо выделить элемент и

выбрать пункт меню “Deactivate/Activate” (вкладка Soi018). Также данный пункт доступен в ниспадающем меню “Instance”, вызываемом средней кнопкой мыши. Данная функциональность доступна только из окна Virtuoso Schematic Editor.

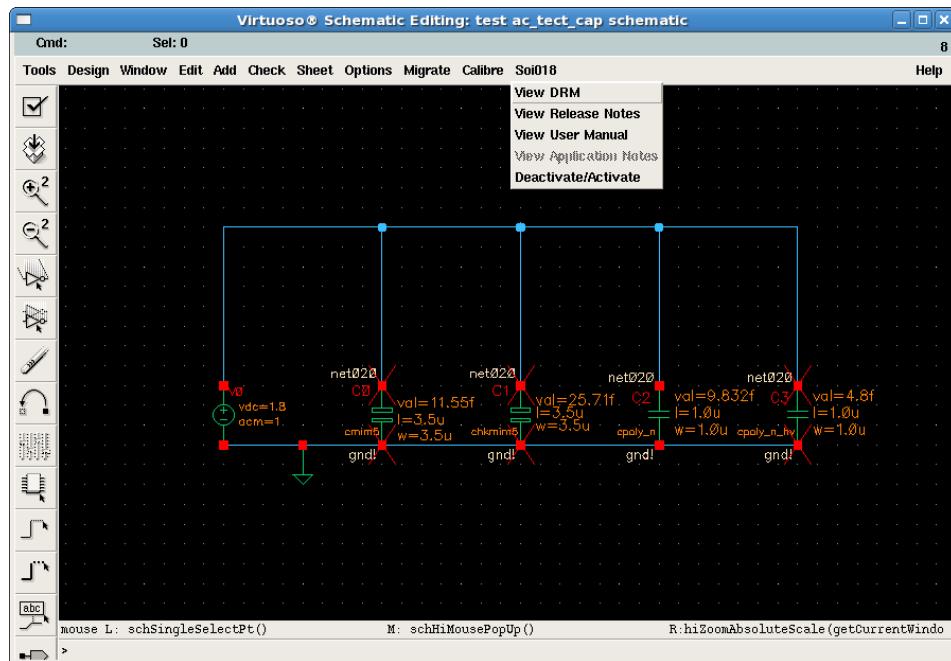


Рис. 5.5. Опция “Deactivate/Activate”

### 5.3 Создание символа элемента

После завершения ввода электрической схемы логического элемента необходимо создать его символьное представление. Для этого необходимо:

- 1) В окне редактора Virtuoso Schematic Editor выбрать пункт меню *Design->Create Cellview->From Cellview....*. В возникшем окне задать название символьного представления (по умолчанию “symbol”) и используемый для его создания инструмент Composer-Symbol в поле “Tool / Data Type” (рис. 5.6).



Рис. 5.6. Создание символьного представления элемента.

- 2) Затем в форме “Symbol Generation Options” указать расположение выводов символьного представления элемента (рис. 5.7).

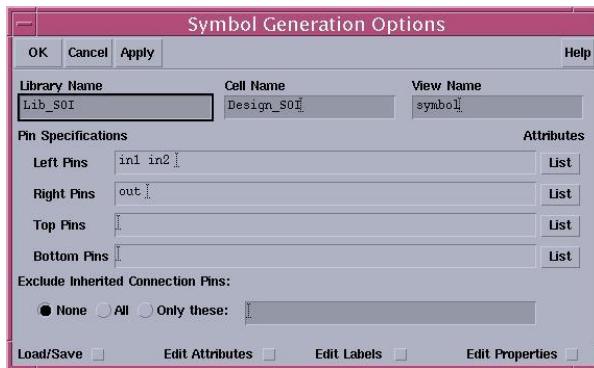


Рис. 5.7. Установка параметров символьного представления элемента.

- 3) После установки всех параметров и нажатия кнопки “OK” будет автоматически создан шаблон символьного представления элемента, который затем может быть отредактирован пользователем в соответствии с его функциональностью (рис. 5.8).

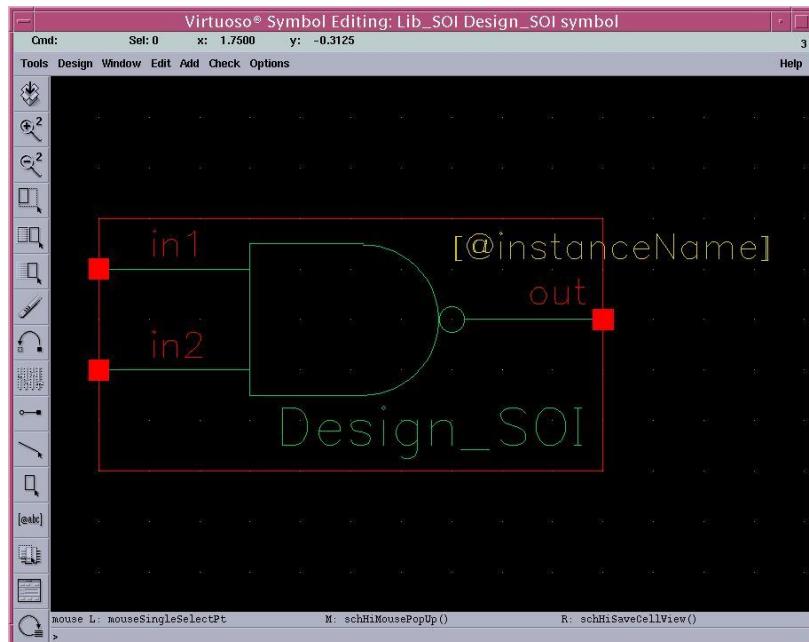


Рис. 5.8. Прорисовка символьного представления элемента.

#### 5.4 Создание схемы тестовых воздействий

Последний шаг – это создание электрической схемы для моделирования полученного элемента (схемы тестовых воздействий). Для создания схемы тестовых воздействий необходимо создать новый проект, в котором задать все необходимые источники напряжения/тока, нагрузочные элементы и т.д. В общем случае схема тестовых воздействий содержит: моделируемый элемент (например, логический элемент 2И-НЕ), источники земли и питания, источники постоянного/импульсного напряжения/тока,

выходную нагрузку. Пример схемы тестовых воздействий для рассматриваемого в данном разделе примера изображен на рис. 5.9.

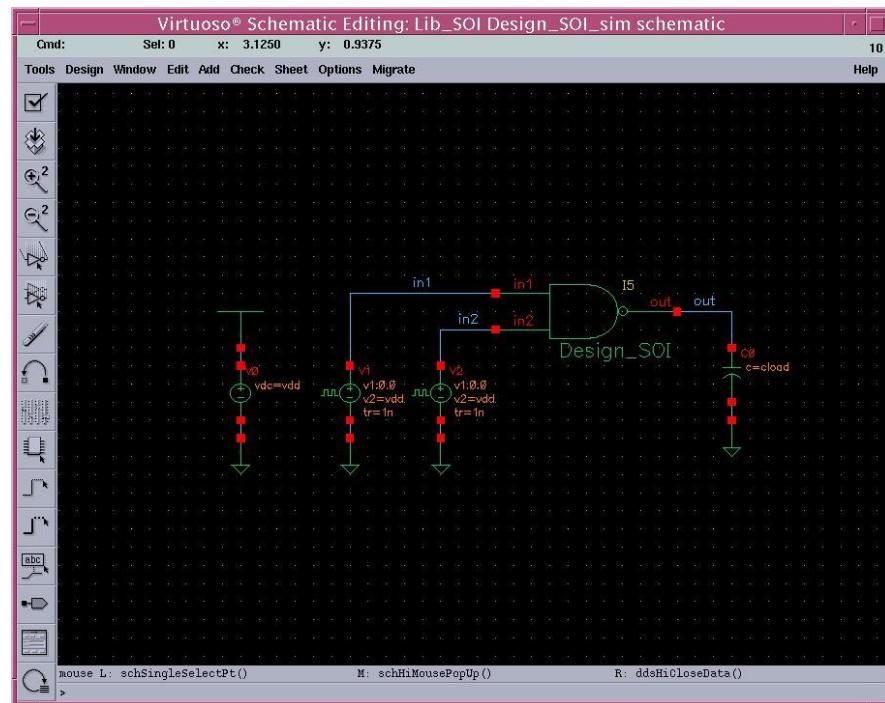


Рис. 5.9. Пример схемы тестовых воздействий для логического элемента 2И-НЕ.

## 6. Моделирование проекта средствами САПР Cadence Spectre

После создания электрической схемы и схемы тестовых воздействий проекта можно переходить к следующему этапу проектирования – схемотехническому моделированию с использованием описанных в предыдущем разделе Spice-моделей элементов библиотеки.

Далее описывается процедура моделирования проекта с помощью симулятора Spectre из состава САПР Cadence. Для запуска моделирования необходимо:

- 1) Открыть подготовленную схему тестовых воздействий проекта в Virtuoso Schematic Editor.
- 2) Выбрать пункт меню *Tools->Analog Environment*, после чего появится главное окно Analog Design Environment (рис. 6.1).



Рис. 6.1. Главное окно ADE сразу после запуска.

- 3) В главном окне ADE выбрать пункт меню *Setup->Simulator/Directory/Host...*. В появившейся форме установить *spectre* в качестве симулятора (рис. 6.2).

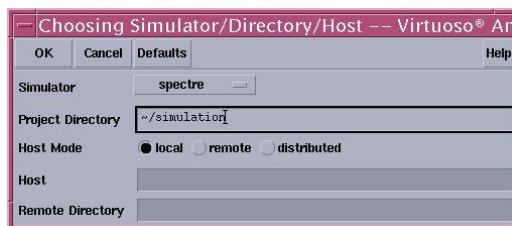


Рис. 6.2. Форма для выбора симулятора.

- 4) Задать тип анализа и опции моделирования. В качестве примера рассмотрим временное моделирование для выбранной тестовой схемы. Для этого нужно выбрать пункт меню *Analyses->Choose...* и в открывшемся окне задать тип анализа, точность моделирования, а также все необходимые опции (рис. 6.3). Кроме того, если в проекте используются переменные, то их также следует задать с

помощью пункта меню *Variables->Edit....*. Для отображения на графике выводов схемы выбрать пункт меню *Outputs->To Be Plotted->Select On Schematic* и указать на схеме нужные цепи (рис. 6.4).

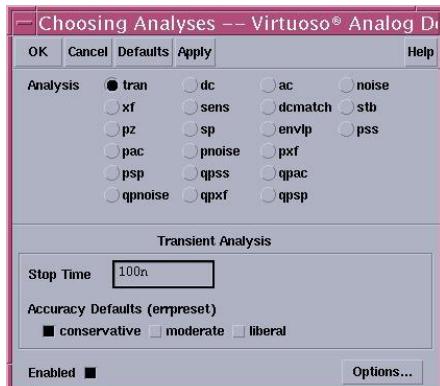


Рис. 6.3. Форма для выбора типа анализа и опций моделирования.

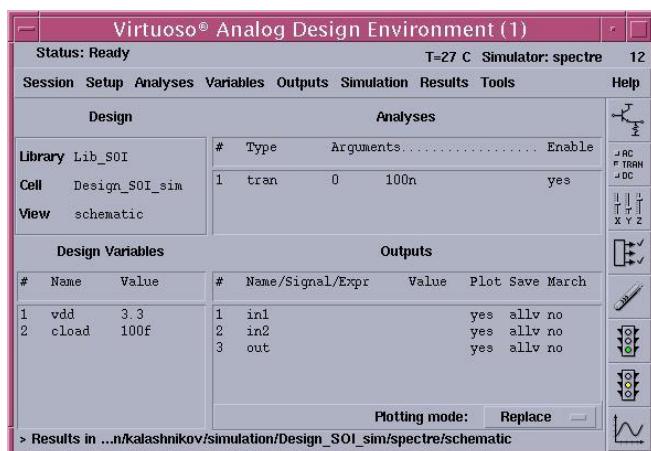


Рис. 6.4. Главное окно ADE после установки всех необходимых параметров моделирования.

- 5) Проверить и изменить, в случае необходимости, подключаемые при моделировании типы моделей.

С помощью диалогового окна “Model Library Setup” (появляется при выборе пункта меню *Setup->Model Libraries...* в главном окне ADE) пользователю предоставляется возможность подключить необходимые модели вручную (рис. 6.5). Для этого нужно задать путь к модельному файлу верхнего уровня в поле “Model Library File”, имя секции в поле “Section (opt.)” и нажать кнопку “Add”. По умолчанию при запуске Analog Design Environment будут подключены “typ”-модели для всех типов устройств (секция “typ”):

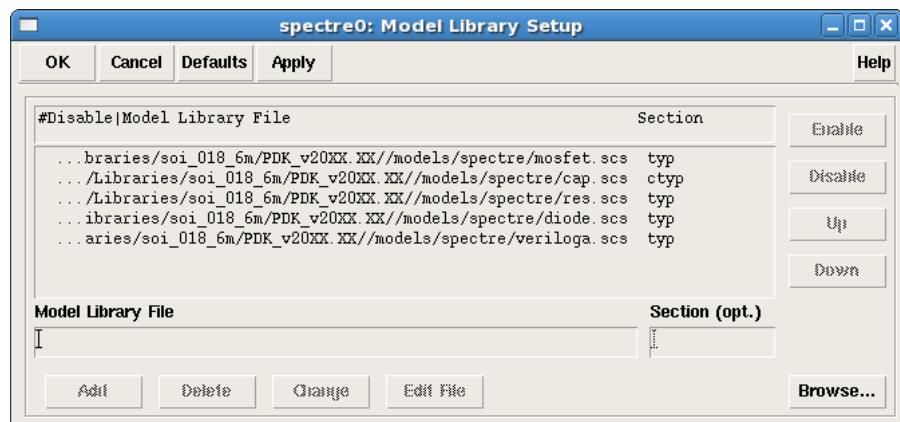


Рис. 6.5. Форма для подключения моделей вручную.

- 6) Запустить процесс моделирования, выбрав пункт меню *Simulation->Netlist and Run*.

После окончания моделирования появится окно с результатами (рис. 6.5).



Рис. 6.5. Окно с результатами моделирования.

## 7. Создание топологии проекта

В данном разделе описывается автоматический способ создания топологии с помощью Cadence Virtuoso XL Layout, состоящий из трех основных частей:

- **Schematic–Driven–Layout:** генерация топологии элементов проекта из электрической схемы
- **Components Placement:** расположение элементов в топологии
- **Auto & Manual Route:** автоматическая или ручная трассировка соединений между элементами топологии

### 7.1 Генерация элементов из электрической схемы

В данном разделе описывается автоматический способ создания топологии из электрической схемы проекта. Для реализации указанного маршрута необходимо:

- 1) Открыть электрическую схему проекта.
- 2) В окне Composer Schematic выбрать пункт меню *Tools->Design Synthesis->Layout XL* (рис. 7.1). Появится окно, где необходимо задать имя ячейки и ее топологическое представление (“layout”). После этого откроется окно топологического редактора Virtuoso XL Layout Editor.

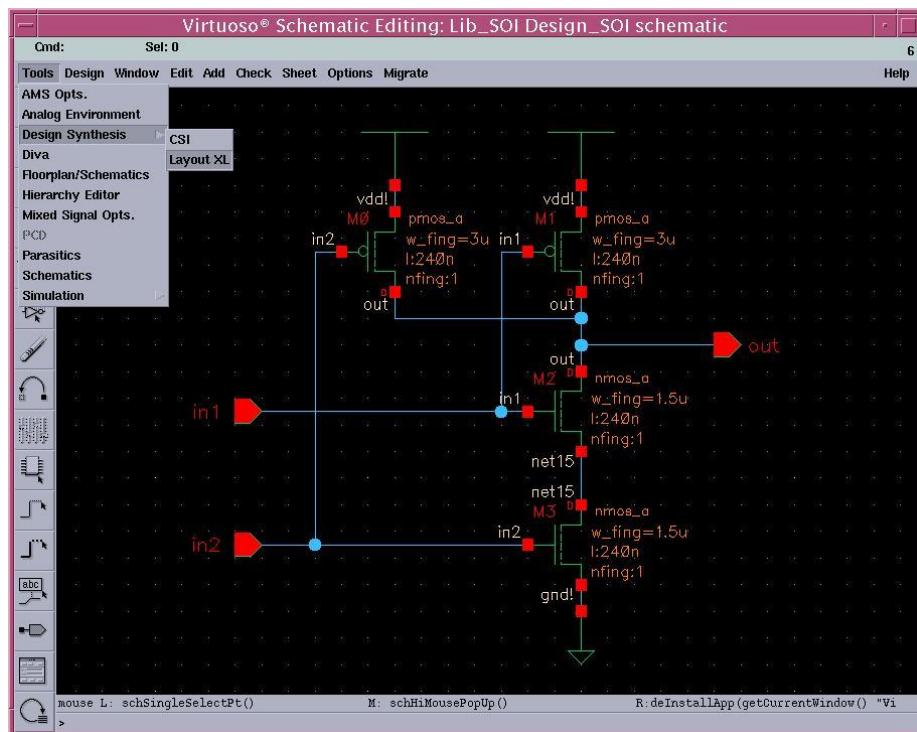


Рис. 7.1. Запуск Virtuoso XL Layout из редактора электрической схемы.

- 3) В появившемся окне Virtuoso XL Layout выбрать пункт меню *Design->Gen from source....*. В открывшемся диалоговом окне нужно задать все необходимые

параметры для генерации топологии: слой для прорисовки выводов, размеры выводов, слой границы ячейки, параметры меток выводов и т.д. (см. рис. 7.2). После выбора всех необходимых параметров генерации в окне Virtuoso XL появятся топологические представления элементов электрической схемы (рис. 7.3).

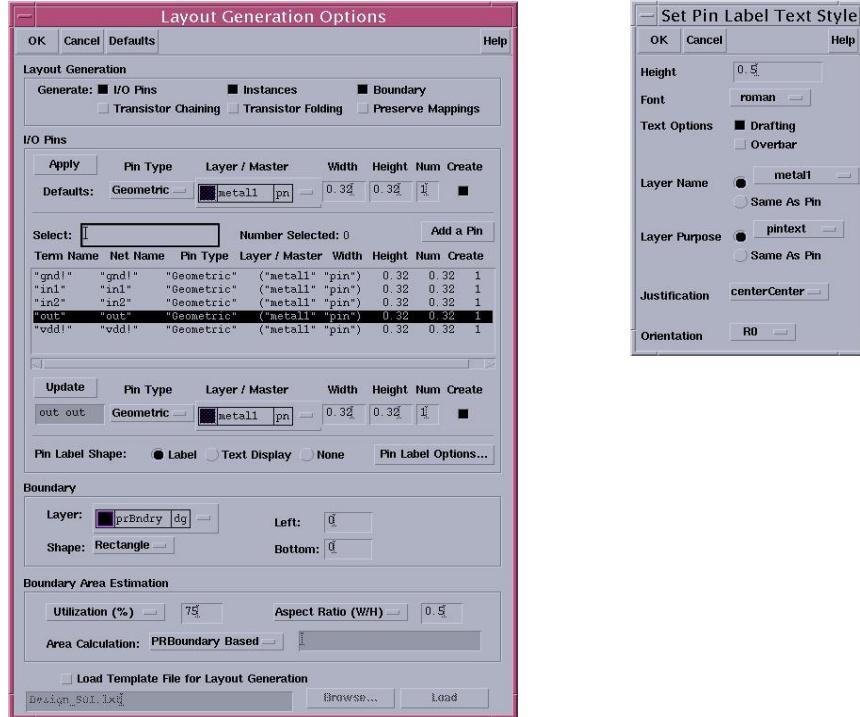


Рис. 7.2. Установка параметров для генерации топологии.

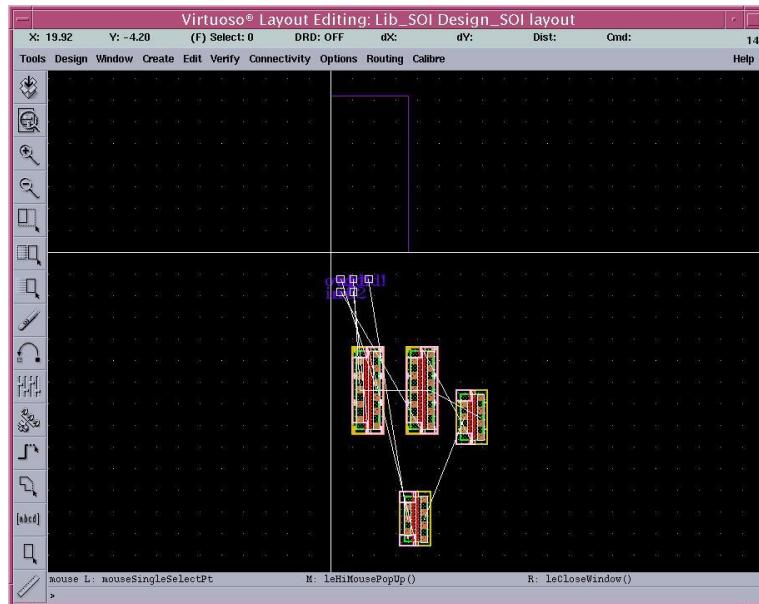


Рис. 7.3. Результат генерации топологии с помощью Virtuoso XL Layout.

## 7.2 Расположение элементов в топологии

Следующим этапом проектирования топологии является размещение элементов. На этом этапе необходимо расположить все компоненты схемы и их выводы внутри границ устройства (см. рис. 7.4). Белые линии в топологии обозначают соединения между элементами. Если генерация топологии прошла успешно, а соединения отсутствуют, то следует убедиться, что в окне настроек “Display Options” (пункт меню *Options->Display*) в секции “Display Controls” включено отображение соединений (кнопка “Nets” должна быть нажата).

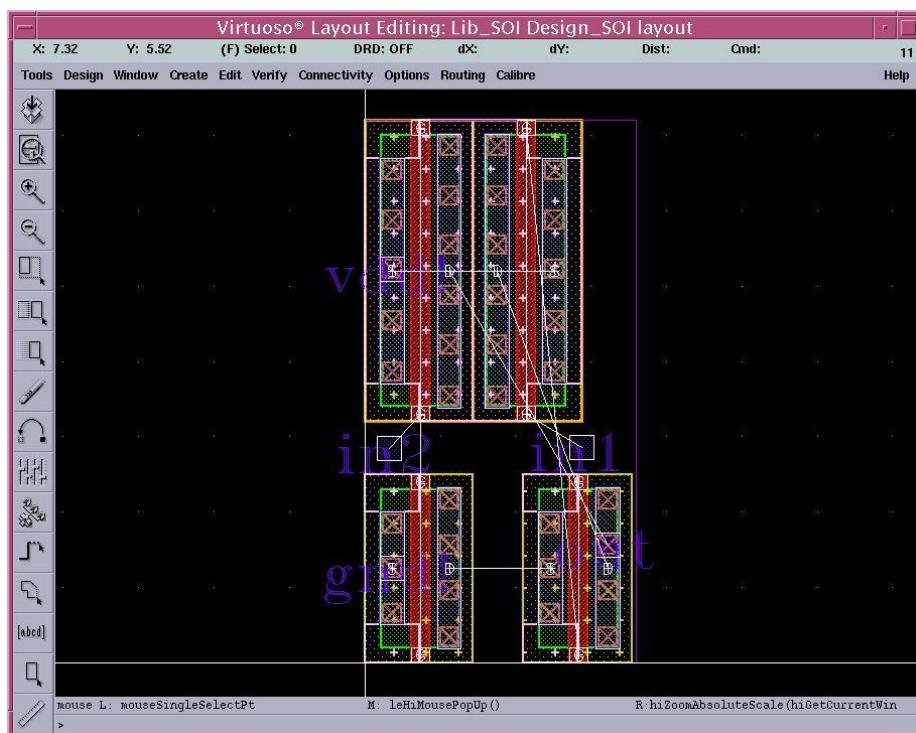


Рис. 7.4. Этап размещения элементов в топологии.

## 7.3 Использование Stretch Handles

На данный момент во всех параметризованных ячейках транзисторов поддерживается возможность проведения процедуры stretch – изменения отдельных параметров прямо через топологический редактор. Например, можно увеличить или уменьшить длину металлического контакта или области стоков и истоков транзистора. Также процедура stretch предусмотрена для всех металлических и поликремниевых шин маршрутизации (если число “пальцев” транзистора больше 1).

Чтобы stretch handles отобразить на экране, необходимо в топологическом редакторе Cadence Virtuoso выбрать пункт *Options -> Display*. В появившемся окне в секции **Display Controls** сделать активным пункт **Stretch Handles** (рис. 7.5)

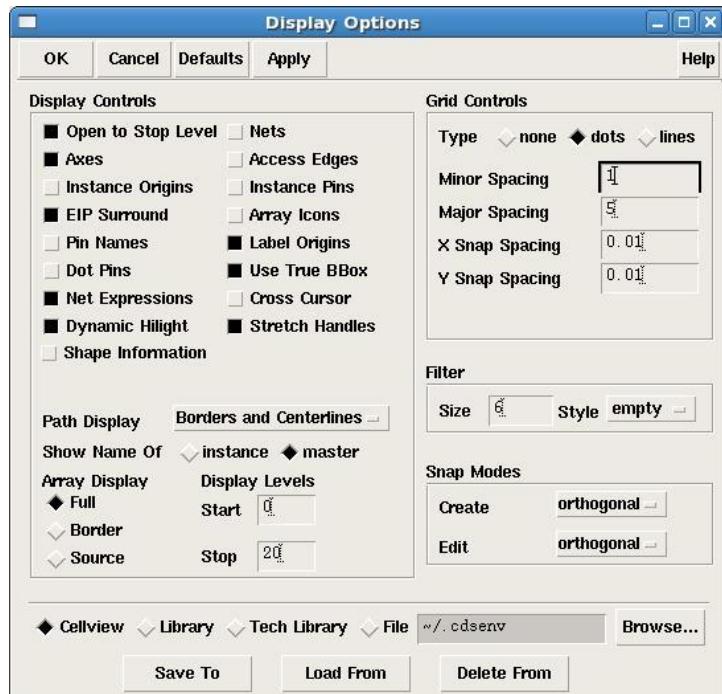


Рис 7.5 Окно настройки дисплея Cadence Virtuoso.

После включения опции stretch handle в параметризованных ячейках транзисторов будут отображаться stretch метки, за которые можно тянуть в направлении оси X или Y (в зависимости от того как расположена stretch метка) и изменять графическое изображение нужным образом (рис. 7.6)

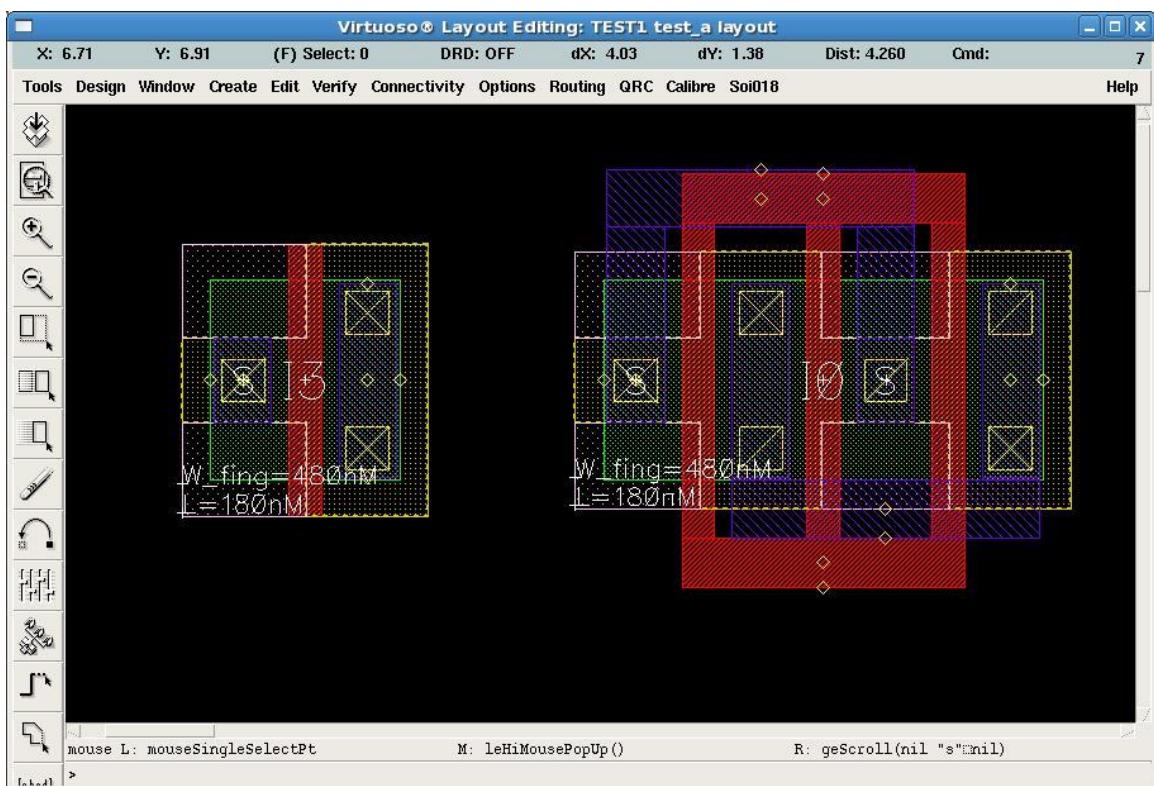


Рис.7.6. Транзисторы со stretch метками.

Чтобы приступить к stretch процедуре, необходимо выбрать пункт меню *Edit -> Stretch*, либо воспользоваться иконкой “*Stretch*” в панели инструментов. Затем выбрать соответствующую stretch-метку и двигать ее в необходимом направлении (рис. 7.7 и 7.8)

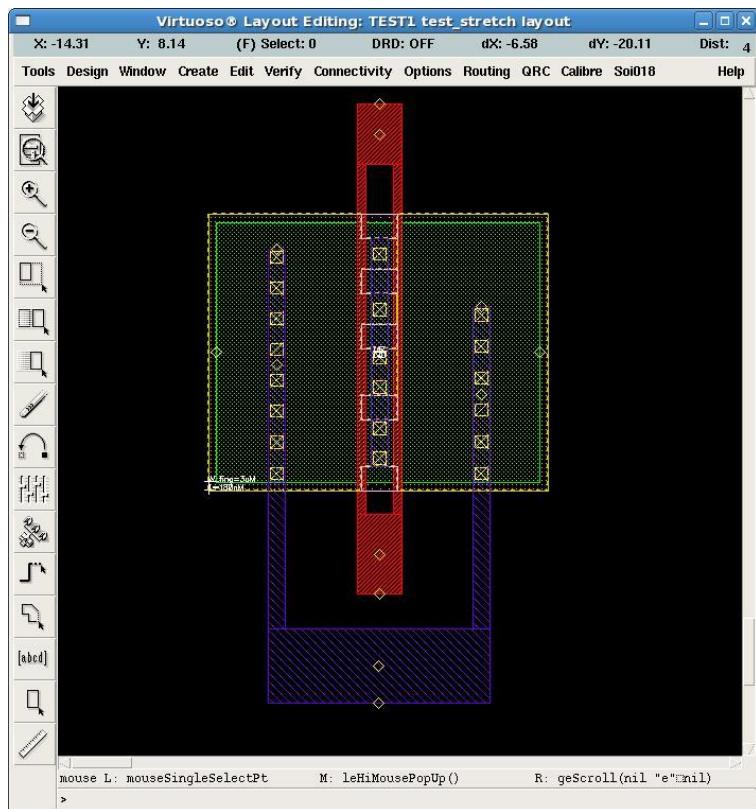


Рис. 7.7 Пример применения *stretch* процедуры для *pmos\_a* транзистора.

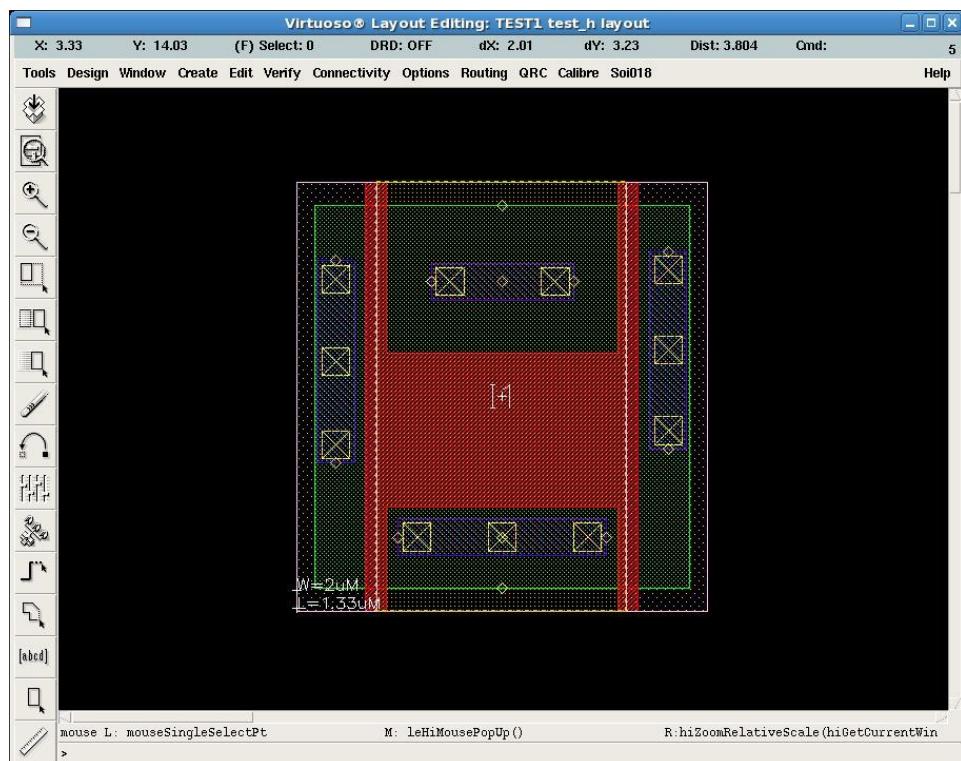


Рис. 7.8. Пример применения *stretch* процедуры для *pmos\_h* транзистора.

#### 7.4 Автоматическая и ручная трассировка соединений

После размещения элементов в топологии необходимо сформировать соединения между ними. Текущая версия КСП не поддерживает автоматическую трассировку, поэтому соединения необходимо сделать вручную с использованием редактора топологии Virtuoso Layout Editor.

## 8. Импорт/экспорт файлов в формате GDSII

Информация для импорта/экспорта файлов в формате GDSII в топологическую базу данных Cadence содержится в файле streamInOut.map (см. рис. 2.1). При правильной настройке КСП данный файл подключается автоматически.

### 8.1 Экспорт топологии проекта в файл формата GDSII

Для экспорта топологии в файл формата GDSII необходимо:

- 5) В окне CIW выбрать пункт меню *File->Export->Stream....*
- 6) В появившейся форме необходимо задать рабочий каталог, имя библиотеки, имя транслируемой ячейки, топологический вид ячейки, имя выходного файла, имя файла отчета (рис. 8.1).



Рис. 8.1. Основное окно трансляции топологии в файл формата GDSII.

- 7) Нажать кнопку “User-Defined Data”. В появившейся форме в поле “Layer Map Table” указать полный путь к файлу трансляции streamInOut.map (в случае, если он по каким-либо причинам не был установлен автоматически). Чтобы сохранить в GDSII-файл информацию о портах/выводах схемы (раздел “Connectivity” в свойствах портов/выводов) необходимо ввести в поле “Keep pin information as attribute number” значение “10” вместо “0”. После заполнения всех необходимых полей нажать кнопку “OK” (рис. 8.2).
- 8) Запустить процесс трансляции топологии в файл формата GDSII, нажав кнопку “OK” в окне “Virtuoso Stream Out”. После окончания работы следует просмотреть файл отчета на предмет наличия в нем предупреждений или ошибок, возникших в процессе трансляции.

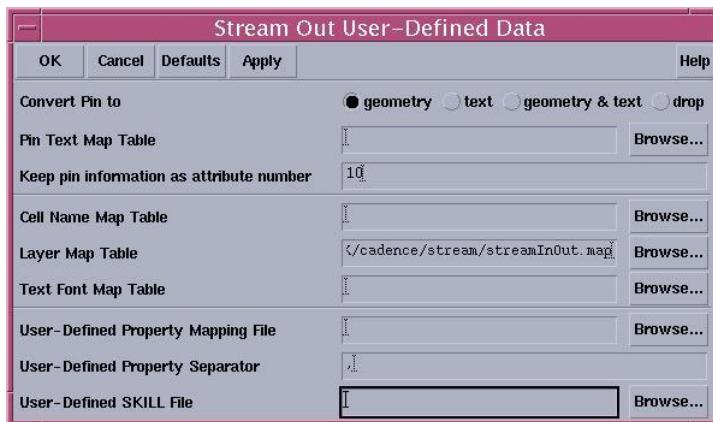


Рис. 8.2. Форма для задания пользовательских данных при трансляции.

## 8.2 Импорт топологии проекта из файла формата GDSII

Для импорта топологии из файла формата GDSII необходимо:

- 1) В среде Cadence создать пользовательскую библиотеку, в которую будет транслироваться файл GDSII, и прикрепить к ней технологическую библиотеку <имя\_KСП>\_tech или выбрать уже существующую библиотеку (в этом случае может произойти замена имеющейся информации в библиотеке, если ячейки имеют одинаковые имена). При импорте файла GDSII в пользовательскую библиотеку, к которой не прикреплена технологическая библиотека, произойдет потеря служебной информации, необходимой для верификации топологии проекта.
- 2) В окне CIW выбрать пункт меню *File->Import->Stream....*
- 3) В появившейся форме задать рабочий каталог, путь к импортируемому файлу, при необходимости — имя ячейки верхнего уровня, имя библиотеки, в которую будет импортироваться топология, имя файла отчета (рис. 8.3).



Рис. 8.3. Основное окно трансляции файла GDSII в топологическую базу Cadence.

- 4) Нажать кнопку “User-Defined Data”. В появившейся форме в поле “Layer Map Table” указать полный путь к файлу трансляции streamInOut.map. Чтобы восстановить в топологии информацию о портах/выводах схемы (если она должным образом была сохранена при создании файла GDSII), необходимо ввести в поле “Restore Pin Attribute” значение “10” вместо “0”. После заполнения всех необходимых полей нажать кнопку “OK” (рис. 8.4).

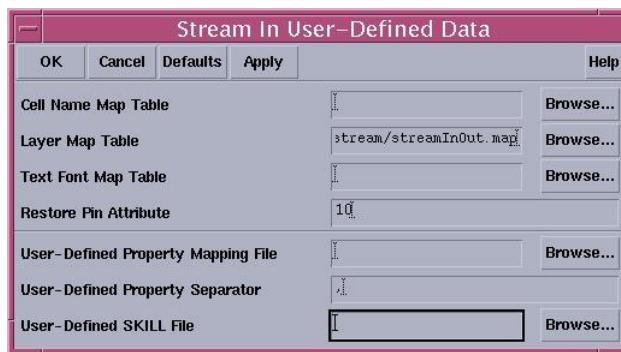


Рис. 8.4. Форма для задания пользовательских данных при импорте файла GDSII.

- 5) Запустить процесс трансляции файла GDSII в топологическую базу Cadence, нажав кнопку “OK” в окне “Virtuoso Stream In”. После окончания работы следует просмотреть файл отчета на предмет наличия в нем предупреждений или ошибок, возникших в процессе трансляции.

## 9. Физическая верификация и экстракция проекта средствами САПР Mentor Graphics Calibre

В данном разделе описан маршрут проведения физической верификации и экстракции проекта с использованием графического интерфейса САПР Mentor Graphics Calibre. Использование данного маршрута предполагает интеграцию Calibre в среду Cadence Virtuoso.

Для интеграции меню Calibre в окно редактора топологии Virtuoso Layout Editor необходимо в файл *.cdsinit* (находящийся либо в домашнем каталоге пользователя, либо в каталоге, откуда производится запуск Cadence) добавить следующую строку:

```
load( strcat( getShellEnvVar("MGC_HOME") "/shared/pkgs/icv/tools/querieskl/calibre.skl" ) )
```

Предварительно следует проверить наличие и правильность значения переменной окружения *MGC\_HOME*, содержащей путь к установленному пакету САПР Mentor Graphics.

По умолчанию меню Calibre будет добавляться только при открытии стандартного топологического представления ячейки (“*maskLayout*”) в окне редактора Virtuoso Layout Editor. Чтобы меню Calibre было доступно и при открытии других типов топологических представлений в различных редакторах (например, параметризованных ячеек или топологии в редакторе Virtuoso XL Layout), необходимо указать их с помощью переменной *mgcCalibreMenuViewType* до загрузки скрипта *calibre.skl*. Ниже приведен пример установок в файле *.cdsinit* для подключения меню Calibre при использовании наиболее распространенных типов топологических представлений и редакторов:

```
mgcCalibreMenuViewType = list("maskLayout" "maskLayoutXL" "maskLayoutParamCell")
load( strcat( getShellEnvVar("MGC_HOME") "/shared/pkgs/icv/tools/querieskl/calibre.skl" ) )
```

Стоит отметить, что указанные выше настройки уже включены в файл *.cdsinit*, входящий в состав данного КСП (.../PDK\_<версия>/env/.cdsinit). Поэтому при использовании поставляемых вместе с КСП файлов настройки меню Calibre будет интегрировано в Cadence Virtuoso автоматически. Более подробная информация об интеграции Calibre в среду Cadence Virtuoso содержится в соответствующем разделе документации Calibre Interactive User’s Manual по САПР Mentor Graphics Calibre.

Перед началом работы с Calibre необходимо убедиться в наличии и правильности указания пути к файлу трансляции топологии в GDSII (при использовании поставляемых вместе с КСП файлов настройки данный путь будет прописан автоматически). Для этого в окне Virtuoso Layout Editor необходимо выбрать пункт меню *Calibre->Setup->Layout Export....*. После этого появится форма для задания настроек трансляции топологии (см. рис. 9.1). В поле “Layer Map File” должен быть задан путь к файлу трансляции топологии (файл StreamInOut в структуре PDK). Только после этого можно переходить непосредственно к работе с Calibre.

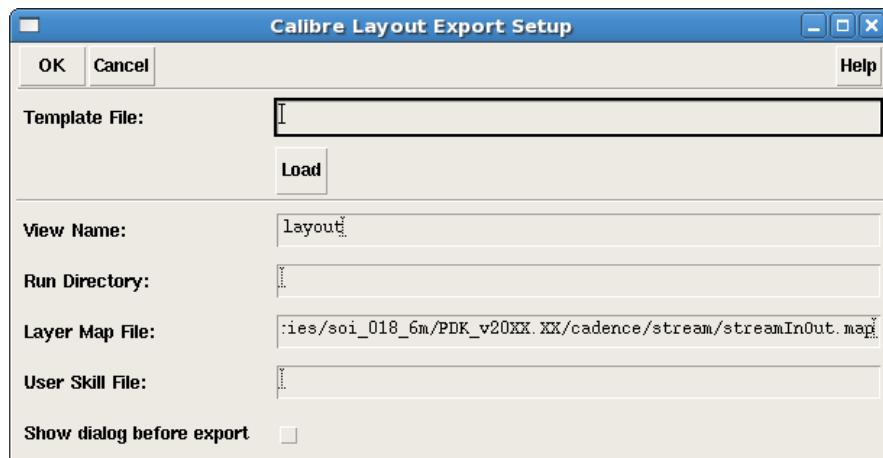


Рис. 9.1. Форма для задания настроек трансляции топологии.

## 9.1 Проверка топологии на соответствие КТО (DRC-проверка)

Для DRC-проверки проекта с помощью Calibre необходимо:

- 1) Открыть топологию проекта в Virtuoso Layout Editor.
- 2) Выбрать в меню *Calibre->Run DRC*.
- 3) В появившемся окне конфигурирования можно задать необходимые установки (ключи) для запуска DRC-проверки и нажать кнопку “OK” (например, включить проверку плотности слоев, антенных правил и т.д., рис. 9.2). Описание ключей, используемых при DRC-проверке, приведено в разделе 9.2.



Рис. 9.2. Конфигурационное окно Calibre для DRC-проверки.

- 4) При правильной настройке КСП поле “DRC Rules File” на вкладке “Rules” в основном окне Calibre DRC заполняется автоматически и не требует вмешательства пользователя. Также пользователю предлагается указать в поле “DRC Run Directory” рабочий каталог, куда Calibre будет помещать всю создаваемую в процессе верификации информацию, либо оставить его значение, заданное по умолчанию (рис. 9.3).

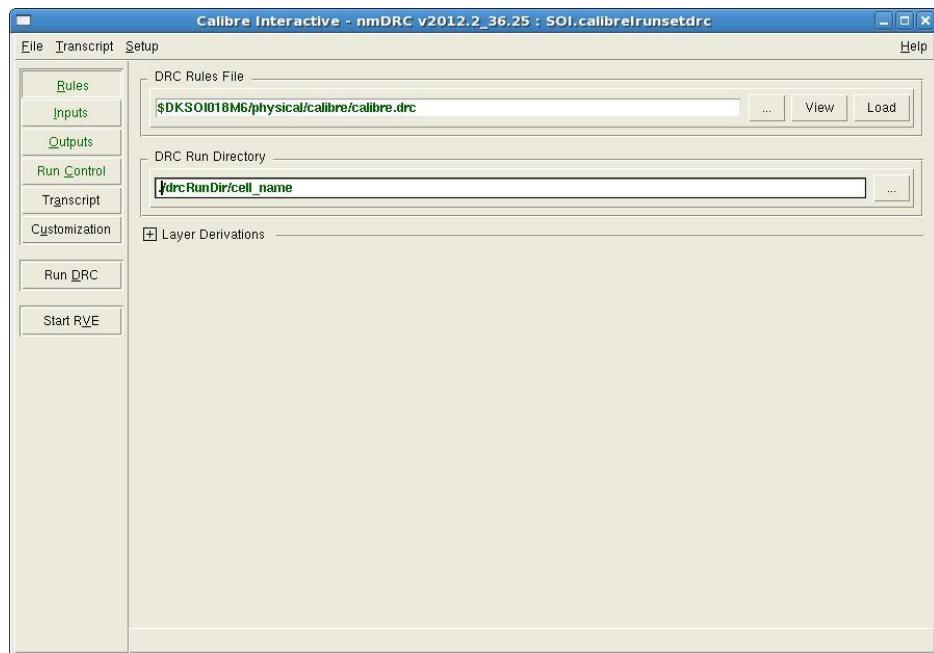


Рис. 9.3. Вкладка для указания пути к DRC-файлу и рабочему каталогу.

- 5) На вкладках “Inputs”, “Outputs”, “DRC Options” (вкладка доступна после выбора пункта меню *Setup->DRC Options*) задать все необходимые параметры для DRC-проверки: имя ячейки верхнего уровня, имена файлов отчетов, максимальное количество выводимых ошибок и т.д. (рис. 9.4).

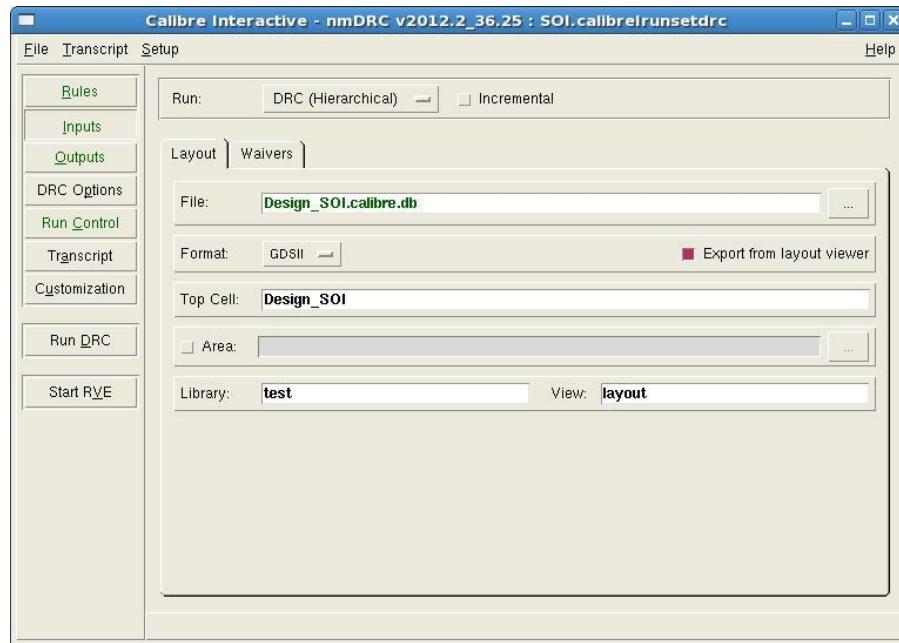


Рис. 9.4. Вкладка для указания основных параметров DRC-проверки.

- 6) Проверить и при необходимости включить дополнительные проверки, выключенные по умолчанию, выбрав пункт меню *Setup->Select Checks...*, либо воспользовавшись кнопкой “Customization” (рис. 9.5).
- 7) Запустить DRC-проверку, нажав кнопку “Run DRC”.
- 8) После окончания проверки автоматически появится окно Calibre DRC RVE, в котором отобразятся результаты DRC-проверки (рис. 9.6).
- 9) При обнаружении ошибок в топологии необходимо исправить их, отредактировав топологию, после чего повторно запустить DRC-проверку и убедиться, что ошибок в топологии больше не содержится.

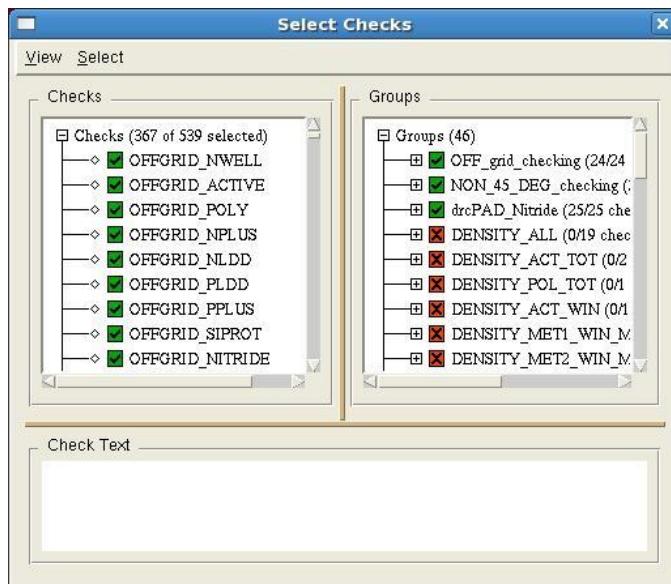


Рис. 9.5. Форма для выбора DRC-проверок.

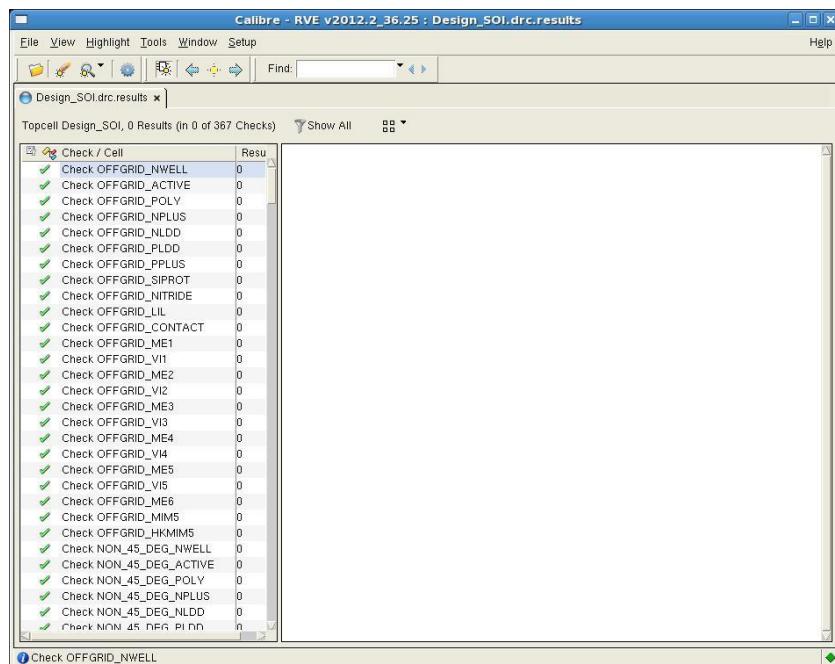


Рис. 9.6. Окно Calibre DRC RVE с результатами DRC-проверки

### 9.1.1 Описание ключей, используемых при DRC-проверке

Для корректной DRC-проверки топологии в КСП предусмотрено использование следующих ключей (устанавливаются при запуске или нажатием кнопки “Customization” основного окна Calibre DRC, см. рис. 9.2):

- **Check ANTENNA Rules** – проверка “антенных” правил (учитывается эффект накопления заряда). По умолчанию проверка выключена. Рекомендуется проверку “антенных” правил проводить до предпоследнего металла.

- **Check DENSITY Rules** – проверка правил по плотности заполнения слоев. По умолчанию проверка выключена. Для финализации топологии выполнение проверки обязательно;
- **Check DUMMY Rules** – проверка правил формирования фиктивных областей. По умолчанию проверка выключена. Для финализации топологии выполнение проверки обязательно;
- **Check Metal Slot Rules** - используется для проверки правил проектирования широких металлических шин. Для финализации топологии выполнение проверки рекомендовано;
- **Check drcPad\_ClassA1 Rules** – проверка правил проектирования контактных площадок. По умолчанию проверка выключена. Для финализации топологии выполнение проверки обязательно;
- **MicroPad Rules** – проверка правил проектирования микропадов. Если проверка включена, то проверяемый проект считается опытным образцом и использование микропадов разрешено, при этом выполняются соответствующие проверки правил проектирования. Если проверка выключена, то присутствие микропадов в топологии недопустимо. По умолчанию проверка выключена.

## 9.2 Проверка соответствия топологии и электрической схемы (LVS-проверка)

Для проверки соответствия топологии и электрической схемы, а также последующей экстракции паразитных элементов НЕОБХОДИМО наличие текстовых меток с именами портов/выводов в топологии ячейки верхнего уровня (проверяемой ячейки). Метки должны быть прорисованы в слое соответствующего металла со свойством “pintext” (см. таблицу 3.3) и находиться непосредственно на слое данного металла (точка привязки метки должна попадать внутрь геометрии цепи).

Для LVS-проверки проекта с помощью Calibre необходимо:

- 1) Открыть топологию проекта в Virtuoso Layout Editor.
- 2) Выбрать в меню *Calibre->Run LVS*.
- 3) В появившемся окне конфигурирования можно задать необходимые установки для запуска LVS-проверки и нажать кнопку “OK”. В данной версии КСП введена возможность установки необходимой точности при сравнении параметров соответствующих устройств (рис. 9.7).

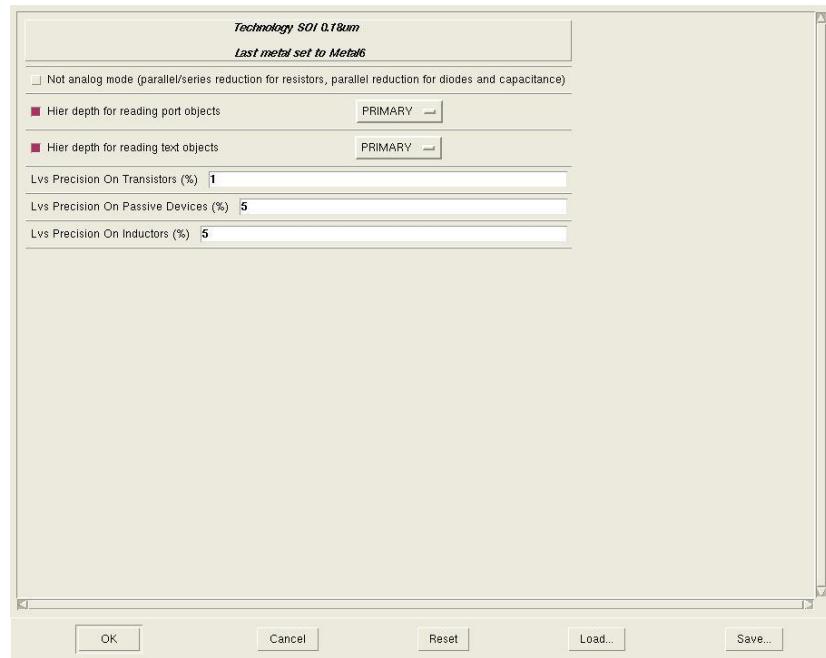


Рис. 9.7. Конфигурационное окно Calibre для LVS-проверки.

- 4) При правильной настройке КСП поле “LVS Rules File” на вкладке “Rules” в основном окне Calibre LVS заполняется автоматически и не требует вмешательства пользователя. Также пользователю предлагается указать в поле “LVS Run Directory” рабочий каталог, куда Calibre будет помещать создаваемую в процессе верификации информацию, либо оставить его значение по умолчанию (рис. 9.8).

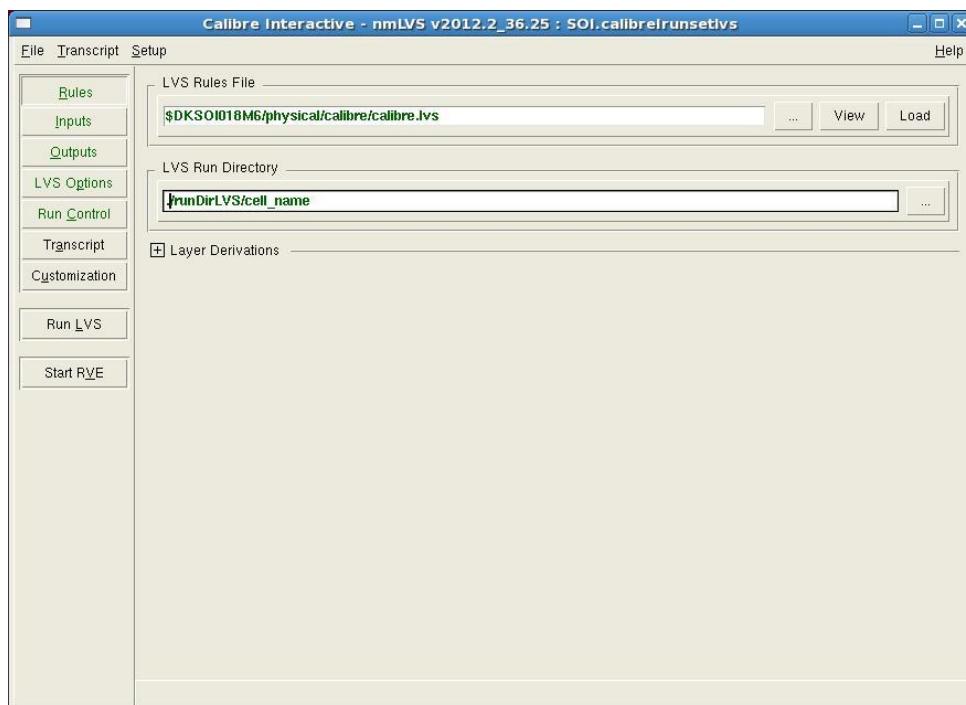


Рис. 9.8. Вкладка для указания пути к LVS-файлу и рабочему каталогу.

- 5) На вкладках “Inputs”, “Outputs”, “LVS Options” (вкладка доступна после выбора пункта меню *Setup->LVS Options*) задать все необходимые параметры для LVS-проверки: имя ячейки верхнего уровня в топологии и электрической схеме, имена файлов отчетов, максимальное количество выводимых ошибок, опции сравнения и т.д. (рис. 9.9).

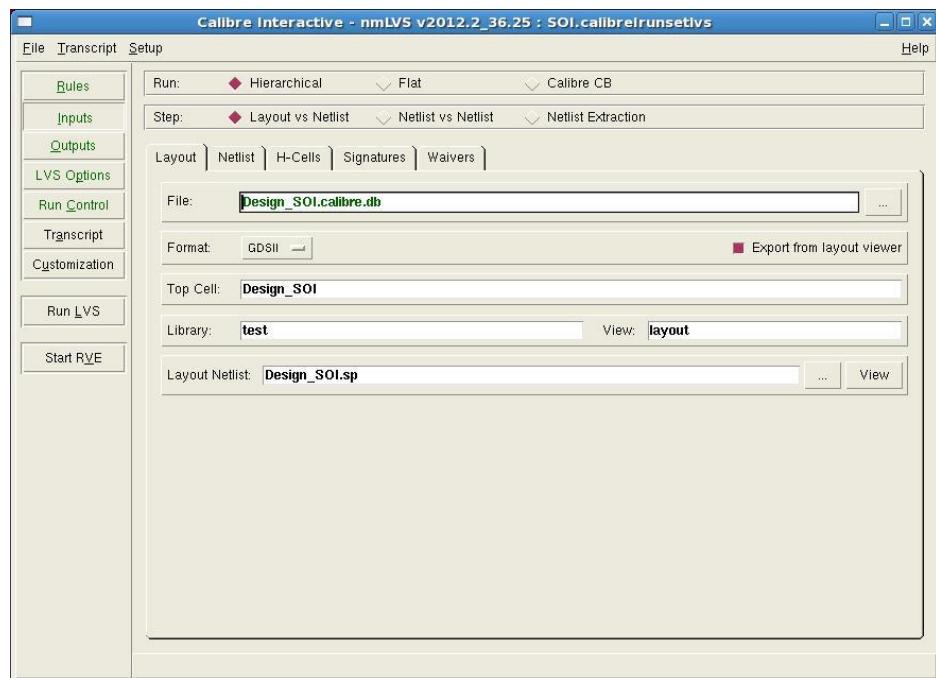


Рис. 9.9. Вкладка для указания основных параметров LVS-проверки.

- 6) Запустить LVS-проверку, нажав кнопку “Run LVS”.
- 7) После окончания проверки автоматически появится окно Calibre LVS RVE, в котором отобразятся результаты LVS-проверки (сравнения) (рис. 9.10).
- 8) При обнаружении ошибок необходимо исправить их, отредактировав топологию или в отдельных случаях электрическую схему, после чего повторно запустить LVS-проверку и убедиться, что ошибок при сравнении больше не возникает.

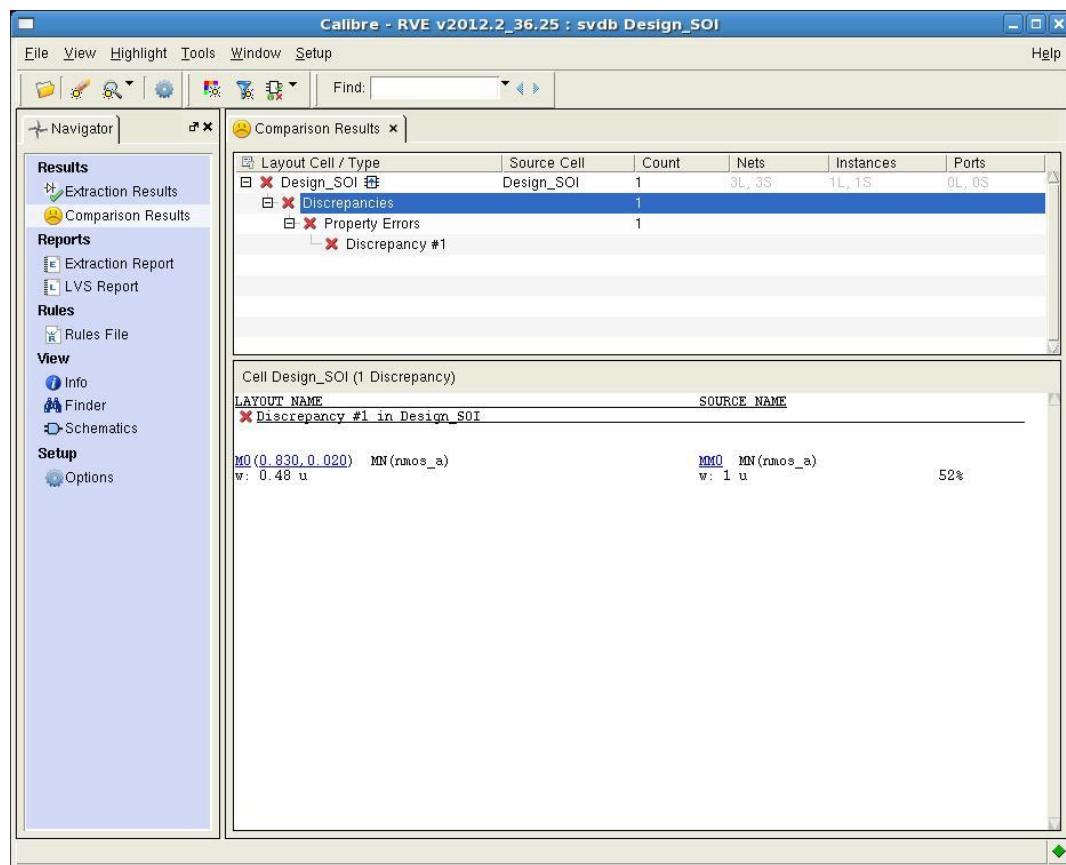


Рис. 9.10. Окно Calibre LVS RVE с результатами LVS-проверки.

Для элементов данного КСП в LVS-проверке участвует только необходимый минимум их параметров, критичных с точки зрения сравнения топологии и электрической схемы. В таблице 9.1 для каждого элемента библиотеки приведены CDF-параметры, участвующие в LVS-проверке средствами САПР Mentor Graphics Calibre.

Таблица 9.1. Параметры элементов для LVS-проверки средствами Calibre

Имя элемента	Имя CDF-параметра	Описание	Имя параметра при сравнении
nmos_a(_hv/_vhv), pmos_a(_hv/_vhv), nmos_io_a(_hv/_vhv), pmos_io_a(_hv/_vhv), nmos(_hv/_vhv)	w_fing	Effective finger width	W
	l	Length	L
	w_cont	Total width of one fingers pwell cont	W_CONT
	nfing	Number of parallel finger	M
nmos_h(_hv/_vhv), pmos_h(_hv/_vhv), dn(_hv/_vhv), dp(_hv/_vhv)	w	Width	W
	l	Length	L
	m	Multiplier	M
dn(_hv/_vhv), dp(_hv/_vhv)	w	Diode width	W
	m	Multiplier	M

rndiff, rpdiff, rnpoly, rppoly, rnw(_hv/_vhv), rpw(_hv/_vhv), rnps, rhipob, m1res-m6res	1	Length	L
	w	Width	W
cmim5, chkmim5, cpoly_n(_hv/_vhv)	1	Length	l
	w	Width	W

### 9.2.1 Описание ключей, используемых при LVS-проверке

- **Not analog mode** - проверка осуществляется после предварительного сворачивания параллельных и последовательных соединений резисторов, а также параллельных соединений диодов. Режим "analog" означает проверку поэлементного соответствия между layout и schematics, включая соответствие количества элементов в параллельных и последовательных соединениях. Т.е. проверка осуществляется без предварительного сворачивания параллельных и последовательных соединений.
- **Hier depth for reading port objects** - глубина иерархии при чтении из топологической базы данных меток, рассматриваемых программой LVS как порты. По умолчанию метки ищутся только на верхнем (primary) уровне иерархии обрабатываемой ячейки.
- **Hier depth for reading text objects** - глубина иерархии для текстовых меток. По умолчанию метки учитываются только на верхнем (primary) уровне.
- **Lvs Precision On Transistors (%)** - проверка параметров транзисторов осуществляется с заданной в % относительной точностью.
- **Lvs Precision On Passive Devices (%)** - проверка параметров пассивных приборов осуществляется с заданной в % относительной точностью.
- **Lvs Precision On Inductors (%)** - проверка параметров индуктивностей осуществляется с заданной в % относительной точностью.

## 9.3 Экстракция паразитных элементов топологии (RCX-экстракция)

КСП поддерживает два маршрута экстракции паразитных элементов:

- маршрут экстракции, использующий в качестве выходного формата графическое представление “CalibreView”. В “calibreview” представлены как исходные элементы электрической схемы, так и все паразитные элементы;
- маршрут экстракции, использующий в качестве выходного формата текстовый нетлист, совместимый с симулятором Cadence Spectre (Spectre-нетлист).

### 9.3.1 RCX-экстракция с использованием “CalibreView”

Для RCX-экстракции проекта с использованием “CalibreView” необходимо:

- 1) Открыть топологию проекта в Virtuoso Layout Editor.
- 2) Выбрать в меню *Calibre->Run PEX*.
- 3) В появившемся окне конфигурирования можно задать необходимые установки для LVS-проверки, проводимой в ходе экстракции и нажать кнопку “OK” (см. рис. 9.7). Описание ключей приведено в разделе 9.2.1
- 4) При правильной настройке КСП поле “PEX Rules File” на вкладке “Rules” в основном окне Calibre PEX заполняется автоматически. Также пользователю предлагается указать в поле “PEX Run Directory” рабочий каталог, куда Calibre будет помещать создаваемую в процессе экстракции информацию, либо оставить его значение по умолчанию (рис. 9.11).

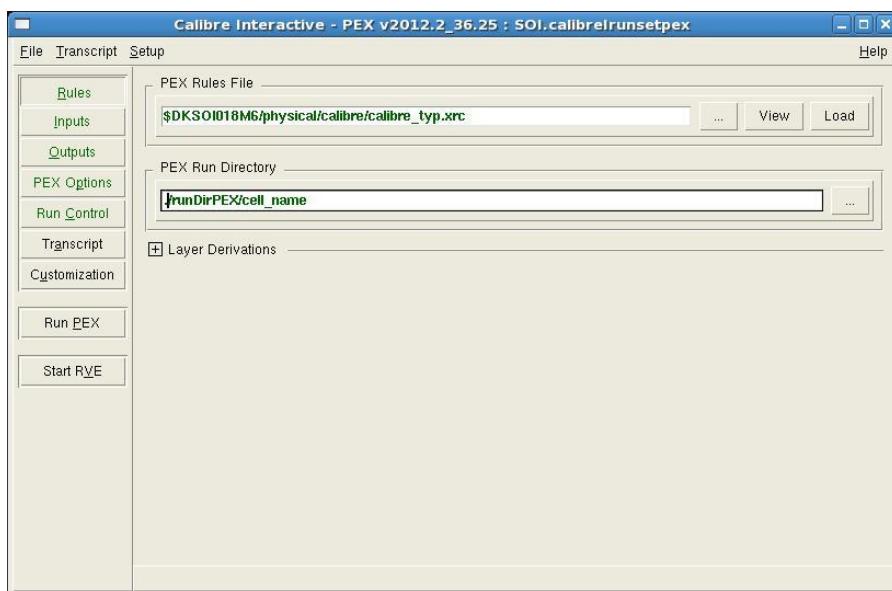


Рис. 9.11. Вкладка для указания пути к файлу экстракции и рабочему каталогу.

- 5) На вкладках “Inputs”, “Outputs” задать все необходимые параметры для экстракции: имя ячейки верхнего уровня в топологии и электрической схеме, имена файлов отчетов, максимальное количество выводимых ошибок, тип экстракции и т.д. На вкладке “Outputs” в поле “Format” необходимо задать представление “CALIBREVIEW”, а в поле “Use Names From” – “SCHEMATIC” (см. рис. 9.12). На вкладке “PEX Options” (доступна после выбора пункта меню *Setup->PEX Options*) можно указать дополнительные параметры экстракции и опции LVS сравнения.



Рис. 9.12. Вкладка для указания формата выходных данных экстракции.

- 6) Запустить экстракцию, нажав кнопку “Run PEX”.
- 7) После окончания экстракции автоматически появится окно “Calibre View Setup”, в котором необходимо задать путь к файлу трансляции cellmap.calview, название экстрагированного представления ячейки (“calibre\_typ”) и другие настройки (рис. 9.13).

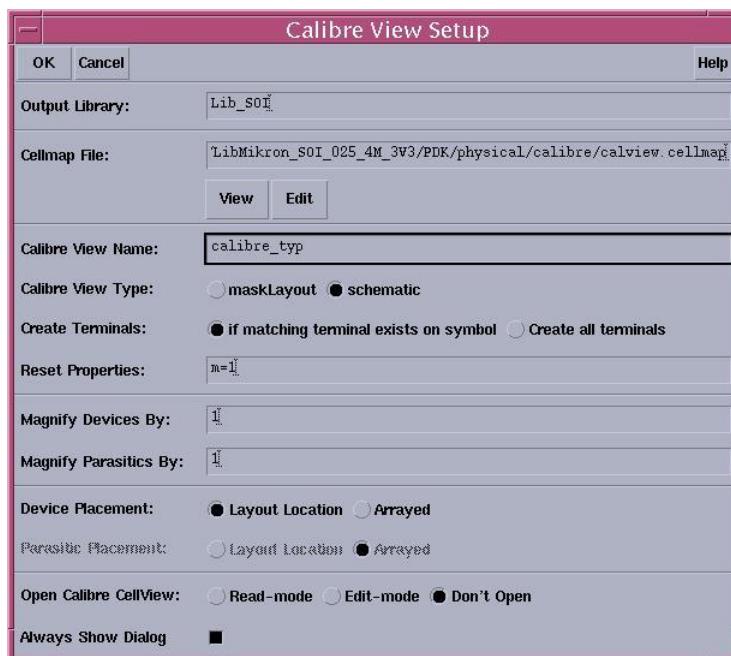


Рис. 9.13. Форма для указания параметров экстрагированного представления ячейки.

- 8) После заполнения всех необходимых параметров в окне “Calibre View Setup” и нажатия кнопки “OK” в библиотеке появится новое представление ячейки с указанным названием (“calibre\_typ” для данного примера), которое является электрической схемой, включающей как исходные, так и экстрагированные паразитные элементы.

### 9.3.2 Описание ключей, используемых при RCX-экстракции

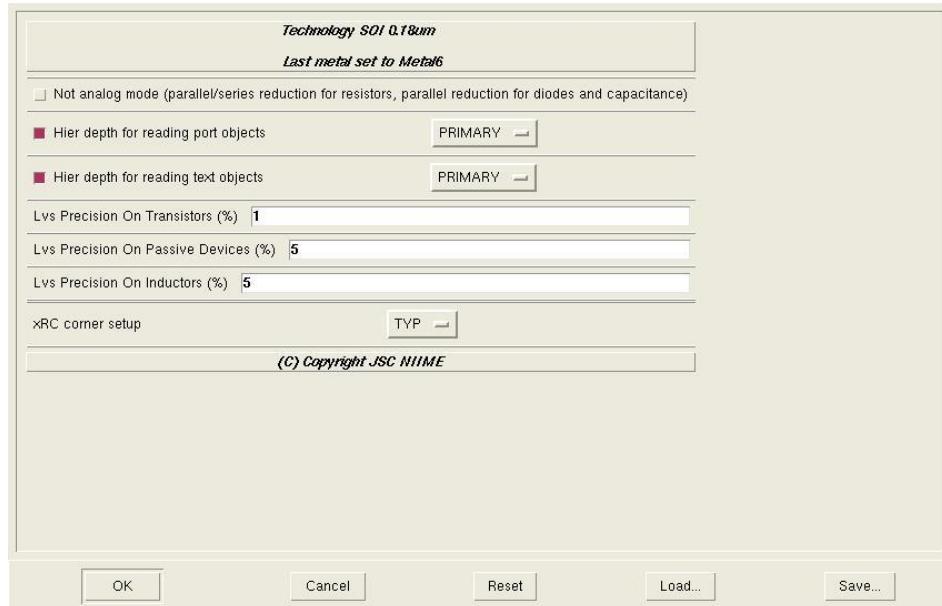


Рис. 9.14. Конфигурационное окно Calibre PEX.

- **Not analog mode** - проверка осуществляется после предварительного сворачивания параллельных и последовательных соединений резисторов, а также параллельных соединений емкостей и диодов. Режим "analog" означает проверку поэлементного соответствия между layout и schematics, включая соответствие количества элементов в параллельных и последовательных соединениях. Т.е. проверка осуществляется без предварительного сворачивания параллельных и последовательных соединений.
- **Hier depth for reading port objects** - глубина иерархии при чтении из топологической базы данных меток, рассматриваемых программой LVS как порты. По умолчанию метки ищутся только на верхнем (primary) уровне иерархии обрабатываемой ячейки.
- **Hier depth for reading text objects** - глубина иерархии для текстовых меток. По умолчанию метки учитываются только на верхнем (primary) уровне.

- **Lvs Precision On Transistors (%)** - проверка параметров транзисторов осуществляется с заданной в % относительной точностью.
- **Lvs Precision On Passive Devices (%)** - проверка параметров пассивных приборов осуществляется с заданной в % относительной точностью.
- **Lvs Precision On Inductors (%)** - проверка параметров индуктивностей осуществляется с заданной в % относительной точностью.
- **xRC corner setup** – выбор угла экстракции. Возможные значения TYP, MAX, MIN.  
По умолчанию установлен угол TYP.

Корнер	Толщина металла	Ширина металла	Толщина диэлектрика	Толщина VIA	Сопротивление металла	Сопротивление VIA
TYP	typ	typ	typ	typ	typ	typ
MIN	min	min	min	min	max	min
MAX	max	max	max	max	min	max

### 9.3.3 RCX-экстракция с использованием “Spectre-нетлист”

В основе маршрута RCX-экстракции с использованием “Spectre-нетлист” лежит стандартный запуск Calibre PEX с указанием выходного формата “SPECTRE” и выполнение специального Perl-скрипта, осуществляющего постобработку полученного в результате нетлиста для корректного подключения при моделировании. Этап постобработки экстрагированного нетлиста находится в стадии доработки и допускает возникновение нештатных ситуаций при работе скрипта. Поэтому текущая версия КСП включает предварительный вариант реализации данного маршрута, протестированный на ограниченном наборе тестовых блоков.

Для RCX-экстракции проекта с использованием “Spectre-нетлист” необходимо:

- 1) Выполнить пункты 1 – 4 раздела 9.3.1.
- 2) На вкладках “Inputs”, “Outputs” задать все необходимые параметры для экстракции: имя ячейки верхнего уровня в топологии и электрической схеме, имена файлов отчетов, максимальное количество выводимых ошибок, тип экстракции и т.д. На вкладке “Outputs” в поле “Format” необходимо задать представление “SPECTRE”, а в поле “Use Names From” – “SCHEMATIC” (см. рис. 9.15). На вкладке “PEX Options” (доступна после выбора пункта меню *Setup->PEX Options*) можно указать дополнительные параметры экстракции и опции LVS сравнения.



Рис. 9.15. Вкладка для указания формата выходных данных экстракции.

- 3) Запустить экстракцию, нажав кнопку “Run PEX”.
- 4) После окончания экстракции автоматически появится окно, в котором будет показан полученный нетлист, а также сработает скрипт постобработки данного нетлиста для его подготовки к моделированию. Скрипт выдаст имя проекта, полный путь до обработанного нетлиста и порядок выводов (Pin Order) для данного проекта (см. рис. 9.16).

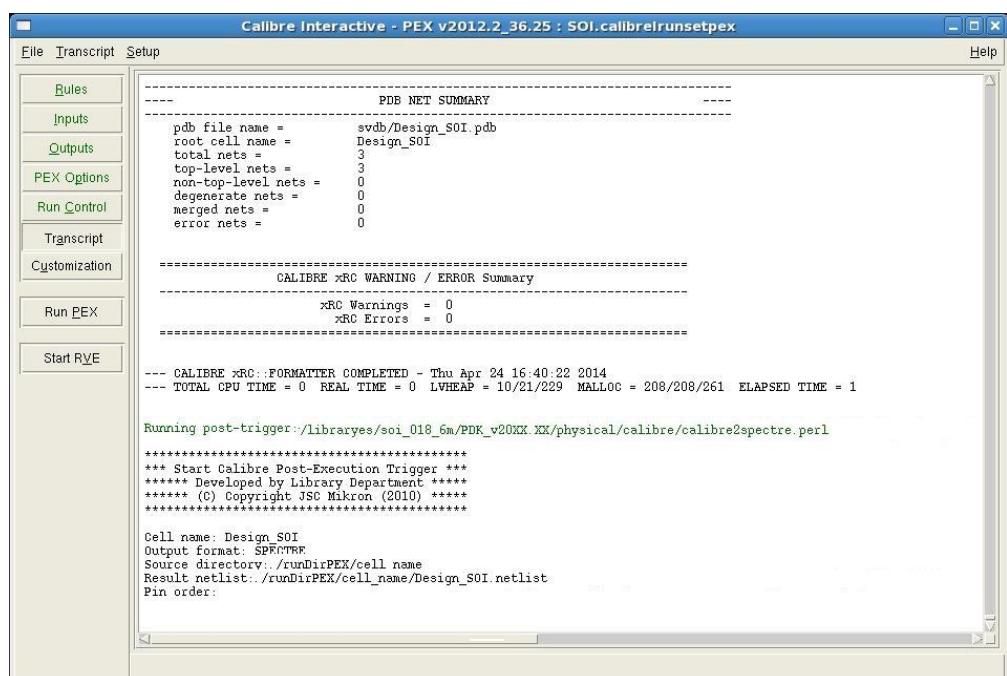


Рис. 9.16. Вкладка “Transcript” после завершения работы Calibre PEX.

5) Если после экстракции предполагается проведение моделирования проекта с учетом паразитных элементов, то необходимо подготовить для него представление “spectre”. Создать представление “spectre” можно, скопировав созданное ранее представление “symbol” проекта. Затем модифицировать CDF-параметры ячейки проекта. Для этого в окне CIW выбрать пункт меню *Tools->CDF->Edit*. Задать имя библиотеки и проекта. Добавить параметр “model” (рис. 9.17): в разделе “Component Parameters” нажать кнопку “Add”, в появившемся окне (см. рис. 9.18) вписать в поля “name” и “prompt” значение “model”, а в поле “defValue” ввести имя проекта.

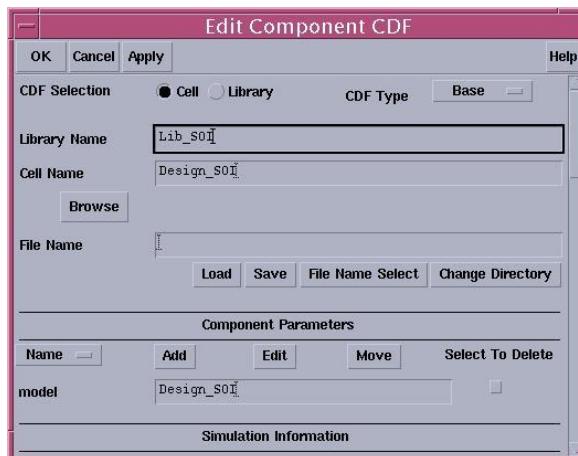


Рис. 9.17. Окно редактирования CDF-параметров проекта.



Рис. 9.18. Добавление CDF-параметра “model” для проекта.

В разделе “Simulation information” окна “Edit Component CDF” для симулятора “spectre” задать правильное значение поля “termOrder” в соответствии с порядком терминалов (Pin Order) для данного проекта (см. рис. 9.19), получившимся после

экстракции. После изменения CDF-параметров проекта необходимо сохранить их, нажав “Apply” и закрыть окно “Edit Component CDF”.

**Примечание:** При автоматическом заполнении поля “termOrder” обратить особое внимание на последовательность перечисления портов. Она должна совпадать с последовательностью в Pin Order в постобработке.

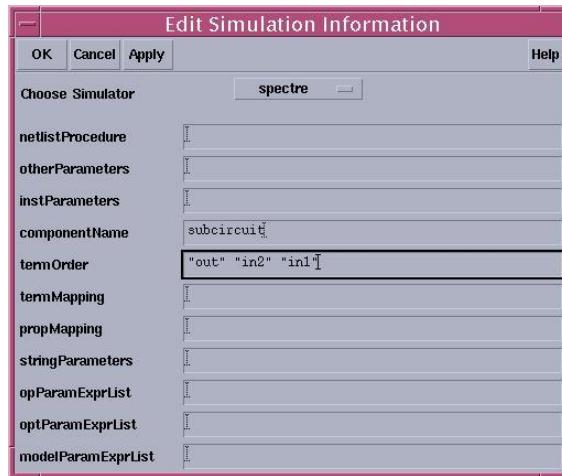


Рис. 9.19. Редактирование параметра “termOrder” в разделе “Simulation Information”.

## 10.Физическая верификация проекта средствами САПР Cadence Physical Verification System (PVS)

В данном разделе описан маршрут проведения физической верификации и экстракции проекта с использованием графического интерфейса САПР Cadence Physical Verification System (PVS).

Необходимое условие для работы с PVS - наличие файла технологий pvtech.lib в директории запуска Cadence. Содержимое файла и его местоположение описано в главе 2.3 «Установка и настройка КСП в среде Cadence» [пункт 5](#).

### 10.1 Проверка топологии на соответствие КТО (DRC)

Для DRC-проверки проекта с помощью PVS необходимо:

- 1) Открыть топологию проекта в Virtuoso Layout Editor
- 2) Выбрать в меню *Tools* -> *PVS* (рис. 10.1)

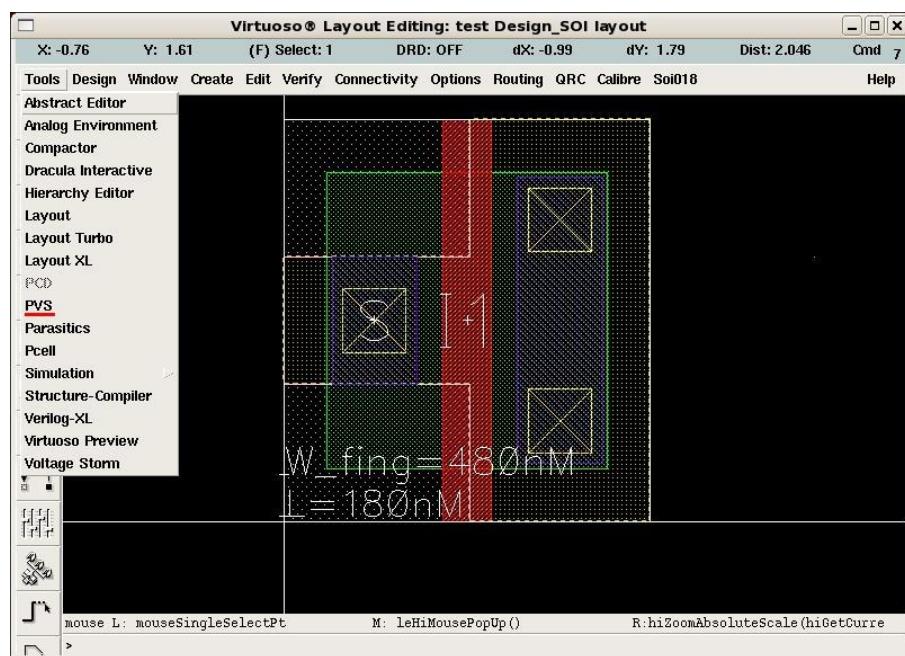


Рис. 10.1. PVS в меню Tools Virtuoso Layout Editor.

- 3) В появившемся меню PVS в Virtuoso Layout Editor выбрать *Run DRC...* (рис. 10.2)
- 4) В открывшемся окне PVS DRC Run Submission Form слева выбираем иконку «*Rules*». В открывшейся секции во вкладке «*Tech&Rules*» в поле *Technology* выбираем LibMikron\_SOI\_018\_6M (рис. 10.3). Если в выпадающем списке нет LibMikron\_SOI\_018\_6M, значит, в рабочей директории отсутствует файл pvtech.lib, либо не установлена переменная окружения DKSOI018M6 (глава 2.3). Файл pvtech.lib можно загрузить принудительно с помощью поля *Technology mapping file*.

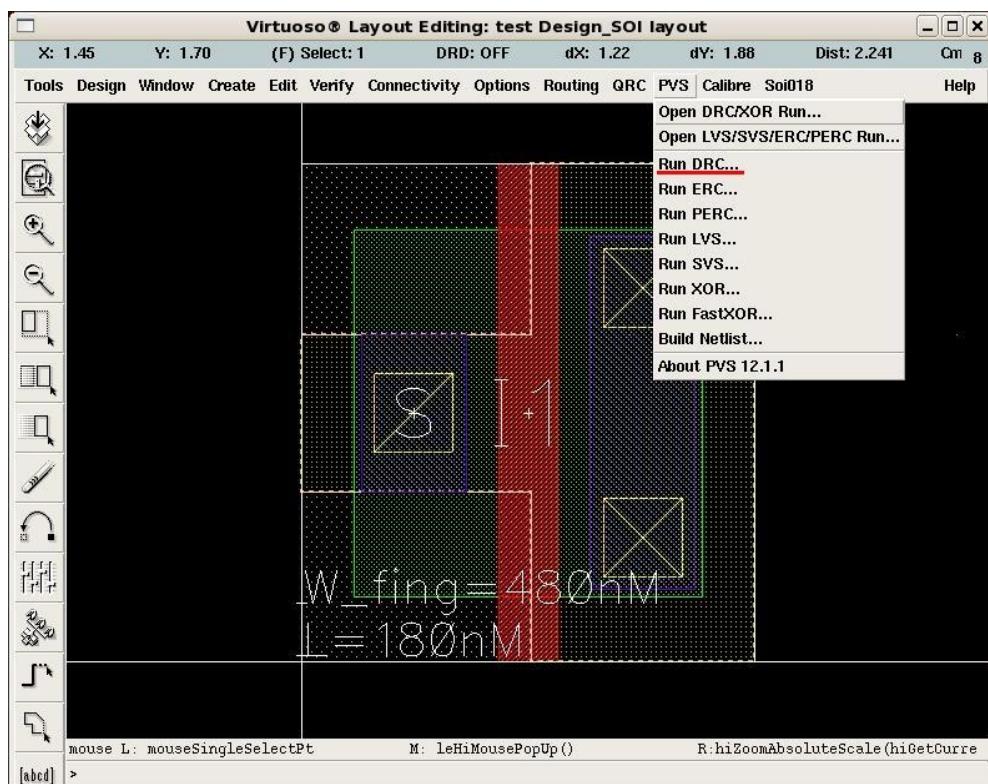


Рис. 10.2. Меню запуска DRC Cadence PVS..

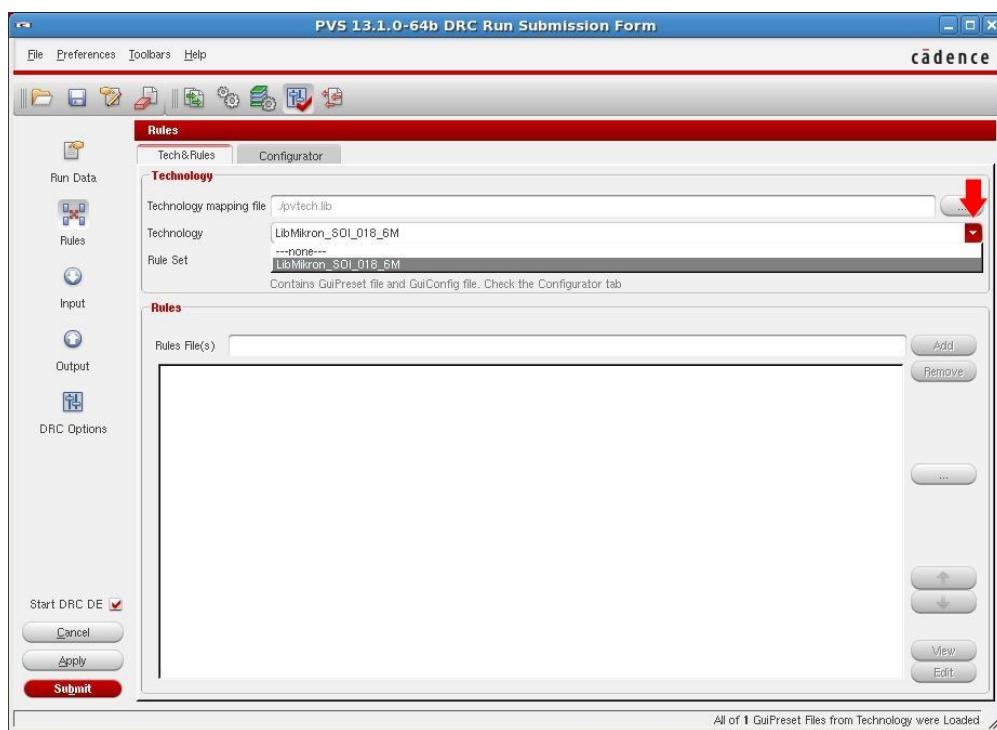


Рис. 10.3. Секция «Rules», вкладка «Tech&Rules».

- 5) В поле *Rules Set* выпадающем списке выбрать *DRC*
- 6) Перейти на вкладку *Configurator*, где задать необходимые ключи. Описание ключей, используемых при DRC-проверке, приведено в разделе [9.1.1](#)

- 7) В секции «Run Data» в поле *Run Directory* указать рабочий каталог, куда PVS будет помещать всю создаваемую в процессе верификации информацию. Либо оставить значение поля, заданное по умолчанию. В секциях “Inputs”, “Outputs”, “DRC Options” задать все необходимые параметры для DRC-проверки: имя ячейки верхнего уровня, имена файлов отчетов, максимальное количество выводимых ошибок и т.д. При правильной установке КСП все необходимые поля заполняются автоматически;
- 8) Проверить и при необходимости включить дополнительные проверки, выключенные по умолчанию, выбрав секцию «DRC Options» вкладка «Rules and Groups» (рис. 10.4).

**ВАЖНО** Нажмите кнопку Reload Rules, чтобы обновить список и перезагрузить правила.

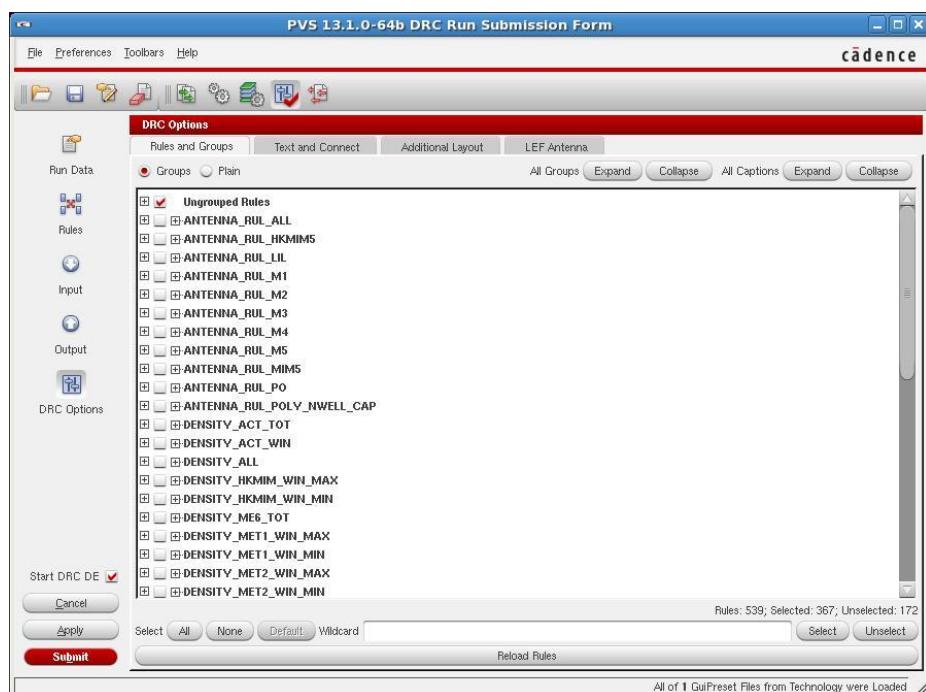


Рис. 10.4. Секция «DRC Options», вкладка «Rules and Groups».

- 9) Запустить DRC проверку, нажав кнопку “Apply” или “Submit”. Submit закрывает окно Submission Form, а Apply позволяет оставить это окно, если потребуются повторные запуски.
- 10) После окончания проверки автоматически появится окно DRC Debug Environment, в котором отображаются результаты DRC-проверки (рис. 10.5).

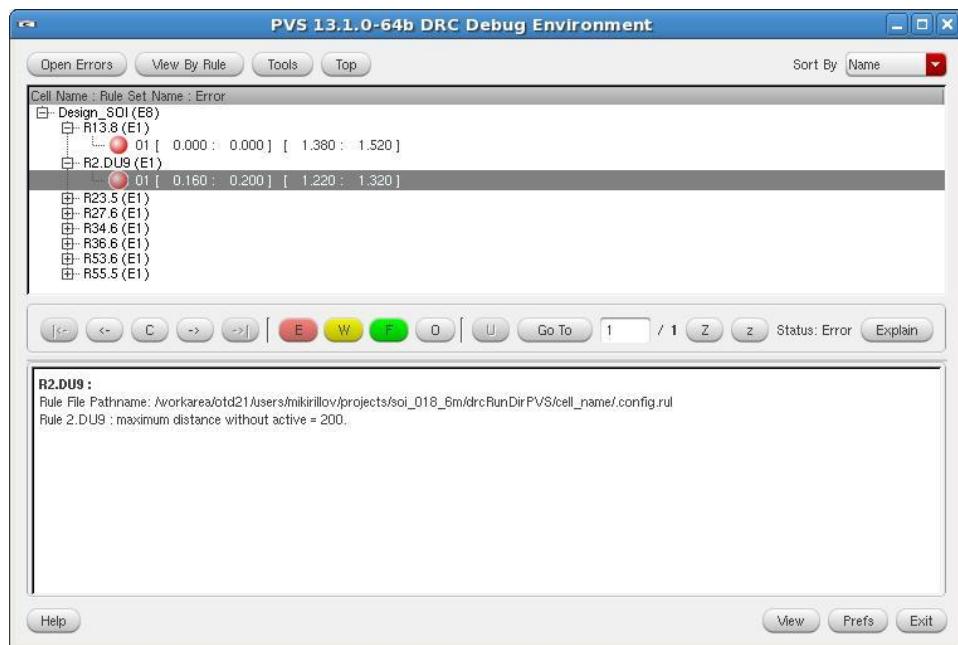


Рис. 10.5. Окно DRC Debug Environment.

11) При обнаружении ошибок в топологии необходимо исправить их, отредактировав топологию, после чего повторно запустить DRC проверку и убедиться, что ошибок в топологии больше не содержится.

## 10.2 Проверка соответствия топологии и электрической схемы (LVS)

Для проверки соответствия топологии и электрической схемы НЕОБХОДИМО наличие текстовых меток с именами портов в топологии ячейки верхнего уровня. Метки должны быть прорисованы в слое соответствующего металла с атрибутом “pintext” (см. таблицу 3.3) и находиться непосредственно на слое данного металла (точка привязки метки должна попадать внутрь геометрии цепи).

Для LVS-проверки проекта с помощью PVS необходимо:

- 1) Открыть топологию проекта в Virtuoso Layout Editor и выбрать «Tools - > PVS»;
- 2) В появившемся меню PVS в Virtuoso Layout Editor выбрать «Run LVS...»;
- 3) В открывшемся окне PVS LVS Run Submission Form слева выбираем иконку «Rules». В открывшейся секции во вкладке «Tech&Rules» в поле *Technology* выбираем LibMikron\_SOI\_018\_6M. В поле «Rules Set» выберется автоматически LVS. Если в выпадающем списке нет LibMikron\_SOI\_018\_6M, значит, в рабочей директории отсутствует файл pvtech.lib, либо не установлена переменная окружения DKSOI018M6 (глава 2.3). Файл pvtech.lib можно загрузить принудительно с помощью поля *Technology mapping file*.

- 4) Перейти на вкладку *Configurator*, где задать необходимые ключи. Описание ключей, используемых при LVS-проверке, приведено в разделе [9.2.1](#) (рис. 10.6)

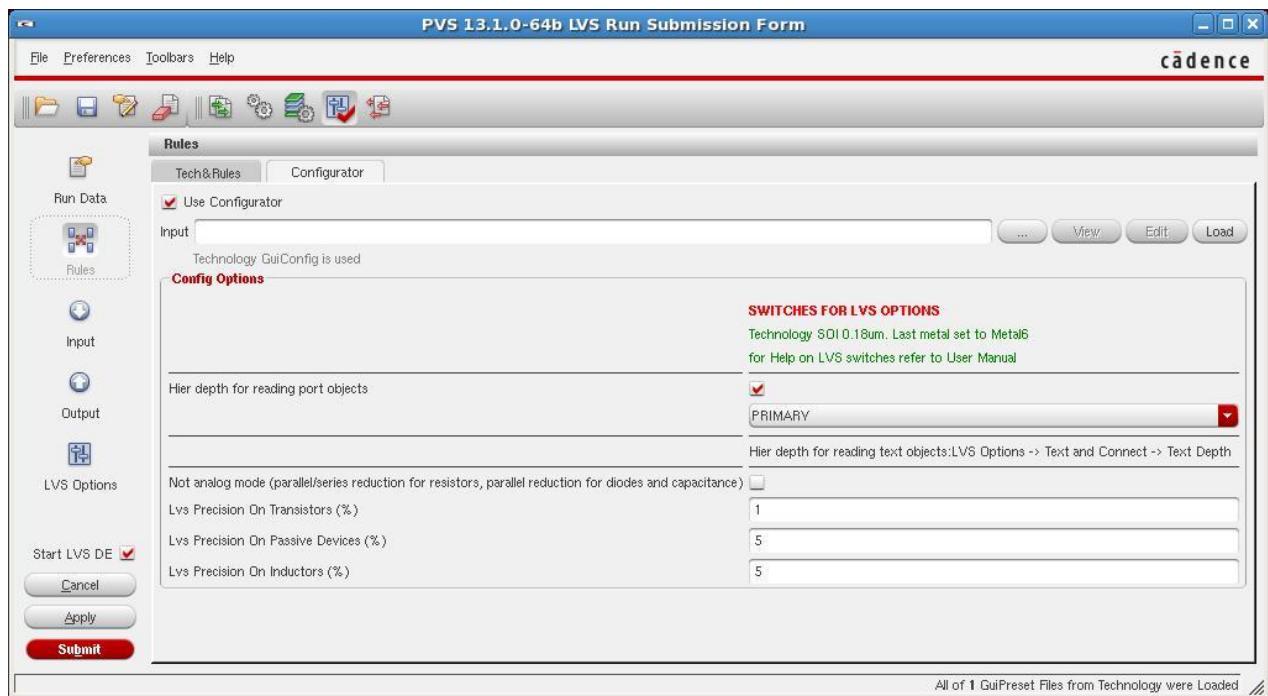


Рис. 10.6. LVS ключи.

- 5) В секции «Run Data» в поле «Run Directory» указать рабочий каталог, куда PVS будет помещать всю создаваемую в процессе верификации информацию. Либо оставить значение, заданное по умолчанию. В секциях «Inputs», «Outputs», «LVS Options» задать все необходимые параметры для LVS проверки: имя ячейки верхнего уровня в топологии и электрической схеме, имена файлов отчетов, максимальное количество выводимых ошибок, опции сравнения и т.д.
- 6) Запустить LVS проверку, нажав кнопку “Apply” или “Submit”. “Submit” закрывает окно LVS Submission Form, а “Apply” позволяет оставить это окно, если потребуются повторные запуски.
- 7) После окончания проверки появится PVS LVS Run Status. Для отображения PVS LVS Debug Environment нужно нажать кнопку YES (рис. 10.7)



Рис. 10.7 Окно LVS Run Status

8) В PVS LVS Debug Environment отображаются результаты LVS проверки (рис 10.8).

При обнаружении ошибок необходимо исправить их, отредактировав топологию или в отдельных случаях электрическую схему, после чего повторно запустить LVS-проверку и убедиться, что ошибок при сравнении больше не возникает.

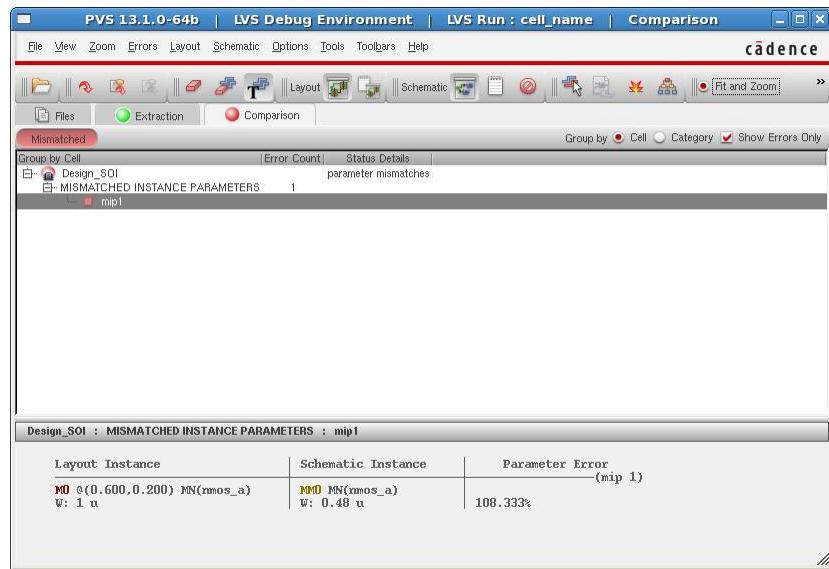


Рис. 10.8. Окно LVS Debug Environment с результатами сравнения.

## 11. Моделирование проекта с учетом паразитных элементов

Для моделирования проекта с учетом паразитных элементов в интерактивном режиме необходимо:

- 1) Выполнить экстракцию паразитных элементов топологии проекта одним из способов, описанных в разделе 9.3 данного руководства.
- 2) Для схемы тестовых воздействий создать представление “config”. Для этого в окне CIW необходимо выбрать пункт меню *File->New->Cellview...* и в появившейся форме указать имена библиотеки, ячейки и представления, а в поле “Tool” выбрать “Hierarchy – Editor” и нажать кнопку “OK” (рис. 11.1).



Рис. 11.1. Создание представления “config” для схемы тестовых воздействий проекта.

- 3) В открывшемся окне “New Configuration” нажать кнопку “Use Template...” и в появившейся форме выбрать “spectre” для поля “Name” (рис. 12.2).

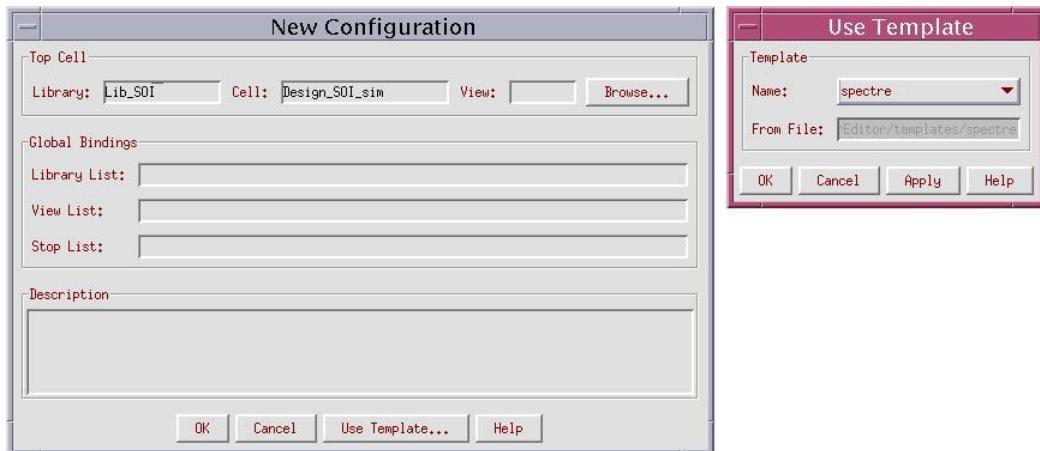


Рис. 11.2. Выбор шаблона для определения новой конфигурации проекта.

- 4) После выбора шаблона поля формы “New Configuration” заполняются автоматически, как показано на рис. 11.3. Значение поля “View” необходимо исправить на “schematic” и нажать кнопку “OK”.

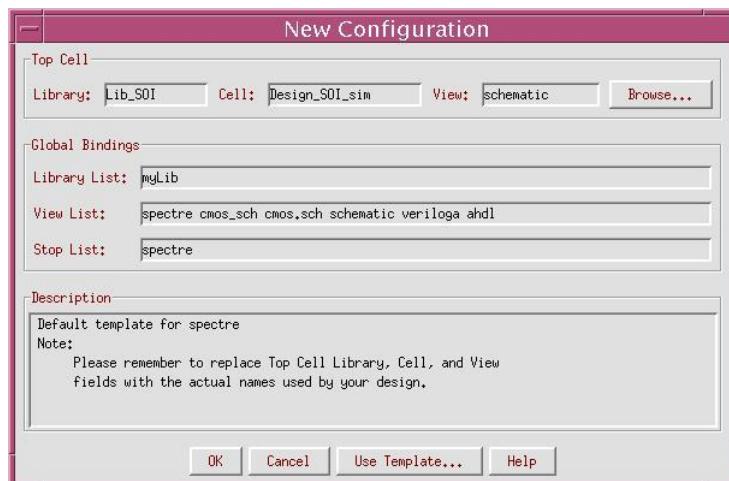


Рис. 11.3. Окно создания новой конфигурации проекта после заполнения всех полей.

- 5) В появившемся окне “Cadence Hierarchy Editor” необходимо заменить представление “schematic” для ячейки проекта (“Design\_SOI”) на экстрагированное представление “calibre\_typ” в случае RCX-экстракции с использованием “CalibreView”, либо на представление “spectre”, если применялся второй маршрут экстракции, после чего нажать кнопку “Update”, сохранив созданную конфигурацию (рис. 11.4).

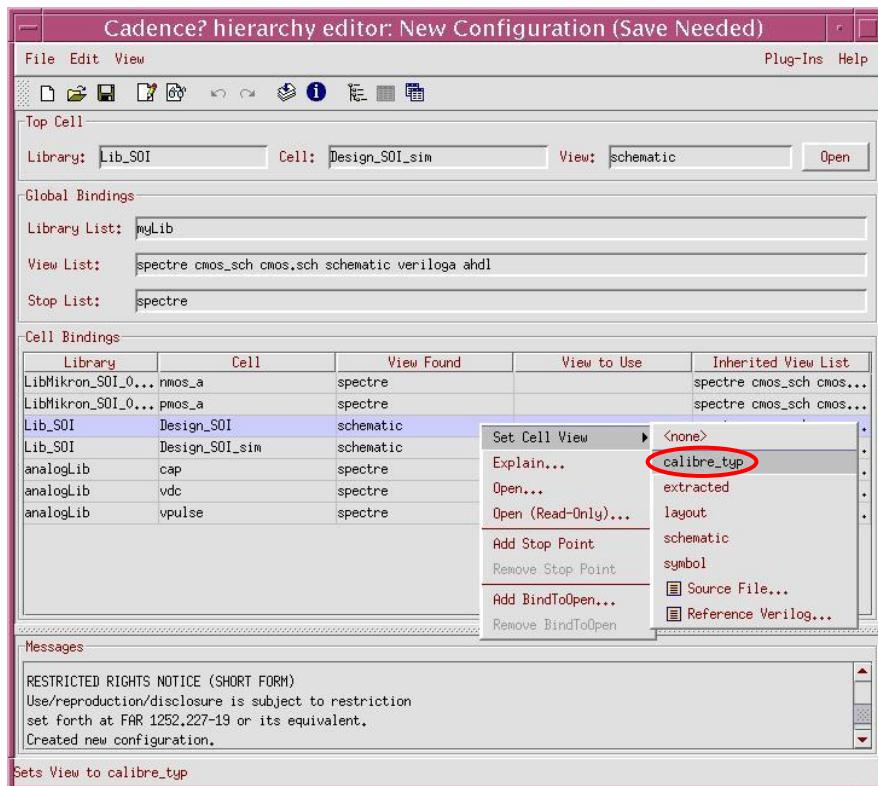


Рис. 11.4. Подключение экстрагированного представления ячейки.

- 6) Открыть созданное на предыдущих шагах представление “config” с помощью Virtuoso Schematic Editor и вызвать из него Analog Design Environment. Далее следует убедиться, что используется действительно представление “config” и задать все необходимые параметры моделирования в соответствии с маршрутом, описанным в разделе 6 данного руководства (начиная с пункта 3). В случае если проводилась RCX-экстракция с использованием “Spectre-нетлист”, необходимо подключить полученный в результате нетлист в форме “Model Library Setup” (см. рис. 11.5). После этого запустить моделирование проекта с учетом паразитных элементов (рис. 11.6).



Рис. 11.5. Подключение экстрагированного нетлиста для моделирования.

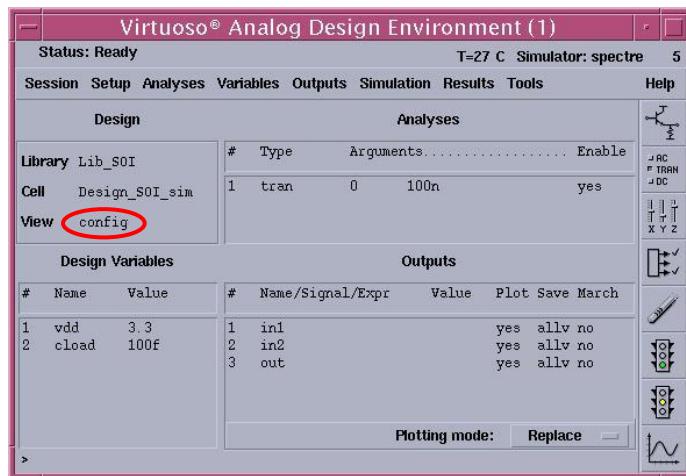


Рис. 11.6. Главное окно ADE, запущенное из представления “config”

## 12.Финализация проекта

В данном разделе содержится общая информация по финализации проекта. Более подробная информация и необходимые требования содержатся в документе LibMikron\_SOI\_018\_6M\_LayoutFinishingFlow.pdf.

В процессе выполнения заключительных операций для топологии изделия в ней могут создаваться следующие структуры:

- **Метки логотипа, авторских прав и даты** – алфавитно-цифровая структура, созданная в верхнем слое металлизации и содержащая логотип производителя, текущий год и знак авторских прав ©.
- **Метка проекта** – алфавитно-цифровая структура, позволяющая визуально идентифицировать пластину с изделием.
- **Фиктивные области** – фигуры, создаваемые в слоях активной области, поликремния, слоях металлизации и др., необходимые для соблюдения правил плотности заполнения топологии с целью улучшения контроля процессов травления, шлифовки, уменьшения повреждений, индуцированных плазмой.

Для прорисовки перечисленных выше топологических структур используются специальные слои и атрибуты, позволяющие корректно осуществить их обработку на последующих этапах, а также провести физическую верификацию конечной топологии изделия.

Дополнительная информация по правилам прорисовки специальных структур, используемых слоям и т.д. приведена в соответствующих разделах DRM.

### 12.1 Процедура размещения фиктивных областей (ФО)

Если необходимо, то добавьте зоны исключения в топологическое представление. Зоны исключения - это области схемы, где фиктивные области не будут размещены. Для этого разработчик должен прорисовать полигоны в специальном слое. Таким образом, tiling процедура не будет вставлять фиктивные области в места, где прорисованы данные полигоны.

Для запрета генерации ФО в каких-либо областях топологии используются следующие слои:

Таблица 12.1. Специальные слои для запрета генерации ФО

Название слоя	Атрибут (назначение)	GDS#	Тип (datatype)	Описание
mexclude	drawing	62	4	Запрещает генерацию dummy элементов во всех слоях
mexclude	poly	62	5	Запрещает генерацию dummy

				элементов в слое poly
mexclude	m1	62	6	Запрещает генерацию dummy элементов в слое metal1
mexclude	m2	62	7	Запрещает генерацию dummy элементов в слое metal2
mexclude	m3	62	8	Запрещает генерацию dummy элементов в слое metal3
mexclude	m4	62	9	Запрещает генерацию dummy элементов в слое metal4
mexclude	m5	62	10	Запрещает генерацию dummy элементов в слое metal5
mexclude	m6	62	11	Запрещает генерацию dummy элементов в слое metal6
mexclude	active	62	13	Запрещает генерацию dummy элементов в слоях active и poly

### 12.1.1 Генерирование фиктивных областей с помощью САПР Mentor Graphics Calibre

- 1) В меню Virtuoso Layout Editor выберите *Soi018->Layout Finishing->Run Dummy Generation (Calibre)* (рис. 12.1).

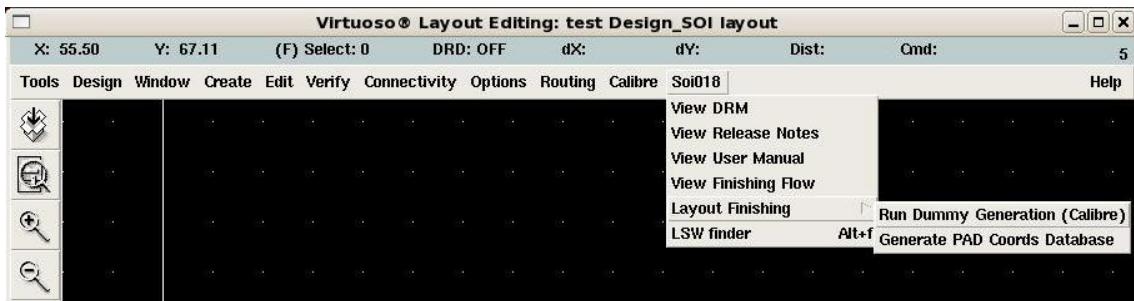


Рис. 12.1. Запуск автоматической генерации ФО.

- 2) После выбора *Run Dummy Generation* запустится Calibre и появляется окно конфигурирования, где можно задать необходимые установки для запуска DRC-процедуры и нажать кнопку “OK” (рис. 12.2).

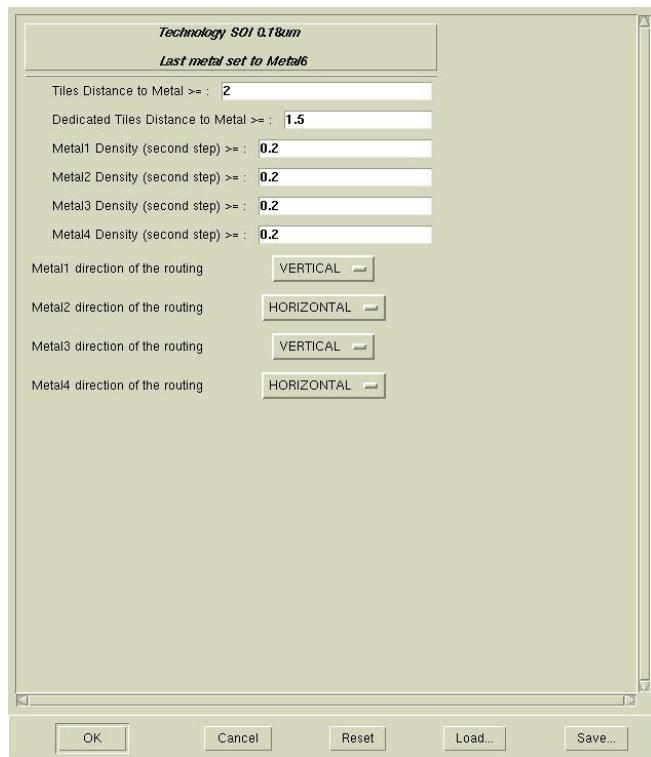


Рис. 12.2. Конфигурационное окно Calibre для “DRC Dummy”.

Описание ключей, используемых при генерации dummy:

- «Tiles Distance to Metal >= » - минимальное расстояние от ФО до металла для первой итерации заполнения;
- «Dedicated Tiles Distance to Metal >= » - минимальное расстояние от ФО до металла для второй итерации заполнения;
- «MetalN Density (second step) >= » - минимальная плотность заполнения ФО для второй итерации, N = 1-4;
- «Metal 1 direction of the routing» - направление формирования ФО для 1-го металла. Возможные значения «VERTICAL» - вертикальное и «HORIZONTAL» - горизонтальное;
- «Metal 2 direction of the routing» - направление формирования ФО для 2-го металла. Возможные значения «VERTICAL» - вертикальное и «HORIZONTAL» - горизонтальное;
- «Metal 3 direction of the routing» - направление формирования ФО для 3-го металла. Возможные значения «VERTICAL» - вертикальное и «HORIZONTAL» - горизонтальное;
- «Metal 4 direction of the routing» - направление формирования ФО для 4-го металла. Возможные значения «VERTICAL» - вертикальное и «HORIZONTAL» - горизонтальное.

- 3) Далее в окне *Calibre Interactive – nmDRC* во вкладке *Rules* в поле *DRC Rules File* – должен быть указан путь к файлу *SOI\_tilingGen.rul*, а в поле *DRC Run Directory* – рабочий каталог (рис. 12.3).

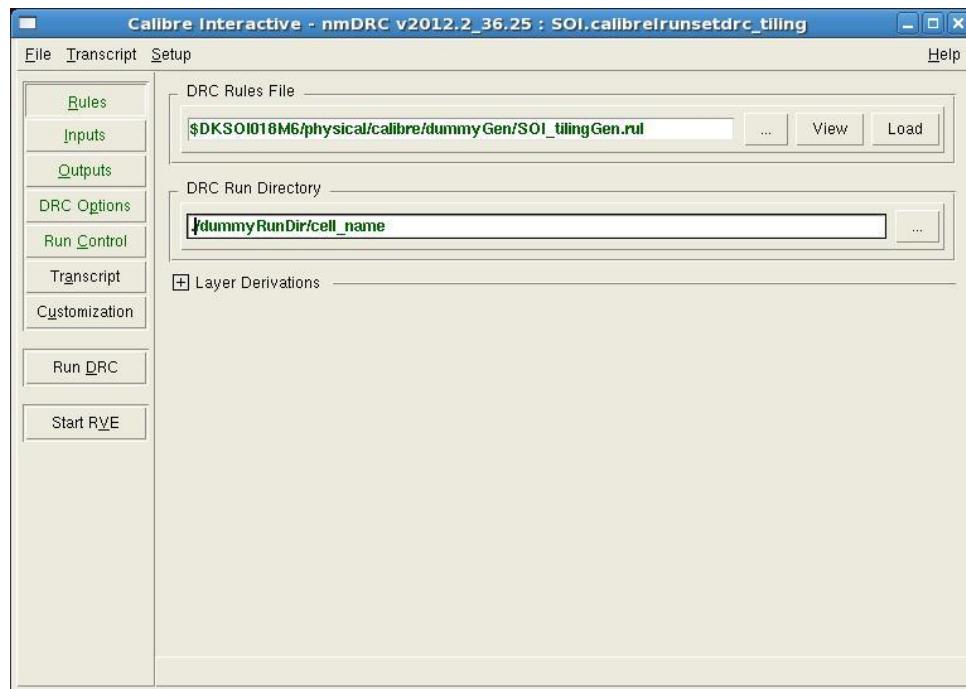


Рис. 12.3. Вкладка для указания пути к DRC-файлу и рабочему каталогу.

- 4) Далее нажмите *Setup->Preferences* и во вкладке *Trigger* проверьте, правильно ли прописаны пути и ключи скриптов постобработки (рис. 12.4).
- 5) Нажмите кнопку *Run DRC*.
- 6) После завершения DRC-процедуры проверьте, корректно ли отработал скрипт постобработки (красная рамка на рисунке 12.5).

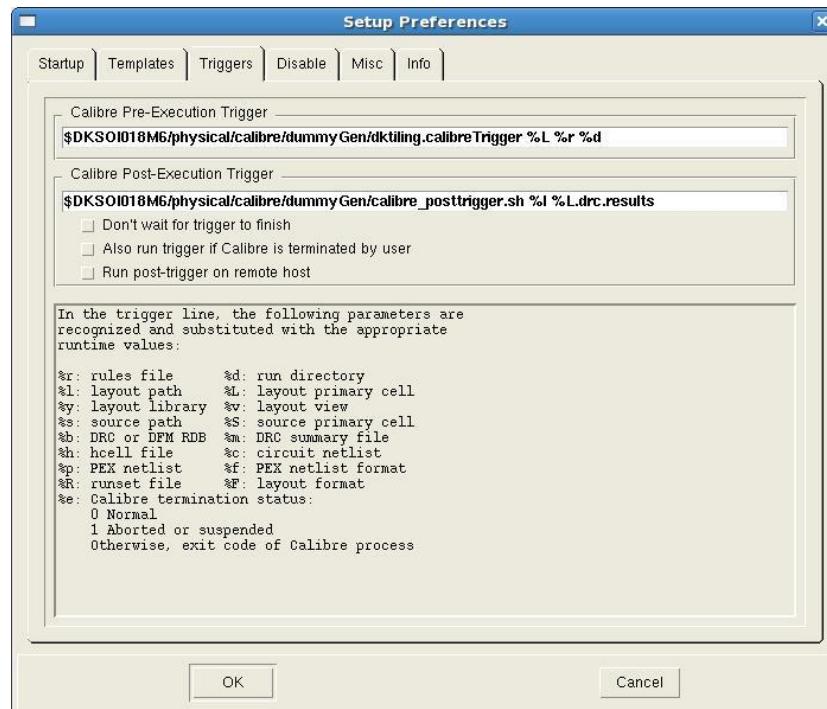


Рис. 12.4 Путь и ключи к скрипту постобработки.

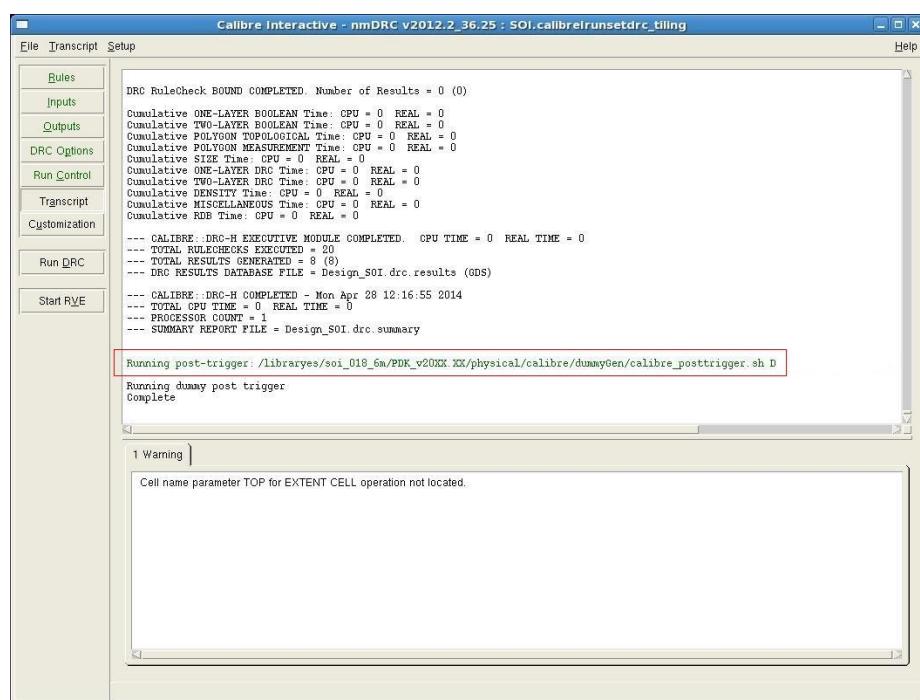


Рис. 12.5. Сообщение о корректной работе скрипта постобработки.

- 7) В результате данной DRC-процедуры в рабочем каталоге Calibre, указанном в п.3, будет создан файл <имя\_проекта>.calibre\_with\_fill.gds, который содержит в себе топологию вашего проекта с фиктивными областями. В ячейке под названием TOP находится топология вашего проекта с фиктивными областями, в ячейке <имя\_проекта>\_DUMMIES находится топология только фиктивных областей.

### 12.1.2 Генерирование фиктивных областей с помощью САПР Cadence PVS

Запуск генерации фиктивных областей с помощью Cadence PVS ничем не отличается от запуска DRC проверки, описанной в главе [10.1](#), за исключением пункта 5. В данном случае из ниспадающего списка необходимо выбирать «*DRC TILING*».

Назначение ключей, используемых при генерации фиктивных областей, такое же как для Mentor Calibre и их описание приведено в главе [12.1.1](#). Ключи задаются в секции «*Rules*» на вкладке «*Configurator*» (рис. 12.6)

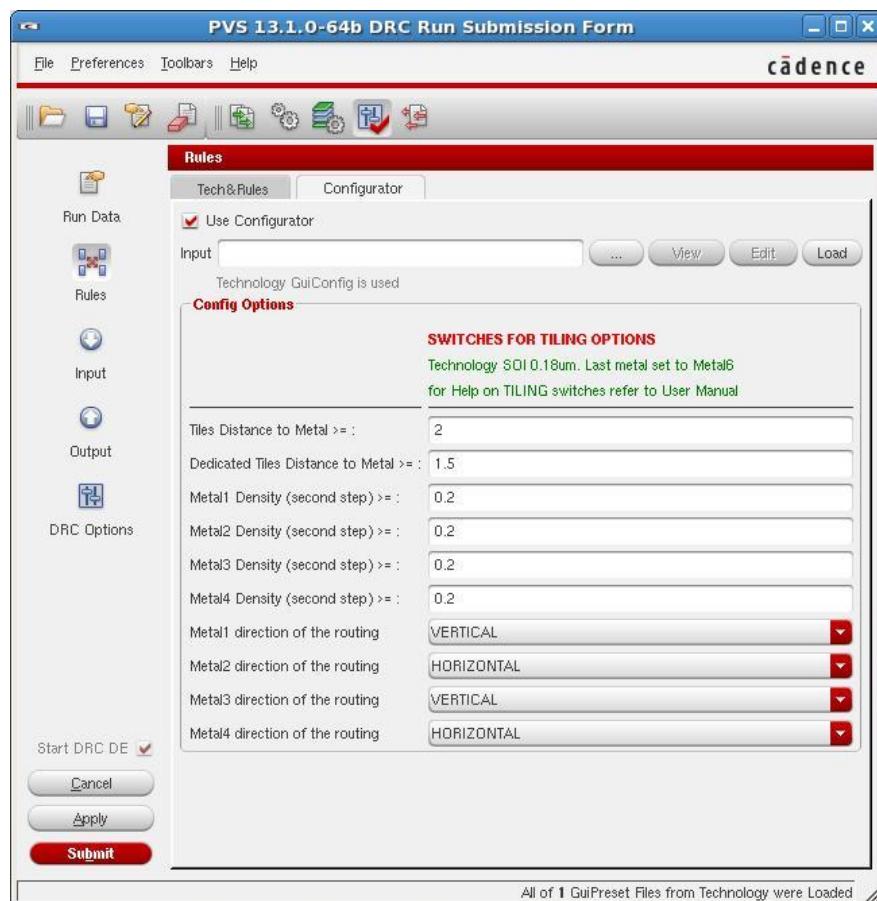


Рис 12.6. Ключи для генерации фиктивных областей.

В результате работы данной процедуры в рабочей директории будет сформировано два GDS файла. Первый файл <имя\_проекта>l.gds, содержит в себе

топологию проекта. Второй файл `<имя_проекта>.drc_errors.gdsii` содержит сгенерированные фиктивные области, название ячейки верхнего уровня будет `<имя_проекта>_DUMMIES`.

## 12.2 Создание и размещение меток логотипа, авторских прав и даты

Метка логотипа и авторских прав создается с помощью ячейки **mikronlogo\*** (рис. 12.7).

Для создания метки логотипа или авторских прав необходимо:

- 1) В основном меню Virtuoso Layout Editor выбрать пункт *Create->Instance*, указать имя библиотеки “LibMikron\_SOI\_018\_6M”, имя ячейки “mikronlogo”, представление “layout”
- 2) Задать необходимые параметры, выбрав пункт меню *Edit->Properties* и вкладку “Parameter”. Данная ячейка позволяет создавать либо значок авторских прав, либо логотип, либо все вместе в слоях metal1-metal6 с атрибутом drawing..
- 3) Привязать ее в один из углов исходной топологии изделия.
- 4) При размещении метки логотипа и авторских прав необходимо соблюдать следующие требования:

Правило	Норма
Минимальное расстояние от метки логотипа или авторских прав до активных областей приборов внутри изделия	3 мкм

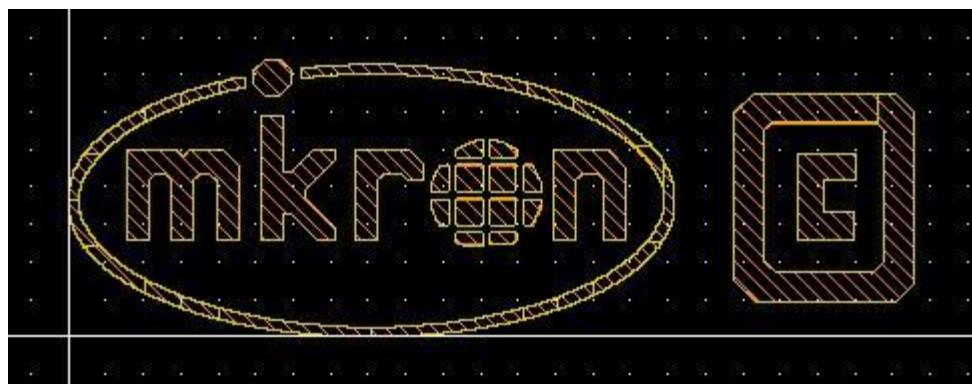


Рис. 12.7. Метка логотипа и авторских прав.

\* – Ячейка “mikronlogo” содержит логотип ОАО “НИИМЭ и Микрон”. При необходимости следует создать аналогичную ячейку со своим логотипом. При прорисовке данной метки нужно избегать фигур с широкими или чрезмерно изгибающимися шинами металла с целью выполнения правил DRC.

### 12.3 Создание и размещение метки проекта

Создание метки для идентификации проекта осуществляется с помощью ячейки **pgtext** (рис. 12.8).

Для создания метки проекта необходимо:

- 1) В основном меню Virtuoso Layout Editor выбрать пункт *Create->Instance*, указать имя библиотеки “LibMikron\_SOI\_018\_6M”, имя ячейки “*pgtext*”, представление “*layout*”.
- 2) Задать необходимые параметры, выбрав пункт меню *Edit->Properties* и вкладку “*Parameter*”. Данная ячейка позволяет создавать текстовые и цифровые метки в слоях metal1-metal6 с атрибутом *drawing*. Разрешены только буквы английского алфавита, символ подчеркивания и цифры. Строчные и прописные буквы не различаются. Минимальная высота текста 10 мкм.
- 3) Привязать ее в необходимое место исходной топологии изделия.



Рис. 12.8. Пример текстовой метки.

- 4) При размещении метки проекта необходимо соблюдать следующие требования:

Правило	Норма
Минимальное расстояние от метки проекта до активных областей приборов внутри изделия	3 мкм

## 13.Контактная информация

Разработка и поддержка PDK:

[Mikron.Lib\\_support@sitronics.com](mailto:Mikron.Lib_support@sitronics.com)