

АКЦИОНЕРНОЕ ОБЩЕСТВО
«НИИ МОЛЕКУЛЯРНОЙ ЭЛЕКТРОНИКИ»
(АО «НИИМЭ»)

ПРАВИЛА ПРОЕКТИРОВАНИЯ
КМОП СБИС на КНИ структурах
с минимальными проектными нормами 0.18 мкм

Москва 2014 г.

СОДЕРЖАНИЕ

1. ВВЕДЕНИЕ	6
1.1. ИЗМЕНЕНИЯ	6
1.2. РОДСТВЕННЫЕ ДОКУМЕНТЫ	6
1.3. ПОДДЕРЖКА	6
2. ОСНОВНАЯ ЧАСТЬ	7
2.1. ТЕХНОЛОГИЧЕСКИЙ МАРШРУТ	7
2.1.1. Основные характеристики	7
2.1.2. Семейство КМОП КНИ процессов	8
2.1.3. Упрощенный технологический процесс	9
2.2. КОНСТРУКЦИЯ ЭЛЕМЕНТНОЙ БАЗЫ ДЛЯ ПРОЕКТИРОВАНИЯ.....	11
2.2.1. Специфицированные элементы.	11
2.2.2. Элементы, доступные только для специальных приложений.....	12
2.2.3. Элементы, доступные при использовании дополнительных опций процесса.	12
2.3. ПЕРЕЧЕНЬ И ПАРАМЕТРЫ ТОПОЛОГИЧЕСКИХ СЛОЁВ. ГЕНЕРАЦИЯ ФОТОШАБЛОНОВ ДЛЯ ФОРМИРОВАНИЯ СЛОЯ НА ПЛАСТИНЕ.	14
2.3.1. Перечень слоёв. Таблица для формирования фотошаблонов.....	14
2.3.2. Размеры, маркировка слоёв, фотошаблоны	16
2.4. ПРАВИЛА ПРОЕКТИРОВАНИЯ ТОПОЛОГИИ.....	18
2.4.1. Принятые допущения при разработке правил	18
2.4.1.1. Общие положения	18
2.4.1.2. Стандартные определения.....	19
2.4.2. Основные топологические ограничения при проектировании базового КМОП КНИ модуля.....	20
2.4.2.1. "ACTIVE": Активная область (Слой 2).....	20
2.4.2.2. "NWELL": N карман для элементной базы с питанием 1.8В (Слой 1)	21
2.4.2.3. "NWELL_3V": N карман для элементной базы с питанием 3.3В (Слой 89)	22
2.4.2.4. "PWELL_3V": P карман для элементной базы с питанием 3.3В (Слой 90)	23
2.4.2.5. "GO2_3V" (Слой 6).....	23
2.4.2.6. "POLY": Поликремний (Слой 13).....	24
2.4.2.7. "NLDD": Области LDD n типа (Слой 14)	26
2.4.2.8. "PLDD": Области LDD p-типа (Слой 15).....	27
2.4.2.9. "NEXT_3V" (Слой 76).....	28
2.4.2.10. "PEXT_3V" (Слой 77)	29
2.4.2.11. "NPLUS": N ⁺ области стоков/истоков (Слой 16)	29
2.4.2.12. "PPLUS": P ⁺ области стоков/истоков (слой 17)	30
2.4.2.13. "SIPROT": Защита от силицида (Слой 18)	31
2.4.2.14. "LIL": Локальные вольфрамовые межсоединения (Слой 39)	35
2.4.2.15. "CONTACT": Контактные окна (Слой 19)	36

2.4.2.16. "METAL1": Первый слой металлизации (Слой 23).....	37
2.4.2.17. «VIA1": Межслойные контактные окна 1 (Слой 25).....	38
2.4.2.18. "METAL2": Второй слой металлизации (Слой 27)	38
2.4.2.19. "VIA2": Межслойные контактные окна 2 (Слой 32).....	39
2.4.2.20. "METAL3": Третий слой металлизации (Слой 34).....	39
2.4.2.21. "VIA3": Межслойные контактные окна 3 (Слой 35).....	39
2.4.2.22. "METAL4": Четвёртый слой металлизации (Слой 36).....	39
2.4.2.23. "VIA4": Межслойные контактные окна 4 (Слой 52).....	40
2.4.2.24. "METAL5": Пятый слой металлизации (Слой 53).....	40
2.4.2.25. "VIA5": Межслойные контактные окна 5 (Слой 54).....	40
2.4.2.26. "METAL6": Шестой слой металлизации (Слой 55).....	40
2.4.2.27. "NITRID": Пассивация (Слой 31).....	41
2.4.3. <i>Топологические ограничения при проектировании дополнительных опций для базового КМОП КНИ модуля</i>	41
2.4.3.1....."NWELL_5V": N карман для элементной базы с питанием 5.0В (Слой 93),	41
2.4.3.2....."PWELL_5V": P карман для элементной базы с питанием 5.0В (Слой 94)	41
2.4.3.3. "OTP" (слой 91).....	41
2.4.3.4. "GO2_5V" (Слой 7).....	42
2.4.3.5. "NEXT_5V" (Слой 78).....	43
2.4.3.6. "PEXT_5V" (Слой 79)	43
2.4.4. <i>Топологические ограничения при проектировании модуля высокоомного поликремниевого резистора (HIPO)</i>	44
2.4.4.1. Основные положения.....	44
2.4.4.2. "ACTIVE" (слой 2)	44
2.4.4.3. "POLY" (слой 13).....	44
2.4.4.4. "PRESIST" (слой 26)	44
2.4.4.5. "PPLUS" (слой 17).....	45
2.4.4.6. "SIPROT" (слой 18)	45
2.4.4.7. "CONTACT" (слой 19)	45
2.4.4.8. Специальные правила для формирования согласованного HIPO резистора	46
2.4.5. <i>Топологические ограничения при проектировании модуля MIM конденсатора</i>	47
2.4.5.1. "HKMIM5" верхняя обкладка конденсатора (слой 92).....	47
2.4.5.2. "MIM5" верхняя обкладка конденсатора (слой 80)	48
2.4.5.3. "METAL5" (слой 53)	48
2.4.5.4. Правила антенны	49
2.4.5.5. Подключение Metal5/metal 5bis к КП.....	50
2.4.6. <i>Приборные топологические ограничения</i>	51
2.4.6.1. nmos_a, pmos_a	51
2.4.6.2. nmos_a_hv, pmos_a_hv	52
2.4.6.3. nmos_a_vhv, pmos_a_vhv	53
2.4.6.4. nmos_h, pmos_h.....	54

2.4.6.5. nmos_h_hv, pmos_h_hv.....	55
2.4.6.6. nmos_h_vhv, pmos_h_vhv.....	56
2.4.6.7. nmos_io_a, pmos_io_a.....	58
2.4.6.8. nmos_io_a_hv, pmos_io_a_hv.....	59
2.4.6.9. nmos_io_a_vhv, pmos_io_a_vhv.....	60
2.4.6.10. nmos.....	61
2.4.6.11. nmos_hv.....	62
2.4.6.12. nmos_vhv.....	63
2.4.6.13. dn, dp.....	64
2.4.6.14. dn_hv, dp_hv.....	64
2.4.6.15. dn_vhv, dp_vhv.....	65
2.4.6.16. rnw, rpw.....	65
2.4.6.17. rnw_hv, rpw_hv.....	66
2.4.6.18. rnw_vhv, rpw_vhv.....	66
2.4.6.19. rndiff, rpdiff.....	67
2.4.6.20. rnps.....	67
2.4.6.21. rnpoly, rppoly.....	68
2.4.6.22. cpoly_n.....	68
2.4.6.23. cpoly_n_hv.....	69
2.4.6.24. cpoly_n_vhv.....	70
2.4.6.25. otp.....	72
2.4.7. Правила проектирования контактных площадок.....	74
2.4.7.1. Общие положения.....	74
2.4.7.2. Архитектура КП.....	74
2.4.7.3. Правила компоновки контактных площадок.....	76
2.4.8. Правила формирования защитного кольца ("SEAL RING").....	77
2.4.9. Правила проектирования при слотировании металлов (METAL SLOT)....	79
2.5. ПРАВИЛА ПРОЕКТИРОВАНИЯ СВЯЗАННЫЕ С ТЕХНОЛОГИЧЕСКИМИ ЭФФЕКТАМИ.....	81
2.5.1. Правила проектирования для учёта эффекта электромиграции.....	81
2.5.2. Минимальная ширина проводящих слоев.....	81
2.5.2.1. Контактные и межслойные контактные окна.....	82
2.5.2.2. Вычисление эквивалентного тока.....	83
2.5.3. Правила проектирования для учёта эффекта саморазогрева.....	84
2.5.4. Защита от воздействия электростатического заряда.....	85
2.5.5. Механические напряжения.....	85
2.5.6. Правила проектирования для горячих носителей в транзисторах.....	85
2.5.6.1. Определения.....	85
2.5.6.2. Цифровые приложения, использующие МОП транзисторы с GO1.....	86
2.5.6.3. Аналоговые приложения, использующие МОП транзисторы с GO1..	86
2.5.6.4. Цифровые приложения, использующие МОП транзисторы с GO2_3V (GO2_5V).....	86
2.5.6.5. Аналоговые приложения, использующие МОП транзисторы с GO2_3V (GO2_5V).....	86
2.5.7. Правила проектирования для заряда индуцированного плазмой.....	87
2.5.7.1. Определение коэффициента накопления заряда.....	87

2.5.7.2. Правила проектирования с учётом накопления заряда.....	89
2.5.7.3. Рекомендации по уменьшению коэффициента накопления заряда.....	89
2.5.8. <i>e-Beat</i> тестирование.....	90
2.6. ПРАВИЛА, КАСАЮЩИЕСЯ ПЛОТНОСТИ ЗАПОЛНЕНИЯ СЛОЁВ.	91
2.6.1. Ограничения по плотности заполнения слоёв.	91
2.6.2. Рекомендации по заполнению областей фиктивными элементами.	91
2.6.3. Процедура автоматической генерации фиктивных элементов.	92

1. Введение

1.1. Изменения

Имя, версия документа	Дата	Статус изменения	Описание изменений
Правила проектирования КНИ180, версия 1.0	11.08.2011	Начальная версия	-
Правила проектирования КНИ180, версия 1.1	07.05.2014	Версия 1.1	П.п. 2.1.2., 2.3.1., 2.4.3.5., 2.4.1.2., 2.4.2.6., 2.4.3.6. – изменены формулировки П.п. 2.4.2. (пр. 14.2, 15.2, 76.2, 77.2, 16.2, 17.2), 2.4.3. (пр. 78.2, 79.2), 2.4.6. (пр. 13.10, 13.11), 2.4.6.3. (пр. 13.11), - изменены нормы П. 2.4.6.25. – изменён номер правила 2.1b на 2.1c П. 2.4.6. – введены правила 13.10a, 13.10b, 13.10c, 13.11a, 13.11b, 13.11c, 13.12a, 13.12b, 13.12c, 13.13a, 13.13b, 13.13c П. 2.2., 2.4.9. – изменено содержание П. 2.4.2.6. – удалено правило 13.9, изменена формулировка 13.5a, б Вновь введены п.п. 2.4.9., 2.5., 2.6.
Правила проектирования КНИ180, версия 1.2	28.11.2014	Версия 1.2	Изменены правила формирования ФАО
Правила проектирования КНИ180, версия 1.3	15.01.2015	Версия 1.3	Изменены правила формирования ФАО, изменён п. 2.6.3.
Правила проектирования КНИ180, версия 1.4	24.04.2015	Версия 1.4	Изменены правила . 14.2, 15.2, 16.2, 17.2, 76.2, 77.2, 78.2, 79.2. Исключено правило 31.27.

1.2. Родственные документы

Наименование	Обозначение
Спецификация техпроцесса КНИ180	
Комплект разработчика	

1.3. Поддержка

Технические вопросы должны задаваться:

email: alesmirnov@mikron.ru
телефон: 84952297279

2. Основная часть

2.1. Технологический маршрут

2.1.1. Основные характеристики

- **КНИ СТРУКТУРА** – исходная пластина с тонким приборным слоем кремния полностью изолированным от подложки слоем оксида кремния. Использование подложки с КНИ структурой позволяет обеспечить защиту транзисторных структур от эффекта защелки, повышение радиационной стойкости физической структуры изделий и быстродействия схем на их основе.
- **ЩЕЛЕВАЯ ИЗОЛЯЦИЯ (STI)**: используется для изоляции активных элементов, при этом обеспечивается минимальное расстояние между соседними изолируемыми активными областями.
- **NPWELLS** (карманы N- и P-типов) позволяют получить оптимальное распределение примеси.
- **N⁺/P⁺ ПОЛИКРЕМНЕВЫЕ ЗАТВОРЫ**. Данная технология позволяет разрабатывать симметричные N и P канальные транзисторы. Для P канальных транзисторов использование P⁺ поликремниевого затвора обеспечивает лучшие короткоканальные характеристики и более низкую чувствительность к эффекту горячих носителей по сравнению с N⁺ поликремниевым затвором.
- **СИЛИЦИДИРОВАННЫЙ СТОК, ИСТОК И ЗАТВОР**: силицид необходим для соединения (закоротки) N⁺ и P⁺ поликремниевых шин, кроме того, силицид значительно снижает последовательное сопротивление областей затвора, стока/истока. Силицид на стоке/истоке обеспечивает гарантированное соединение областей стока/истока с металлом при использовании одного контактного окна.
- **РЕЗИСТОРЫ НА ПОЛИКРЕМНИИ И НА ОСНОВЕ АКТИВНЫХ ОБЛАСТЕЙ**: силицид не используется для элементов защиты от воздействия электростатического разряда и над активными областями. В данном техпроцессе возможно получение поликремниевых резисторов.
- **ХМП (ХИМИКО-МЕХАНИЧЕСКАЯ ПЛАНАРИЗАЦИЯ)** используется для улучшения планарности структур.
- **ВОЛЬФРАМОВЫЕ ЗАГЛУШКИ** в контактах служат для лучшего контактирования с металлическими слоями. Кроме того, они позволяют переходным отверстиям (via) располагаться над контактными окнами (contact) без каких-либо дополнительных ограничений.
-

2.1.2. Семейство КМОП КНИ процессов

Правила проектирования справедливы для 0.18 мкм семейства КМОП КНИ процессов.

Напряжение питания: данное семейство техпроцессов разработано для использования при напряжении питания 1.8В ($\pm 0.15В$), для схем ввода/вывода (периферийных устройств) возможно использовать 3.3В или 5.0В.

Реализованы следующие варианты технологических маршрутов:

- **базовый технологический процесс КНИ180_6М_1.8В (А)** - включает в себя формирование транзисторов с пониженным током утечки (Low leakage транзисторы), диодов, резисторов, конденсаторов и схем ввода/вывода (периферийных устройств) с напряжением питания 1.8В.

- **базовый технологический процесс КНИ180_6М_3.3В (Б)** - включает в себя базовый тех. процесс А + для схем ввода/вывода (периферийных устройств) возможно использовать питание 3.3В;

Данный базовый технологический процесс может дополняться опциями НІРО, МІМ, НКМІМ:

- техпроцесс КНИ180_6М_3.3В_Н_М (опция Б1) – включает в себя базовый тех. процесс Б + высокоомные резисторы RНІРО + МІМ конденсаторы;

- техпроцесс КНИ180_6М_3.3В_Н_НКМ (опция Б2) – включает в себя базовый тех. процесс Б + высокоомные резисторы RНІРО + НКМІМ конденсаторы.

- **базовый технологический процесс КНИ180_6М_5В (В)** - включает в себя базовый тех. процесс А + для схем ввода/вывода (периферийных устройств) возможно использовать питание 5.0В;

Данный базовый технологический процесс может дополняться опциями НІРО, S, МІМ, НКМІМ:

- техпроцесс КНИ180_6М_5В_Н_М (опция В1) – включает в себя базовый тех. процесс В + высокоомные резисторы RНІРО + МІМ конденсаторы;

- техпроцесс КНИ180_6М_5В_Н_S_М (опция В2) – включает в себя базовый тех. процесс В + высокоомные резисторы RНІРО + однократно программируемые ячейки памяти + МІМ конденсаторы;

- техпроцесс КНИ180_6М_5В_Н_НКМ (опция В3) – включает в себя базовый тех. процесс В + высокоомные резисторы RНІРО + НКМІМ конденсаторы;

- техпроцесс КНИ180_6М_5В_Н_S_НКМ (опция В4) – включает в себя базовый тех. процесс В + высокоомные резисторы RНІРО + однократно программируемые ячейки памяти + НКМІМ конденсаторы;

2.1.3. Упрощенный технологический процесс

КМОП КНИ процесс		Добавляемые опции		
Маска	Операции процесса	Опция	Маска	Операции процесса
	Запуск пластин			
Активная область	Формирование активных областей, формирование целевой изоляции			
Инв. активная область				
N карман	Формирование карманов для 1.8В транзисторов с низкими токами утечки			
P карман				
N карман_3v	Формирование карманов для 3.3В транзисторов с низкими токами утечки	5.0В	N карман_5v	Формирование карманов для 5.0В транзисторов с низкими токами утечки
P карман_3v			P карман_5v	
		OTP	OTP	Формирование программируемого элемента ячейки памяти
GO2_3v	Формирование 3.3В подзатворного окисла	5.0В	GO2_5v	Формирование 5.0В подзатворного окисла
	Формирование 1.8В подзатворного окисла			
	Осаждение поликремния			
NPOLYDOPING	Формирование поликремниевых затворов и разводки			
POLY				
NLDD	Формирование LDD областей 1.8В транзисторов			
PLDD				
NEXT_3v	Формирование LDD областей 3.3В транзисторов	5.0В	NEXT_5v	Формирование LDD областей 5.0В транзисторов
PEXT_3v			PEXT_5v	
		RHIPO	PRESIST	Имплантация высокоомного резистора
	Формирование спейсера			
N+ сток-истоки	Формирование сток-истоковых областей			
P+ сток-истоки				
Siprot	Формирование силицида			
LIL	Формирование локальных межсоединений			
Контакты	Формирование контактных окон			

КМОП КНИ процесс		Добавляемые опции		
Маска	Операции процесса	Опция	Маска	Операции процесса
Металл 1	Формирование слоя первого металла			
VIA 1	Формирование первых переходных контактных окон			
Металл 2	Формирование слоя второго металла			
VIA 2	Формирование вторых переходных контактных окон			
Металл 3	Формирование слоя третьего металла			
VIA 3	Формирование третьих переходных контактных окон			
Металл 4	Формирование слоя четвёртого металла			
VIA 4	Формирование четвёртых переходных контактных окон			
Металл 5	Формирование слоя пятого металла			
		MIM	MIM5	Формирование слоя пятого бис металла
			HKMIM5	
VIA5	Формирование пятых переходных контактных окон			
Металл 6	Формирование слоя шестого металла			
Пассивация	Формирование слоя пассивации			

2.2. Конструкция элементной базы для проектирования.

Элементы, которые не определены в данном разделе, недоступны для проектирования.

2.2.1. Специфицированные элементы.

Для всех элементов (приборов) доступны следующие описания: характеристики элемента при комнатной температуре, чувствительность параметров элемента к температуре, чувствительность параметров элемента к изменению напряжения, разброс параметров элемента (согласование), статистическое описание, описание в терминах DRC, SPICE модели.

№	Имя элемента	Примечание
1	nmos_a	NМОП транзистор А типа с низким током утечки, с питанием 1.8V (подзатворный окисел 3.2 нм)
2	nmos_h	NМОП транзистор Н типа с низким током утечки, с питанием 1.8V (подзатворный окисел 3.2 нм)
3	pmos_a	РМОП транзистор А типа с низким током утечки, с питанием 1.8V (подзатворный окисел 3.2 нм)
4	pmos_h	РМОП транзистор Н типа с низким током утечки, с питанием 1.8V (подзатворный окисел 3.2 нм)
5	rnpoly	Резистор на N+ поликремнии без силицида
6	rppoly	Резистор на P+ поликремнии без силицида
7	rndiff	Резистор на N+ активной области без силицида
8	rpdiff	Резистор на P+ активной области без силицида
9	rnps	Резистор на N+ поликремнии с силицидом
10	rnw*	Резистор на N кармане без силицида
11	rpw*	Резистор на P кармане без силицида
12	dn	Диод на основе областей N+/P карман
13	dp	Диод на основе областей P+/N карман
14	cpoly_n	Ёмкость N+ поликремний/3.2 нм окисел/N+ активная область/ N карман
15		

2.2.2. Элементы, доступные только для специальных приложений.

Этот класс элементов доступен ТОЛЬКО для узкоспециализированных приложений. Характеризация элементов сведена к необходимому минимуму для использования в соответствующих специальных приложениях. Обеспечивается полная поддержка элементов в Design Kit в рамках приложения, для которого предназначены элементы.

№	Имя элемента	Примечание
1	nmos_io_a	NМОП транзистор А типа без силицида для схем входа/выхода, с напряжением питания 1.8В (подзатворный окисел 3.2 нм)
2	pmos_io_a	РМОП транзистор А типа без силицида для схем входа/выхода, с напряжением питания 1.8В (подзатворный окисел 3.2 нм)
3	nmos	NМОП транзистор А типа без NLDD областей и силицида для защиты от электростатических зарядов (подзатв. окисел 3.2 нм)

2.2.3. Элементы, доступные при использовании дополнительных опций процесса.

№	Имя элемента	Примечание
1	nmos_a_hv	NМОП транзистор А типа с низким током утечки, с напряжением питания 3.3В (подзатворный окисел 7.0 нм)
2	nmos_h_hv	NМОП транзистор Н типа с низким током утечки, с напряжением питания 3.3В (подзатворный окисел 7.0 нм)
3	pmos_a_hv	РМОП транзистор А типа с низким током утечки, с напряжением питания 3.3В (подзатворный окисел 7.0 нм)
4	pmos_h_hv	РМОП транзистор Н типа с низким током утечки, с напряжением питания 3.3В (подзатворный окисел 7.0 нм)
5	nmos_io_a_hv	NМОП транзистор А типа без силицида для схем входа/выхода, с напряжением питания 3.3В (подзатворный окисел 7.0 нм)
6	pmos_io_a_hv	РМОП транзистор А типа без силицида для схем входа/выхода, с напряжением питания 3.3В (подзатворный окисел 7.0 нм)
7	nmos_hv	NМОП транзистор А типа без NEXT областей и силицида для защиты от электростатических зарядов (подзатв. окисел 7.0 нм)
8	cpoly_n_hv	Ёмкость N+ поликремний/7.0 нм окисел/N+ активная область/ N карман_3v
9	rnw_hv*	Резистор на N кармане_3v без силицида
10	rpw_hv*	Резистор на Р кармане_3v без силицида
11	dn_hv	Диод на основе областей N+/P карман_3v
12	dp_hv	Диод на основе областей P+/N карман_3v
13	nmos_a_vhv	NМОП транзистор А типа с низким током утечки, с напряжением питания 5.0В (подзатворный окисел 12.5 нм)
14	nmos_h_vhv	NМОП транзистор Н типа с низким током утечки, с напряжением питания 5.0В (подзатворный окисел 12.5 нм)
15	pmos_a_vhv	РМОП транзистор А типа с низким током утечки, с напряжением питания 5.0В (подзатворный окисел 12.5 нм)

16	pmos_h_vhv	РМОП транзистор Н типа с низким током утечки, с напряжением питания 5.0В (подзатворный окисел 12.5 нм)
17	nmos_io_a_vhv	НМОП транзистор А типа без силицида для схем входа/выхода, с напряжением питания 5.0В (подзатворный окисел 12.5 нм)
18	pmos_io_a_vhv	РМОП транзистор А типа без силицида для схем входа/выхода, с напряжением питания 5.0В (подзатворный окисел 12.5 нм)
19	nmos_vhv	НМОП транзистор А типа без NEXT_5V областей и силицида для защиты от электростатических разрядов (подзатв. окисел 12.5 нм)
20	cpoly_n_vhv	Ёмкость N+ поликремний/12.5 нм окисел/N+ активная область/ N карман_5v
21	rnw_vhv*	Резистор на N кармане_5v без силицида
22	rpw_vhv*	Резистор на P кармане_5v без силицида
23	dn_vhv	Диод на основе областей N+/P карман_5v
24	dp_vhv	Диод на основе областей P+/N карман_5v
25	rhipob	НПО резистор на поликремнии без силицида (1Ком/кв.)
26	cmim5	Конденсатор с высокой линейностью Металл5/Металл5-бис (МІМ конденсатор 0.85 fF/μm²)
27	chkmim5	Конденсатор Металл5/Металл5-бис (МІМ конденсатор 2 fF/μm²)
28	otp	Электрически однократно программируемая ячейка памяти

Примечание: элементы отмеченные * не разрешены к использованию в проектах.

2.3. Перечень и параметры топологических слоёв. Генерация фотошаблонов для формирования слоя на пластине.

2.3.1. Перечень слоёв. Таблица для формирования фотошаблонов.

Для формирования фотошаблонов данные должны быть отформатированы по следующим правилам:

- a) База данных CALMA GDSII должна содержать один слой для каждого шаблона.
- b) Слои, которые не прорисованы в топологии, должны быть сформированы согласно описанию в пункте «Программа формирования фотошаблонов (раскодирование слоёв)».
- c) Разделение слоев не допускается. Если разделение слоев используются в САПР, то разделенные слои должны быть объединены до того, как осуществится передача данных о слоях в программу формирования фотошаблонов.
- d) Типы слоев GDSII 0 и 32 зарезервированы для измеряемых геометрических объектов.
- e) Тип слоя GDSII 31 зарезервирован для не измеряемых объектов (технологические метки размеров).
- f) Тип слоя GDSII 4 зарезервирован для фиктивных (dummy) областей (активных областей, инверсных активных областей, поликремния, металлов).
- g) Тип слоя GDSII 30 зарезервирован для специальных «ячеек высокой плотности заполнения».
- h) Остальные слои GDSII не должны использоваться.

DRC и LVS должны быть выполнены для топологии в формате GDSII до этапа преобразования слоев с использованием программы формирования фотошаблонов.

Наименование слоя	Номер слоя GDS2	Состав GDS2	Используемые слои									Примечание
			A	B	B1	B2	B	B1	B2	B3	B4	
ACTIVE	2	0,4,30,31,32	x	x	x	x	x	x	x	x	x	
INV. ACTIVE	61	0,4,30,31,32	x	x	x	x	x	x	x	x	x	
NWELL	1	0, ,30,31,32	x	x	x	x	x	x	x	x	x	
PWELL	8	0, ,30,31,32	x	x	x	x	x	x	x	x	x	
NWELL_3V	89	0, ,30,31,32		x	x	x						1
PWELL_3V	90	0, ,30,31,32		x	x	x						1
NWELL_5V	93	0, ,30,31,32					x	x	x	x	x	2
PWELL_5V	94	0, ,30,31,32					x	x	x	x	x	2
OTP	91	0, ,30,31,32							x		x	3
GO2_3V	6	0, ,30,31,32		x	x	x						4
GO2_5V	7	0, ,30,31,32					x	x	x	x	x	5
NPOLYDOPING	108	0, ,30,31,32	x	x	x	x	x	x	x	x	x	
POLY	13	0,4,30,31,32	x	x	x	x	x	x	x	x	x	
NLDD	14	0, ,30,31,32	x	x	x	x	x	x	x	x	x	
PLDD	15	0, ,30,31,32	x	x	x	x	x	x	x	x	x	
PRESIST	26	0, ,30,31,32			x	x		x	x	x	x	
NPLUS	16	0, ,30,31,32	x	x	x	x	x	x	x	x	x	
PPLUS	17	0, ,30,31,32	x	x	x	x	x	x	x	x	x	
SIPROT	18	0, ,30,31,32	x	x	x	x	x	x	x	x	x	
NEXT_3V	76	0, ,30,31,32		x	x	x						6
PEXT_3V	77	0, ,30,31,32		x	x	x						6
NEXT_5V	78	0, ,30,31,32					x	x	x	x	x	7
PEXT_5V	79	0, ,30,31,32					x	x	x	x	x	7
LIL	39	0, ,30,31,32	x	x	x	x	x	x	x	x	x	
CONTACT	19	0, ,30,31,32	x	x	x	x	x	x	x	x	x	
METAL1	23	0,4,30,31,32	x	x	x	x	x	x	x	x	x	
VIA1	25	0, ,30,31,32	x	x	x	x	x	x	x	x	x	
METAL2	27	0,4,30,31,32	x	x	x	x	x	x	x	x	x	
VIA2	32	0, ,30,31,32	x	x	x	x	x	x	x	x	x	
METAL3	34	0,4,30,31,32	x	x	x	x	x	x	x	x	x	
VIA3	35	0, ,30,31,32	x	x	x	x	x	x	x	x	x	
METAL4	36	0,4,30,31,32	x	x	x	x	x	x	x	x	x	
VIA4	52	0, ,30,31,32	x	x	x	x	x	x	x	x	x	
MIM5	80	0,4,30,31,32			x			x	x			8
HKMIM5	92	0,4,30,31,32				x				x	x	9
METAL5	53	0,4,30,31,32	x	x	x	x	x	x	x	x	x	
VIA5	54	0, ,30,31,32	x	x	x	x	x	x	x	x	x	
METAL6	55	0,4,30,31,32	x	x	x	x	x	x	x	x	x	
NITRIDE	31	0, ,30,31,32	x	x	x	x	x	x	x	x	x	10

Примечания:

- (1) Слои NWELL_3V и PWELL_3V используются для создания карманов МОП транзисторов с напряжением питания 3.3В.
- (2) Слои NWELL_5V и PWELL_5V используются для создания карманов МОП транзисторов с напряжением питания 5.0В.
- (3) Слой OTP используется для создания однократно программируемого элемента памяти на структуре с пробоем тонкого подзатворного окисла (3.2 нм).
- (4) Слой GO_3V используется для формирования транзисторов с толщиной затворного окисла 7.0 нм (напряжение питания 3.3В).
- (5) Слой GO_5V используется для формирования транзисторов с толщиной затворного окисла 12.5 нм (напряжение питания 5.0В).
- (6) Слои NEXT_3V и PEXT_3V используются для формирования LDD областей транзисторов с напряжением питания 3.3В.
- (7) Слои NEXT_5V и PEXT_5V используются для формирования LDD областей транзисторов с напряжением питания 5.0В.
- (8) Слой MIM5 используется для формирования верхнего электрода конденсатора Металл5 - Металл5-бис номиналом 0.85 фФ/мкм².
- (9) Слой НКМIM5 используется для формирования верхнего электрода конденсатора Металл5 - Металл5-бис номиналом 2.0 фФ/мкм².
- (10) Маска NITRIDE используется для вскрытия контактных площадок и микропадов (травления пассивирующего окисла и нитрида).
Микропад определяется двумя слоями:
 - слой 31, тип слоя 0;
 - слой 62, тип слоя 42.

2.3.2. Размеры, маркировка слоёв, фотошаблоны

Размеры, маркировка и фреймы (кадры) определяются front-end частью технологии, это означает, что соответствующая специальная информация согласуется с внутренними требованиями и поступает от группы подготовки фотошаблонов.

Наименование слоя	Номер слоя GDS2	Прорисовка Да/Нет	Тональность поля
ACTIVE	2	Да	Светлый
INV. ACTIVE	61	Нет	Тёмный
NWELL	1	Да	Тёмный
PWELL	8	Нет	Светлый
NWELL_3V	89	Да	Тёмный
PWELL_3V	90	Да	Тёмный
NWELL_5V	93	Да	Тёмный
PWELL_5V	94	Да	Тёмный
OTP	91	Да	Тёмный
GO2_3V	6	Да	Светлый
GO2_5V	7	Да	Светлый
NPOLYDOPING	108	Нет	Светлый
POLY	13	Да	Светлый
NLDD	14	Да	Тёмный

PLDD	15	Да	Тёмный
NEXT_3V	76	Да	Тёмный
PEXT_3V	77	Да	Тёмный
NEXT_5V	78	Да	Тёмный
PEXT_5V	79	Да	Тёмный
PRESIST	26	Да	Тёмный
NPLUS	16	Да	Тёмный
PPLUS	17	Да	Тёмный
SIPROT	18	Да	Светлый
LIL	39	Да	Тёмный
CONTACT	19	Да	Тёмный
METAL1	23	Да	Светлый
VIA1	25	Да	Тёмный
METAL2	27	Да	Светлый
VIA2	32	Да	Тёмный
METAL3	34	Да	Светлый
VIA3	35	Да	Тёмный
METAL4	36	Да	Светлый
VIA4	52	Да	Тёмный
MIM5	80	Да	Светлый
HKMIM5	92	Да	Светлый
METAL5	53	Да	Светлый
VIA5	54	Да	Тёмный
METAL6	55	Да	Светлый
NITRIDE	31	Да	Тёмный

Максимальные размеры кристалла определяются фабрикой.

Длина и ширина кристалла (по осям X и Y), включая линии скрайбирования, должны быть кратны 2 мкм.

2.4. Правила проектирования топологии

2.4.1. Принятые допущения при разработке правил

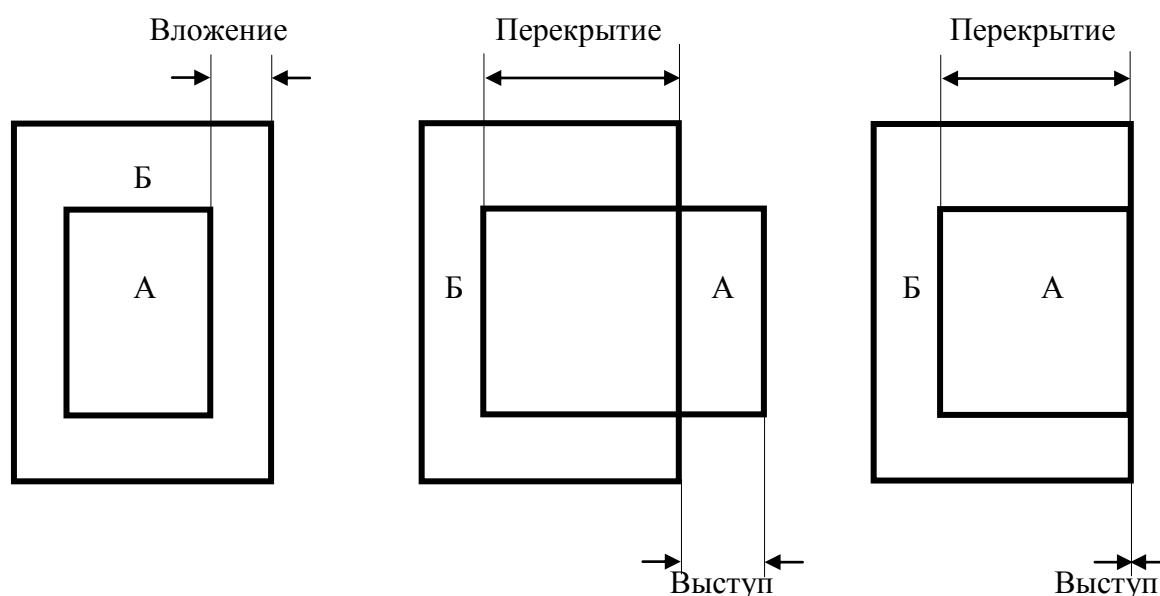
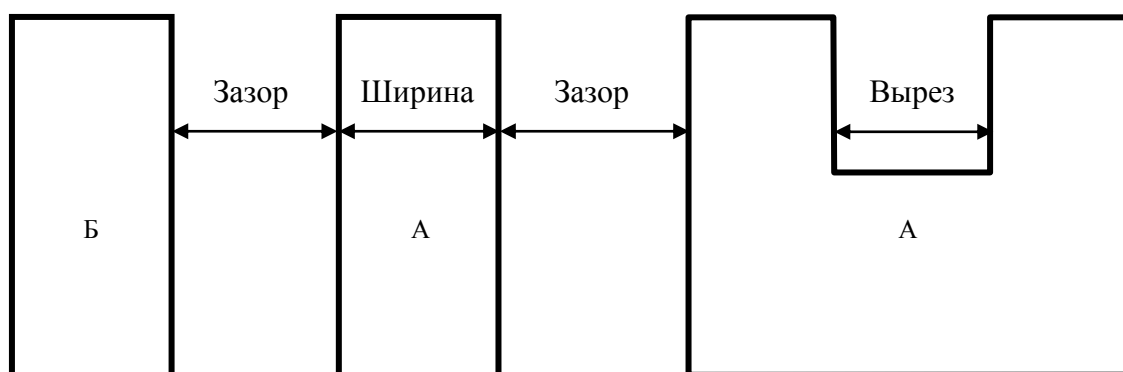
2.4.1.1. Общие положения

Все размеры прорисовываются на фотошаблонах: это означает, что необходимый (определенный) набор размеров применяется в процессе подготовки фотошаблонов для того, чтобы убедиться, что окончательные размеры на кремнии соответствуют прорисованным размерам. Стандартный размер сетки – 0.01 мкм для всех слоев.

- a) ACTIVE: ширина активной области определяется как расстояние между смежными канавками (щелями) изоляции после окисления канавок.
- b) GO2_3V, GO2_5V: их ширина определяется как ширина линии фоторезистивной маски на момент травления GO2.
- c) Слои легирования (OTP, NLDD, PLDD, NEXT_3V, PEXT_3V, NEXT_5V, PEXT_5V, NPLUS, PPLUS): их ширина определяется как ширина вскрытого фоторезиста при операции легирования.
- d) POLY, SIPROT, METAL 1, 2, 3, 4, 5, 6: ширина определяется как ширина линии на середине высоты (толщины) слоя после удаления фоторезиста.
- e) LIL, CONTACT, VIA 1, 2, 3, 4, 5: ширина определяется как размер контакта или межслойного переходного окна на середине высоты (толщины) после удаления фоторезиста.
- f) NITRIDE: ширина определяется как ширина вскрытого фоторезиста после контроля изделия.

2.4.1.2. Стандартные определения.

Зазор	Расстояние между внешними границами двух областей.
Ширина	Расстояние между внутренними границами области.
Вырез	Расстояние между внешними границами одной области.
Вложение области А в область Б	Расстояние между внешней границей области А и внутренней границей области Б. Область Б полностью окружает область А.
Перекрытие области А областью Б	Расстояние между внутренней границей области А и внутренней границей области Б
Выступ области А за область Б	Расстояние между внутренней границей области А и внешней границей области Б
Площадь	Вычисляется площадь полигона.



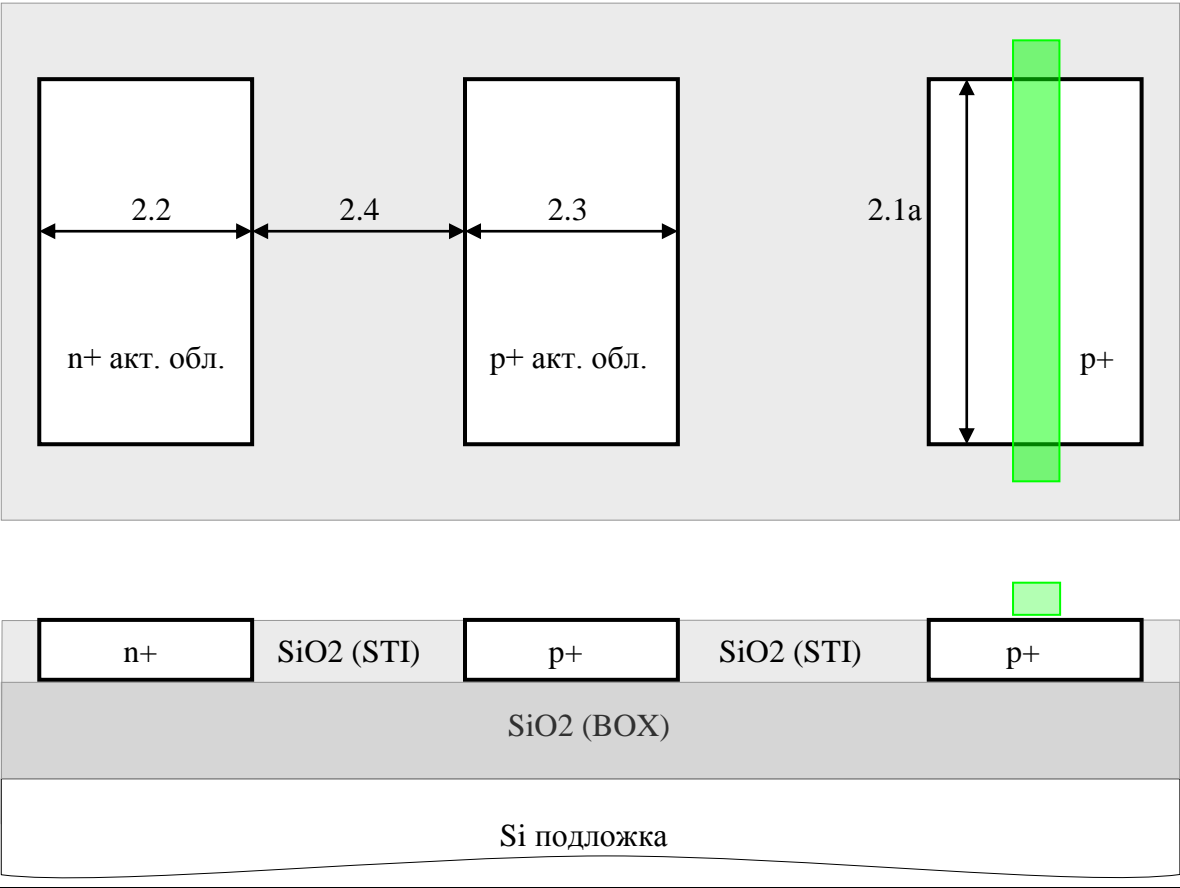
2.4.2. Основные топологические ограничения при проектировании базового КМОП КНИ модуля

- Все правила приведены для минимальных размеров.
- Значения всех размеров приведены в микронах и все ограничения на площадь структур в квадратных микронах.
- Все правила должны использоваться только так, как показано на соответствующих им рисунках.

2.4.2.1. "ACTIVE": Активная область (Слой 2)

а) АКТИВНАЯ ОБЛАСТЬ

2.1a	Ширина транзистора А типа.	0.48
2.1b	Ширина транзистора Н типа.	0.52
2.2	Ширина n ⁺ активной области.	0.28
2.3	Ширина p ⁺ активной области.	0.28
2.4	Зазор между активными областями.	0.32
2.5	Минимальная площадь активной области.	0.32



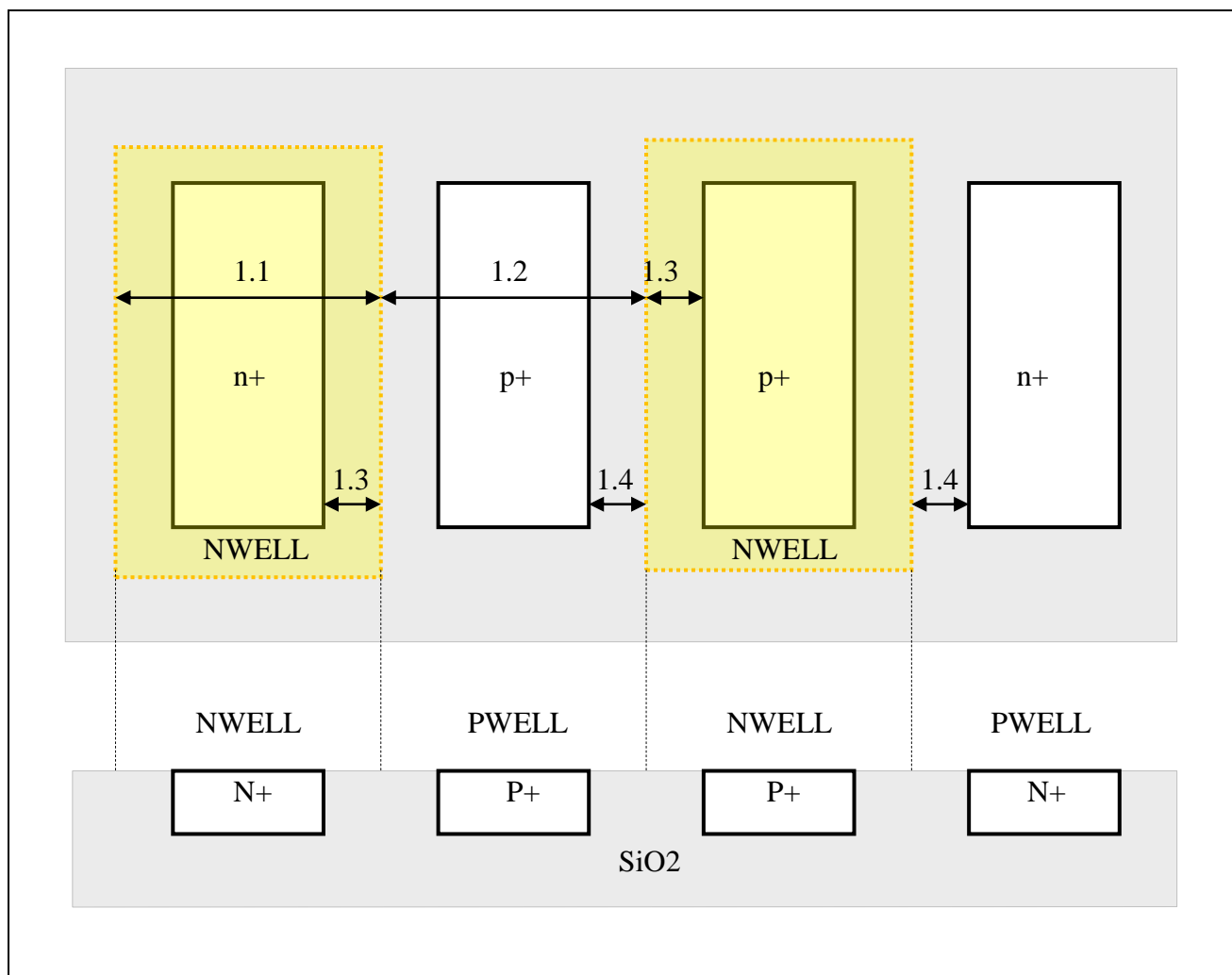
б) ФИКТИВНАЯ АКТИВНАЯ ОБЛАСТЬ

Вставка ФИКТИВНЫХ АКТИВНЫХ ОБЛАСТЕЙ (ФАО) является обязательной процедурой. ФАО вносятся разработчиком топологии в соответствии с процедурой, описанной в документации пользователя PDK.

2.DU1	ФАО нельзя формировать в существующей активной области. Зазор между ФАО и активной областью.	2
2.DU2	ФАО нельзя формировать под поликремнием. Зазор между ФАО и поликремнием.	2
2.DU3	ФАО можно формировать во всех N и P карманах. ФАО не должна пересекать границы N и P карманов. Зазор между ФАО и границей N, P карманов.	0.16
2.DU4	ФАО нельзя формировать под слоем локальных межсоединений (LIL). Зазор между ФАО и LIL.	2
2.DU5	ФАО можно формировать под контактными площадками (КП) Нельзя вводить принудительный запрет на формирование ФАО под КП	
2.DU6	ФАО нельзя формировать под специальными метками (служебными структурами). Зазор между ФАО и другими метками (служебными структурами).	2
2.DU7	Ширина ФАО при первом заполнении (минимальная = максимальная).	4
2.DU8	Зазор между ФАО при первом заполнении.	2
2.DU9	Ширина ФАО при последующих заполнениях.	1
2.DU10	Площадь ФАО при последующих заполнениях (минимальная = максимальная).	2
2.DU11	Зазор между ФАО, ФАО и активной областью при последующих заполнениях.	0.6
2.DU12	Минимальная плотность заполнения активными областями на любой 1 мм ² площади кристалла.	41%
2.DU13	Минимальная плотность заполнения активными областями по всему кристаллу.	46%

2.4.2.2. "NWELL": N карман для элементной базы с питанием 1.8V (Слой 1)

1.1	Ширина.	0.80
1.2	Зазор.	0.80
1.3	Вложение активной области.	0.16
1.4	Зазор между NWELL и активной областью.	0.16
1.5	Зазор между NWELL и NWELL_3V, PWELL_3V, NWELL_5V, PWELL_5V (минимальный = максимальному).	0.0



2.4.2.3. "NWELL_3V": N карман для элементной базы с питанием 3.3В (Слой 89)

Слой темнопольный.

89.1	Ширина.	0.80
89.2	Зазор	0.80
89.3	Вложение активной области.	0.16
89.4	Зазор между NWELL_3V и активной областью.	0.16
89.5	Зазор между NWELL_3V и NWELL, PWELL_3V, NWELL_5V, PWELL_5V (минимальный = максимальному).	0.0

2.4.2.4. "PWELL_3V": P карман для элементной базы с питанием 3.3В (Слой 90)

Слой темнопольный.

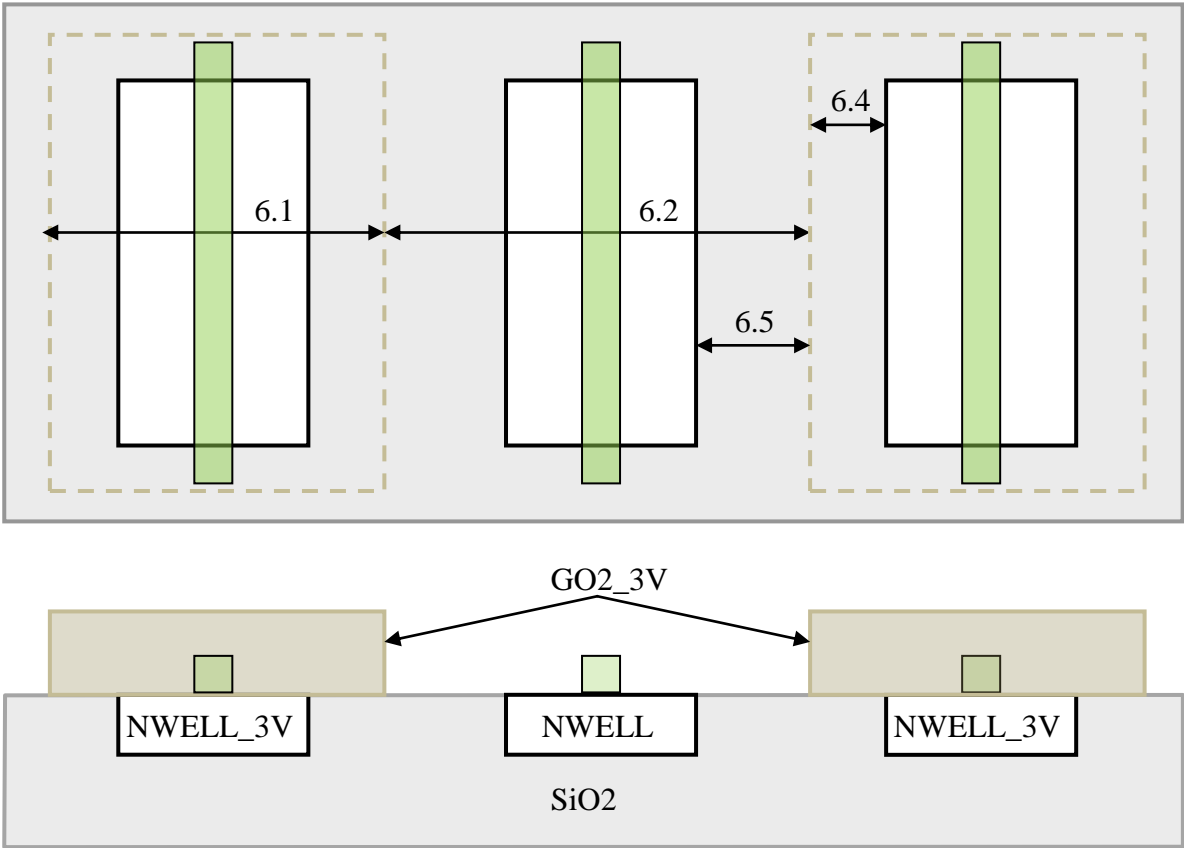
90.1	Ширина.	0.80
90.2	Зазор.	0.80
90.3	Вложение активной области.	0.16
90.4	Зазор между PWELL_3V и активной областью.	0.16
90.5	Зазор между PWELL_3V и NWELL, NWELL_3V, NWELL_5V, PWELL_5V (минимальный = максимальному).	0.0

2.4.2.5. "GO2_3V" (Слой 6)

В прорисованных областях слоя GO2_3V окончательная толщина подзатворного окисла будет результатом двух окислений (6.5 нм для питания 3.3В).

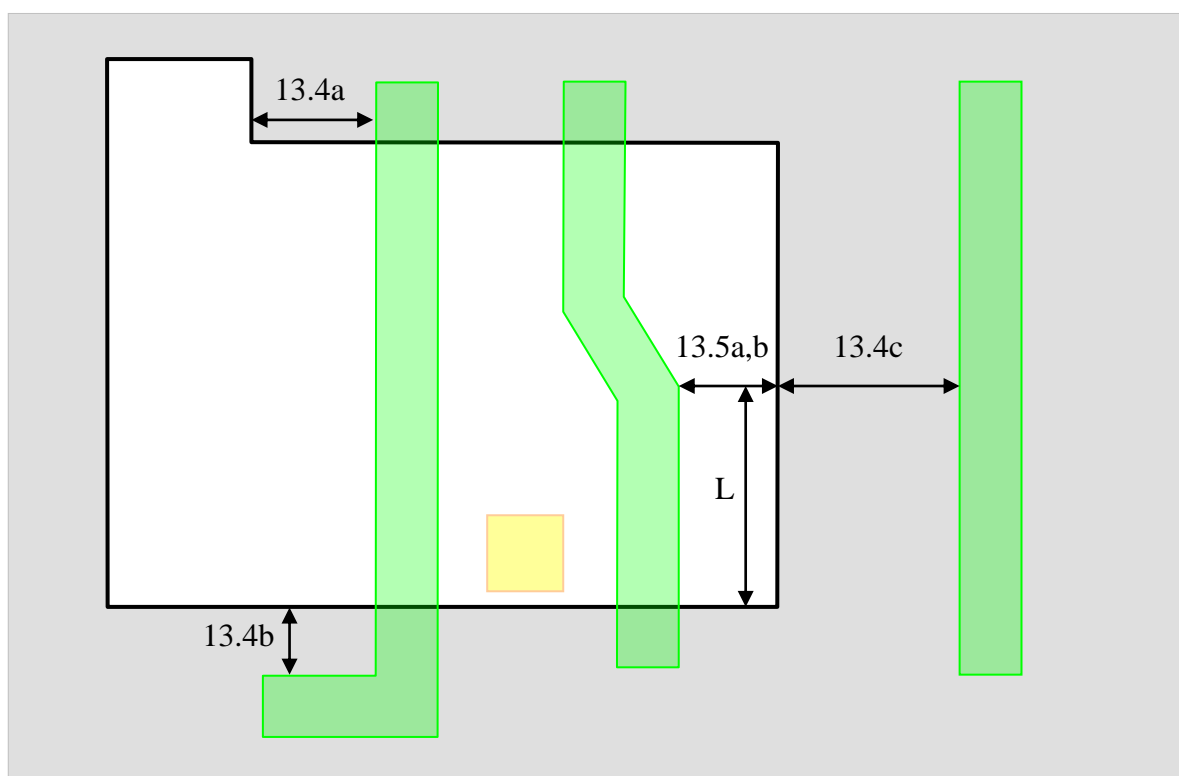
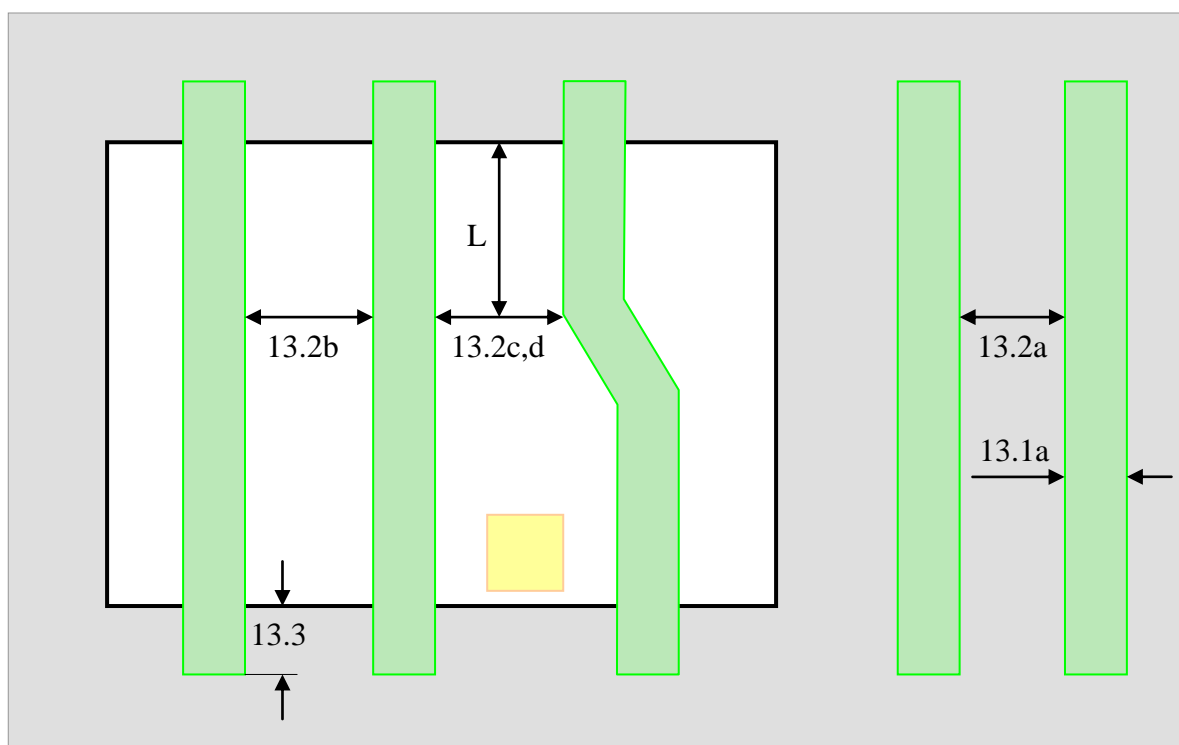
Слой светлопольный.

6.1	Ширина.	1.0
6.2	Зазор.	1.0
6.3	Если зазор меньше, то области должны быть объединены.	
6.4	Вложение активной области.	0.32
6.5	Зазор между GO2_3V и активной областью.	0.32

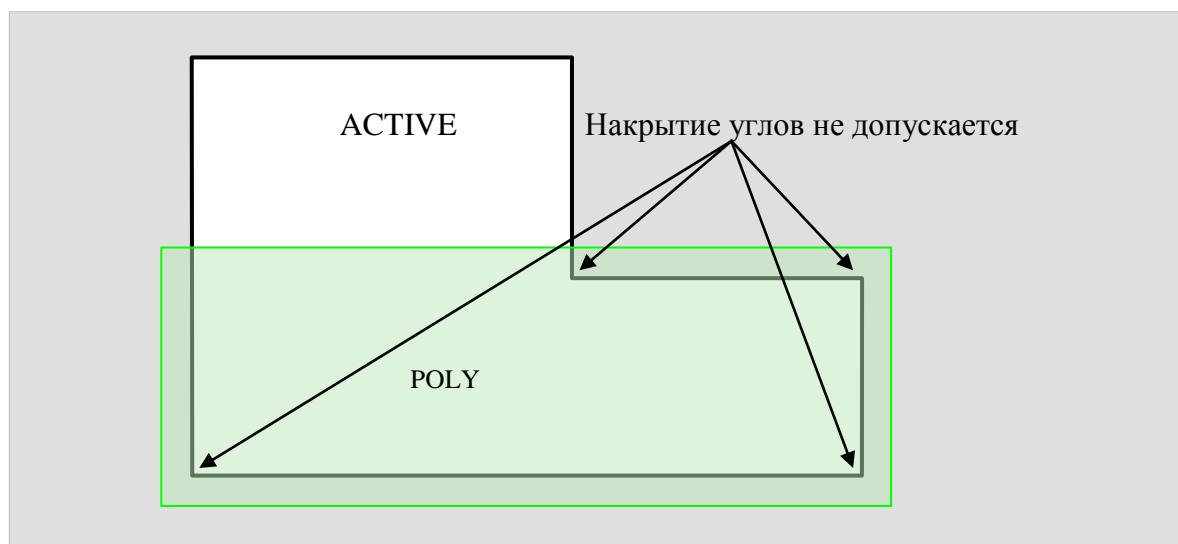
		
6.6	Запрещено пересечение областью GO2_3V границы активной области.	

2.4.2.6. "POLY": Поликремний (Слой 13)

13.1a	Ширина.	0.18
13.2a	Зазор между областями поликремния, находящимися над областью изоляции.	0.28
13.2b	Зазор между областями поликремния, находящимися над активной областью без контактов.	0.28
13.2c	Зазор между областями поликремния, находящимися над активной областью с контактами, если L меньше 5 мкм.	0.36
13.2d	Зазор между областями поликремния, находящимися над активной областью с контактами, если L больше или равно 5 мкм.	0.44
13.3	Выступ поликремниевого затвора за активную область (endcap).	0.20
13.4a	Зазор между изогнутой активной областью и поликремнием, если поликремний и активная область принадлежат одному транзистору	0.16
13.4b	Зазор между изогнутым поликремнием и активной областью, если поликремний и активная область принадлежат одному транзистору	0.16
13.4c	Зазор между поликремнием и активной областью во всех остальных случаях.	0.12
13.5a	Ширина области стока/истока без контакта ¹ , если L менее 5 мкм, или с контактом.	0.36
13.5b	Ширина области стока/истока без контакта ¹ , если L больше или равно 5 мкм.	0.44



13.6	Не допускается покрытие поликремнием углов активной области (внешних и внутренних).	
------	---	--



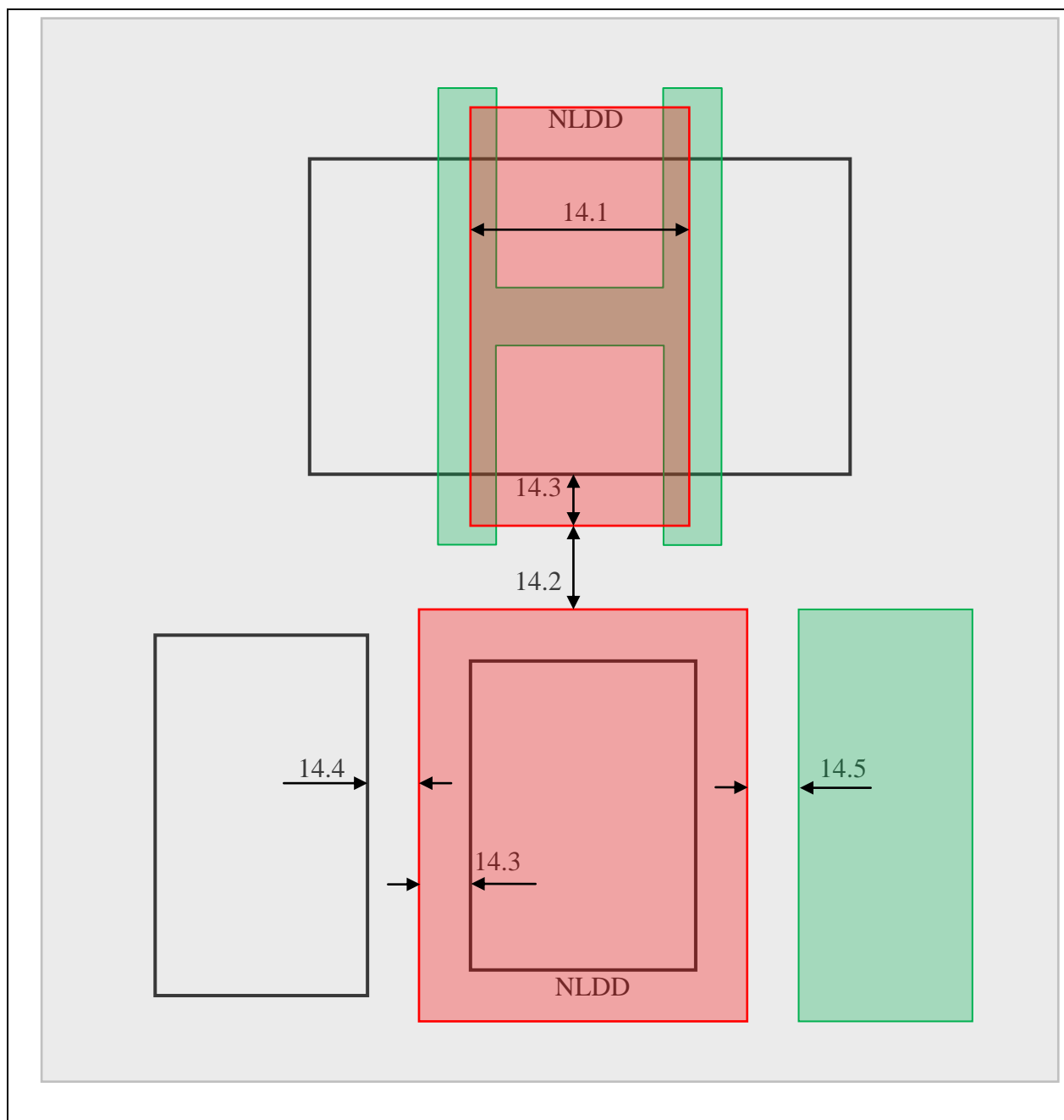
13.7	Зазор между поликремнием, находящимся над активной областью, и границей этой активной области, если она не является областью стока/истока.	0.32
13.8	Минимальная плотность заполнения поликремнием по всему кристаллу после вставки фиктивных областей.	15%

¹ Примечание: без контакта означает – на расстоянии более 5 мкм от контактного окна

2.4.2.7. "NLDD": Области LDD n типа (Слой 14)

Данный слой прорисовывается для всех n канальных транзисторов с напряжением питания 1.8В. Внутри области NLDD происходит легирование областей LDD и Pocket имплантация. Данный слой может не использоваться в транзисторах для специальных применений (для них области LDD не легируются). Формируемый из слоя фотошаблон является темнопольным.

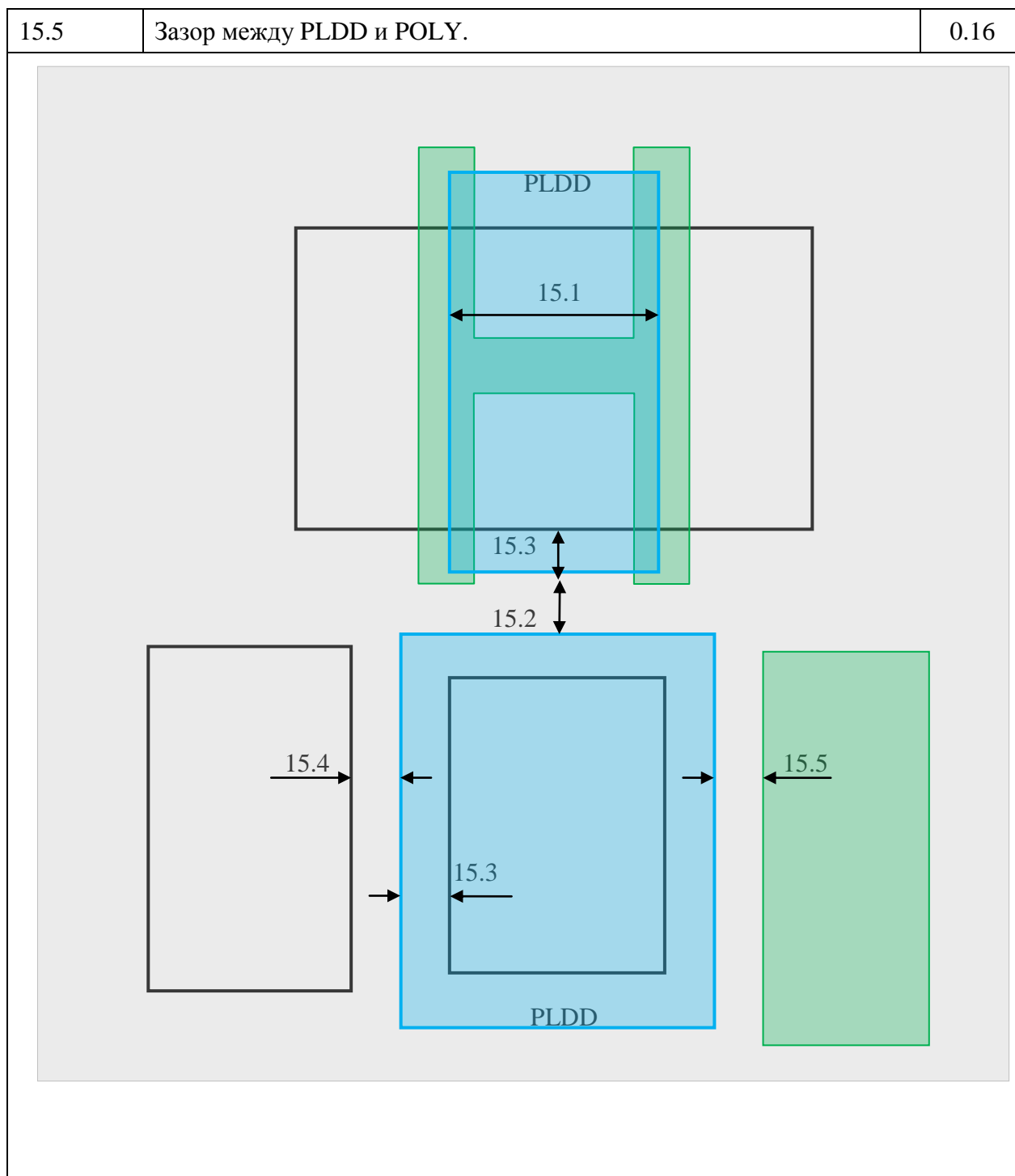
14.1	Ширина.	0.48
14.2	Зазор.	0.48
14.3	Выступ за активную область.	0.16
14.4	Зазор между NLDD и активной областью.	0.16
14.5	Зазор между NLDD и POLY.	0.16



2.4.2.8. "PLDD": Области LDD p-типа (Слой 15)

Данный слой прорисовывается для всех p канальных транзисторов с напряжением питания 1.8В. Правила проектирования для элементов определены в последующих разделах. Внутри области PLDD происходит легирование областей LDD и Pocket имплантация. Формируемый из слоя фотошаблон является темнопольным.

15.1	Ширина.	0.48
15.2	Зазор.	0.48
15.3	Выступ за активную область.	0.16
15.4	Зазор между PLDD и активной областью.	0.16



2.4.2.9. "NEXT_3V" (Слой 76)

Данный слой прорисовывается для n канальных транзисторов с напряжением питания 3.3В. Внутри фигур, прорисованных в слое NEXT_3V, проводится NEXT имплантация. Области NEXT_3V для транзисторов с толстым окислом имеют назначение аналогичное NLDD в n канальных транзисторах с тонким окислом.

Формируемый из слоя фотошаблон является темнопольным.

76.1	Ширина.	0.48
76.2	Зазор.	0.48
76.3	Вложение активной области.	0.16
76.4	Зазор между NEXT_3V и активной областью.	0.16
76.5	Зазор между NEXT_3V и POLY.	0.16

2.4.2.10. "PEXT_3V" (Слой 77)

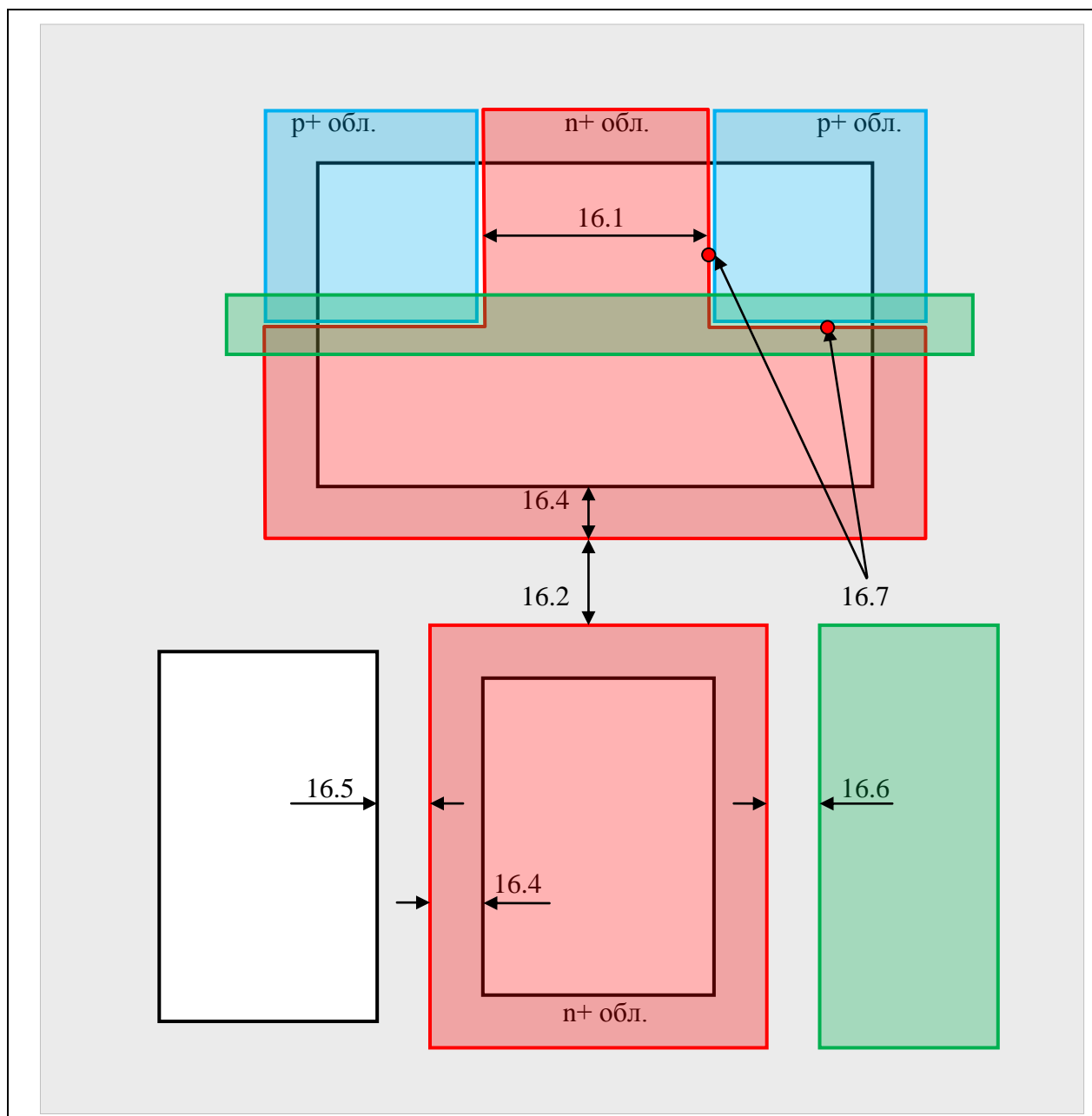
Данный слой прорисовывается для р канальных транзисторов с напряжением питания 3.3В. Внутри фигур, прорисованных в слое PEXT_3V, проводится PEXT имплантация. Области PEXT_3V для транзисторов с толстым окислом имеют назначение аналогичное PLDD в р канальных транзисторах с тонким окислом.

Формируемый из слоя фотошаблон является темнопольным.

77.1	Ширина.	0.48
77.2	Зазор.	0.48
77.3	Вложение активной области.	0.16
77.4	Зазор между PEXT_3V и активной областью.	0.16
77.5	Зазор между PEXT_3V и POLY.	0.16

2.4.2.11. "NPLUS": N⁺ области стоков/истоков (Слой 16)

16.1	Ширина.	0.48
16.2	Зазор.	0.48
16.3	Минимальная площадь.	0.32
16.4	Вложение активной области.	0.16
16.5	Зазор между NPLUS и активной областью.	0.16
16.6	Зазор между NPLUS и POLY.	0.16
16.7	Зазор между NPLUS и PPLUS при слитном расположении областей PPLUS и NPLUS (минимальный = максимальному).	0.0
16.8	Запрещено пересечение областей NPLUS и PPLUS.	



2.4.2.12. "PPLUS": P⁺ области стоков/источков (слой 17)

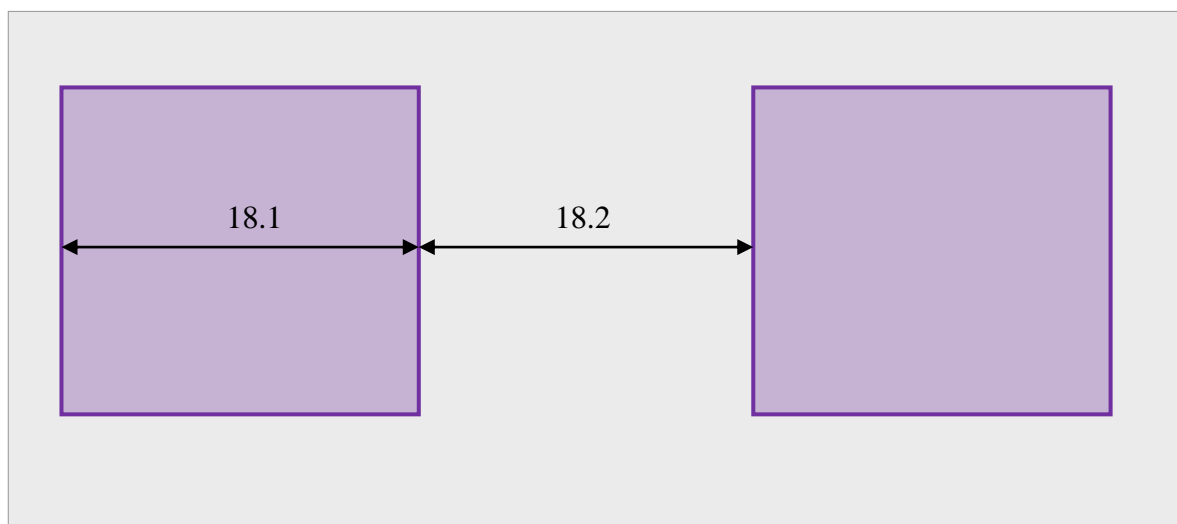
17.1	Ширина.	0.48
17.2	Зазор.	0.48
17.3	Минимальная площадь.	0.32
17.4	Вложение активной области.	0.16
17.5	Зазор между PPLUS и активной областью.	0.16

17.6	Зазор между PPLUS и POLY.	0.16
<p>The diagram illustrates the layout of a SIPROT region. The top part shows a cross-section with n+ regions (red), a p+ region (blue), and a green layer. Dimensions 17.1 and 17.4 are indicated. The bottom part shows a plan view with a central p+ region (blue) and surrounding n+ regions (red and green). Dimensions 17.2, 17.4, 17.5, and 17.6 are indicated.</p>		

2.4.2.13. "SIPROT": Защита от силицида (Слой 18)

Внутри области SIPROT силицид на кремнии отсутствует (на подложке, на монокристаллическом кремнии или на любой другой осажденной области кремния). Вне области SIPROT на всех стоках, истоках и поликремнии присутствует силицид. При формировании областей стоков/истоков происходит легирование поликремния, в связи с чем, следует более внимательно проектировать топологию схемы, во избежание формирования N^+/P^+ диодов в областях без силицида (активных областях или поликремнии). Формируемый из слоя фотошаблон является светлопольным.

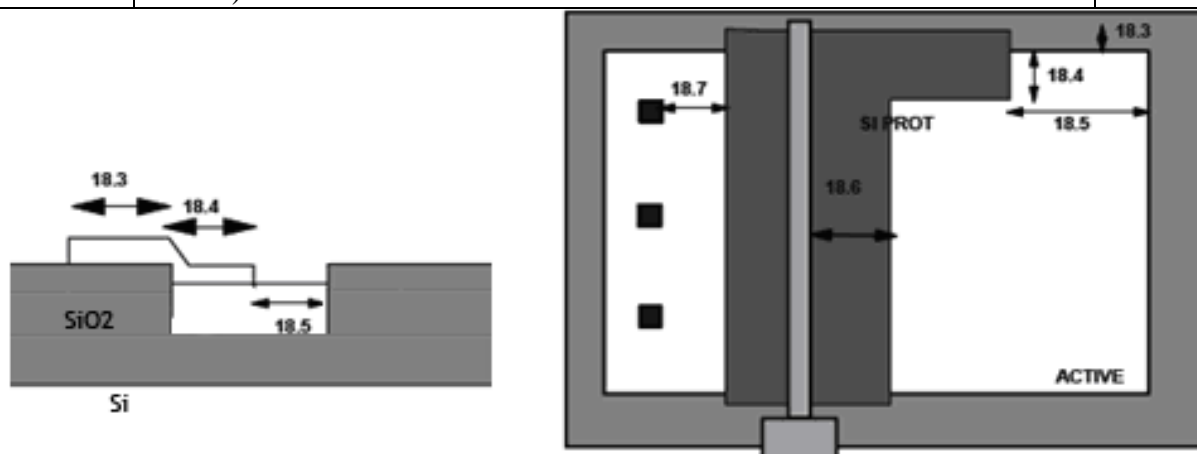
18.1	Ширина.	0.48
18.2	Зазор.	0.48



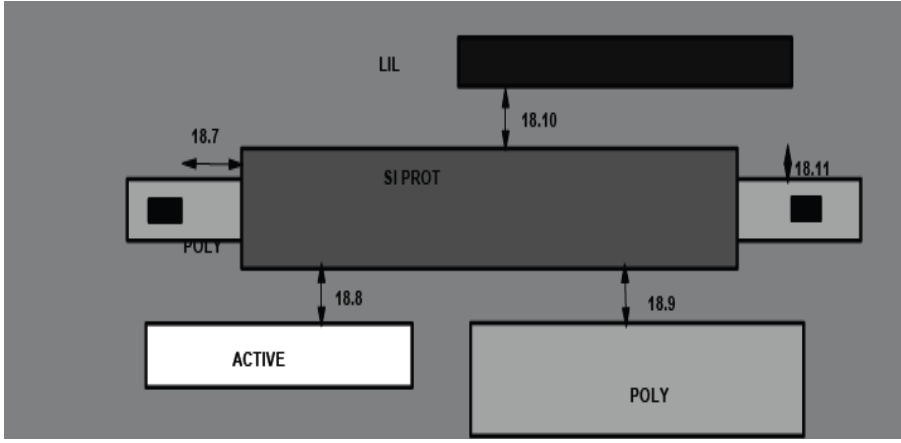
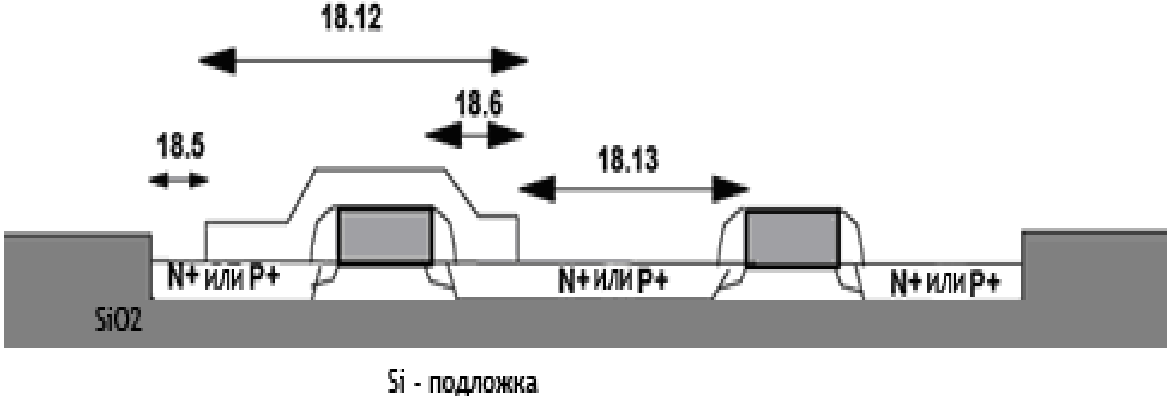
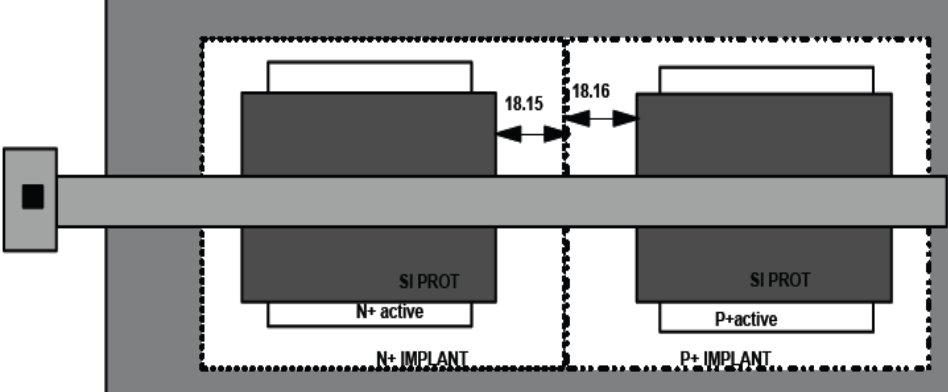
18.3	Выступ за границы активной области для областей стока/истока без силицида.	0.30
18.4	Перекрытие активной области в областях стока/истока	0.24
18.5	Выступ активной области за границу SIPROT.	0.32
18.6	Вложение POLY, лежащего на активной области, в область SIPROT.	0.56

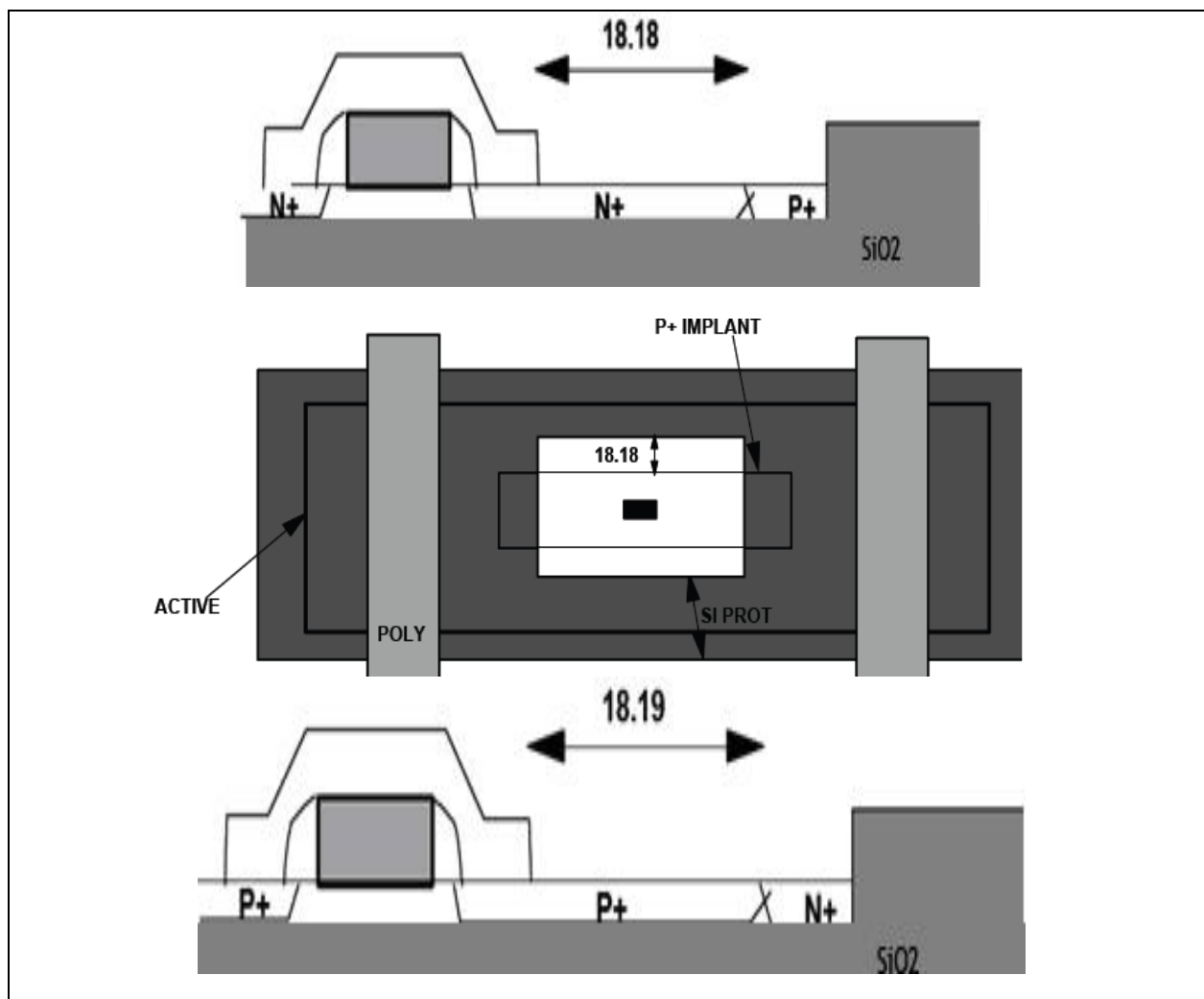
ВНИМАНИЕ: данное правило зависит от техпроцесса, при минимальном значении не гарантируются хорошие характеристики по электростатической защите. Для достижения требуемых характеристик по электростатической защите необходимо выбирать большее значение вложения, особенно со стороны активной области, а также должным образом проектировать схему и топологию каждого устройства.

18.7	Зазор между SIPROT и контактом (на активной области или на POLY).	0.20
------	---	------

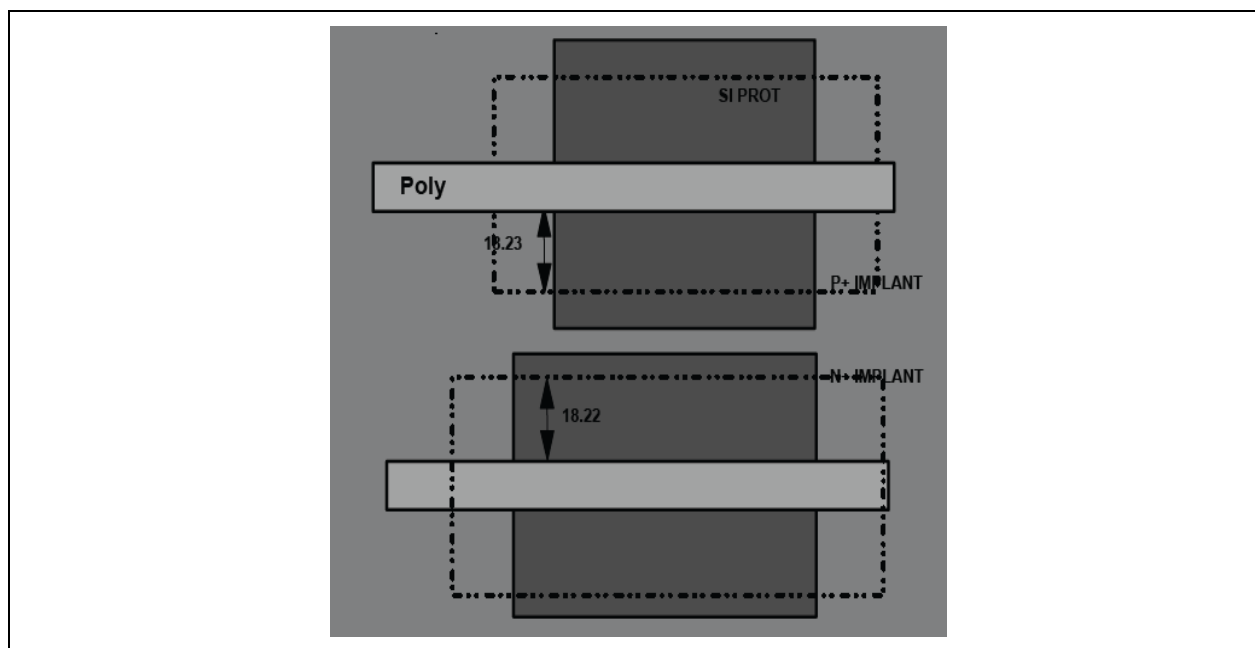


18.8	Зазор между SIPROT и активной областью.	0.24
18.9	Зазор между SIPROT и POLY, над областью изоляции.	0.24
18.10	Зазор между SIPROT и LIL.	0.2
18.11	Выступ за POLY, над областью изоляции.	0.30

		
18.12	SIPROT должен покрывать POLY затвор с обеих сторон.	
18.13	Зазор между SIPROT и POLY, над активной областью (расстояние между границей активной области без силицида и затвором транзистора с силицидом).	0.4
		
18.14	POLY без силицида не должен пересекать границы областей NPLUS или PPLUS.	
18.15	Выступ N^+ POLY за границу SIPROT	0.48
18.16	Выступ P^+ POLY за границу SIPROT.	0.48
18.17	При пересечении слоем SIPROT слитных областей (N^+ и P^+), SIPROT должен пересекать границу области PPLUS.	
18.18	Выступ N^+ активной области за границу SIPROT в слитном контакте к P карману.	0.48
18.19	Выступ P^+ активной области за границу SIPROT в слитном контакте к N карману.	0.48
		

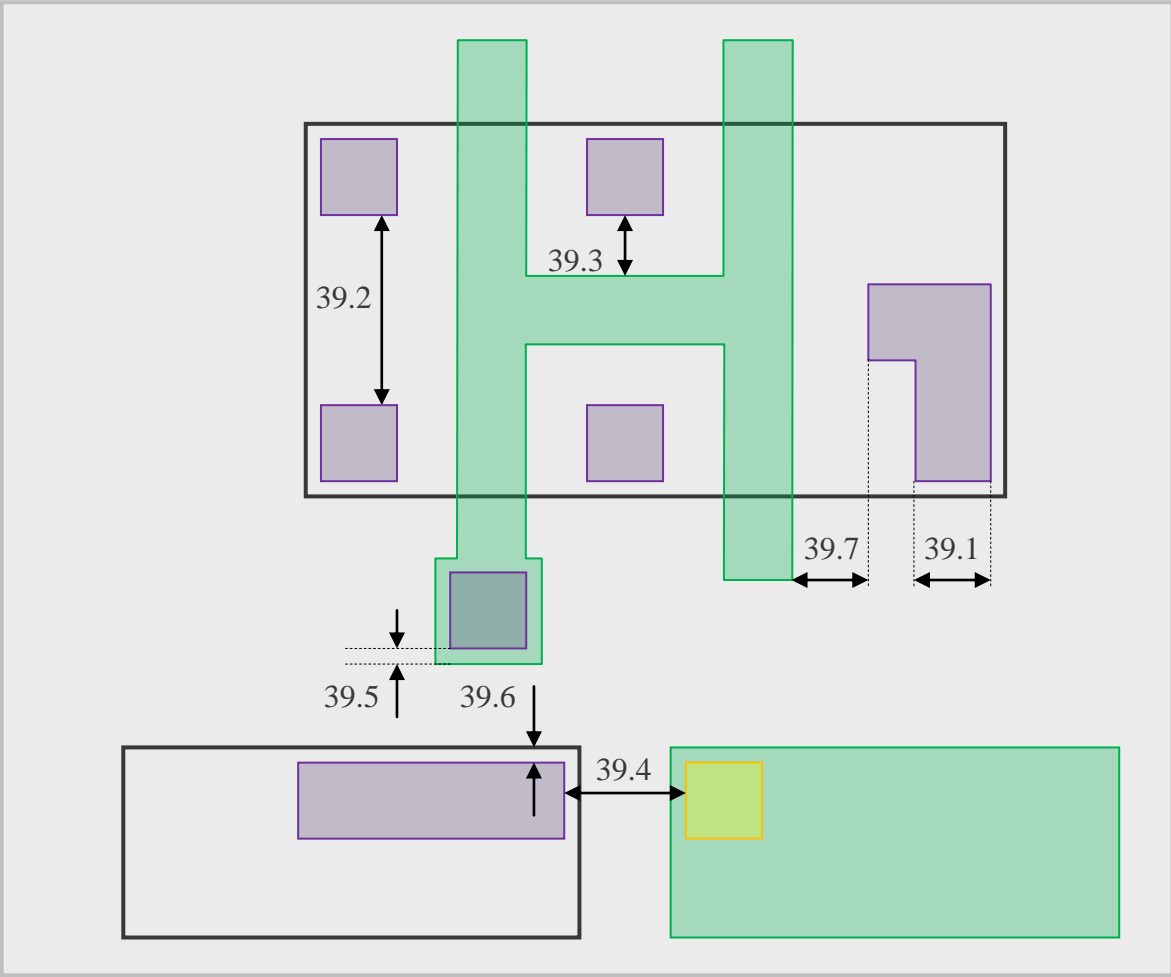


18.20	Выступ POLY за границу SI PROT.	0.32
18.21	Перекрытие POLY.	0.24
<p>The diagram shows a cross-section of a device. It consists of a central region labeled POLY and a surrounding region labeled SI PROT. The POLY layer has a width of 18.20 and the SI PROT layer has a width of 18.21.</p>		
18.22	Вложение POLY в NPLUS, накрытый слоем SI PROT	0.30
18.23	Вложение POLY в PPLUS, накрытый слоем SI PROT	0.30
18.24	Зазор между поликремниевым резистором без силицида и резистором на основе активной области без силицида	0.52
18.25	Перекрытие n ⁺ (p ⁺) области сток/исток	0.24



2.4.2.14. "LIL": Локальные вольфрамовые межсоединения (Слой 39)

39.1	Ширина (минимальная = максимальной).	0.24
39.2	Зазор между областями.	0.32
39.3	Зазор между LIL и поликремнием.	0.14
39.4	Зазор между LIL и "неродственным" контактом.	0.32
39.5	Вложение в поликремний.	0.02
39.6	Вложение в активную область.	0.06
39.7	Зазор между LIL и поликремнием в случае, если длина изогнутой части области LIL со стороны внутреннего угла меньше 0.4 мкм	0.24
39.8	Минимальная площадь вложенной области, окруженной слоем LIL.	0.36

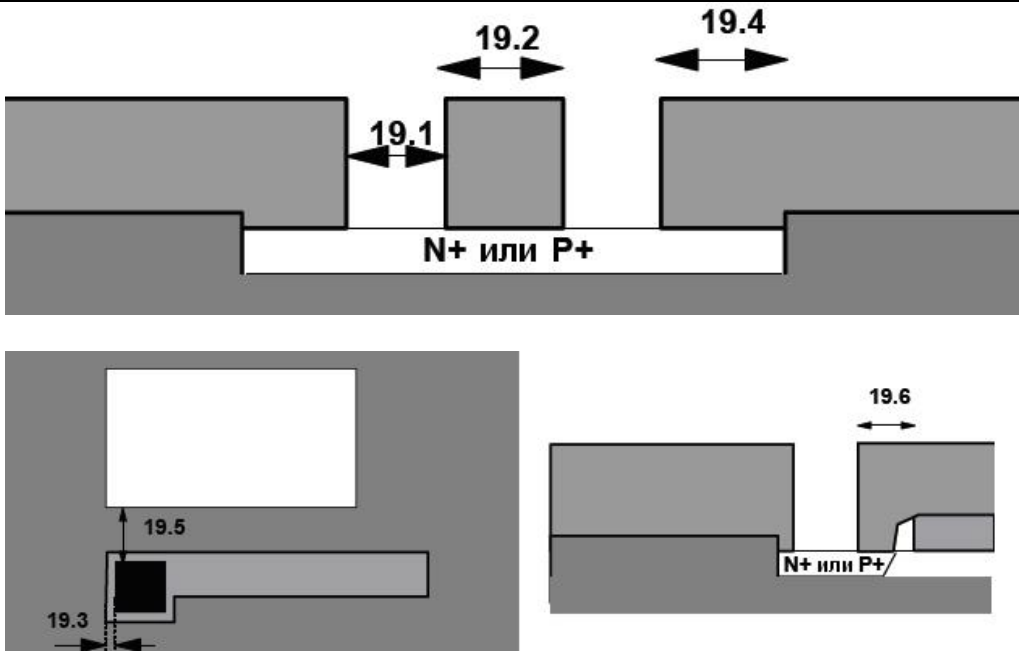
		
39.9	Контактирование LIL с POLY над активной областью не допускается	
39.10	Расположение слоя LIL на слое SIPROT не допускается	
39.11	Запрещается формирование (прорисовка) слоя LIL под углом в 45°	
39.12	Запрещено формирование (прорисовка) LIL над областью изоляции STI вне контакта к POLY.	

Примечание:

При контактировании металлов к активными областям и областям POLY слой LIL является контактным (т.е. входит в состав контакта, который состоит из двух слоев: CONTACT и LIL).

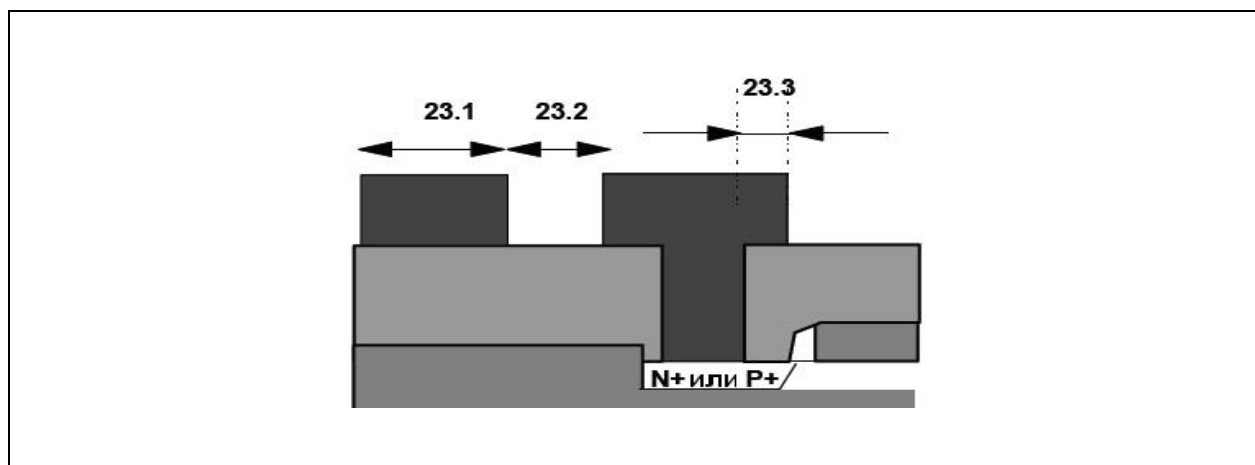
2.4.2.15. "CONTACT": Контактные окна (Слой 19)

19.1	Ширина (ширина = длине, минимальная = максимальной)	0.24
19.2	Зазор между контактными окнами	0.32
19.3	Вложение в поликремний	0.02
19.4	Вложение в активную область	0.06

19.5	Зазор между CONTACT и "неродственной" активной областью	0.14
19.6	Зазор между CONTACT и "неродственным" поликремнием	0.14
 <p>19.1, 19.2, 19.4, 19.5, 19.3, 19.6</p> <p>N+ или P+</p>		
19.7	Запрещается формировать контактные окна к поликремнию над активной областью	
19.8	Запрещается формировать контактные окна внутри области "siprot"	

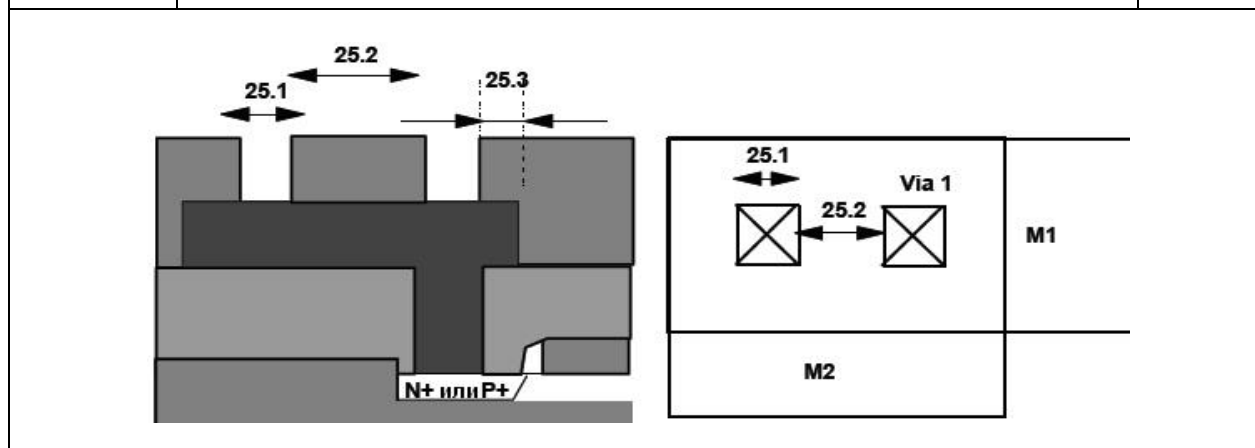
2.4.2.16. "METAL1": Первый слой металлизации (Слой 23)

23.1	Ширина	0.32
23.2	Зазор	0.32
23.3	Вложение контактного окна	0.04
23.4	Максимальная ширина металлических шин в периферийных схемах должна выбираться в соответствии с правилами для механических напряжений	
23.5	Минимальная площадь	0.2
23.6	Минимальная плотность заполнения на любые 4 мм ² площади кристалла	20%
23.7	Максимальная плотность заполнения на любые 4 мм ² площади кристалла	55%



2.4.2.17. «VIA1»: Межслойные контактные окна 1 (Слой 25)

25.1	Ширина (ширина = длине, минимальная = максимальной)	0.32
25.2	Зазор.	0.32
25.3	Вложение в METAL1.	0.0



2.4.2.18. "METAL2": Второй слой металлизации (Слой 27)

27.1	Ширина.	0.32
27.2	Зазор.	0.32
27.3	Вложение VIA1.	0.0
27.4	Максимальная ширина металлических шин в периферийных схемах должна выбираться в соответствии с правилами для механических напряжений	
27.5	Минимальная площадь	0.2
27.6	Минимальная плотность заполнения на любые 4 мм ² площади кристалла	20%
27.7	Максимальная плотность заполнения на любые 4 мм ² площади кристалла	55%

2.4.2.19. "VIA2": Межслойные контактные окна 2 (Слой 32)

32.1	Ширина (ширина = длине, минимальная = максимальной)	0.32
32.2	Зазор.	0.32
32.3	Вложение в METAL2.	0.0

2.4.2.20. "METAL3": Третий слой металлизации (Слой 34)

34.1	Ширина.	0.32
34.2	Зазор.	0.32
34.3	Вложение VIA2.	0.0
34.4	Максимальная ширина металлических шин в периферийных схемах должна выбираться в соответствии с правилами для механических напряжений	
34.5	Минимальная площадь	0.2
34.6	Минимальная плотность заполнения на любые 4 мм ² площади кристалла	20%
34.7	Максимальная плотность заполнения на любые 4 мм ² площади кристалла	55%

2.4.2.21. "VIA3": Межслойные контактные окна 3 (Слой 35)

35.1	Ширина (ширина = длине, минимальная = максимальной)	0.32
35.2	Зазор.	0.32
35.3	Вложение в METAL3.	0.0

2.4.2.22. "METAL4": Четвёртый слой металлизации (Слой 36)

36.1	Ширина.	0.32
36.2	Зазор.	0.32
36.3	Вложение VIA3.	0.0
36.4	Максимальная ширина металлических шин в периферийных схемах должна выбираться в соответствии с правилами для механических напряжений	
36.5	Минимальная площадь	0.2
36.6	Минимальная плотность заполнения на любые 4 мм ² площади кристалла	20%
36.7	Максимальная плотность заполнения на любые 4 мм ² площади кристалла	85%

2.4.2.23. "VIA4": Межслойные контактные окна 4 (Слой 52)

52.1	Ширина (ширина = длине, минимальная = максимальной).	0.32
52.2	Зазор.	0.32
52.3	Вложение в METAL4.	0.0

2.4.2.24. "METAL5": Пятый слой металлизации (Слой 53)

53.1	Ширина.	0.64
53.2	Зазор.	0.64
53.3	Вложение VIA4.	0.16
53.4	Максимальная ширина металлических шин в периферийных схемах должна выбираться в соответствии с правилами для механических напряжений.	
53.6	Минимальная плотность заполнения на любые 4 мм ² площади кристалла.	15%
53.7	Максимальная плотность заполнения на любые 4 мм ² площади кристалла.	85%

2.4.2.25. "VIA5": Межслойные контактные окна 5 (Слой 54)

54.1	Ширина (ширина = длине, минимальная = максимальной).	0.6
54.2	Зазор.	0.36
54.3	Вложение в METAL5.	0.02

2.4.2.26. "METAL6": Шестой слой металлизации (Слой 55)

55.1	Ширина.	0.64
55.2	Зазор.	0.64
55.3	Вложение VIA5.	0.02
55.4	Максимальная ширина металлических шин в периферийных схемах должна выбираться в соответствии с правилами для механических напряжений.	
55.5	Минимальная плотность заполнения на любые 4 мм ² площади кристалла.	15%

2.4.2.27. "NITRID": Пассивация (Слой 31)

Формируемый из слоя фотошаблон является темнопольным. В местах наличия данного слоя вскрываются окна в пассивации. Смотрите также следующие разделы:

- Правила проектирования контактных площадок.
- Правила формирования защитного кольца.

2.4.3. Топологические ограничения при проектировании дополнительных опций для базового КМОП КНИ модуля

2.4.3.1. "NWELL_5V": N карман для элементной базы с питанием 5.0В (Слой 93),

Слой темнопольный.

93.1	Ширина.	0.82
93.2	Зазор.	0.82
93.3	Вложение активной области.	0.16
93.4	Зазор между NWELL_5V и активной областью.	0.16
93.5	Зазор между NWELL_5V и NWELL, NWELL_3V, PWELL_3V, PWELL_5V (минимальный = максимальному).	0.0

2.4.3.2. "PWELL_5V": P карман для элементной базы с питанием 5.0В (Слой 94)

Слой темнопольный.

94.1	Ширина.	0.82
94.2	Зазор.	0.82
94.3	Вложение активной области.	0.16
94.4	Зазор между PWELL_5V и активной областью.	0.16
94.5	Зазор между PWELL_5V и NWELL, NWELL_3V, PWELL_3V, NWELL_5V (минимальный = максимальному).	0.0

2.4.3.3. "ОТР" (слой 91)

Слой ОТР используется для создания легированных областей n типа однократно программируемой ячейки памяти перед формированием подзатворного диэлектрика.

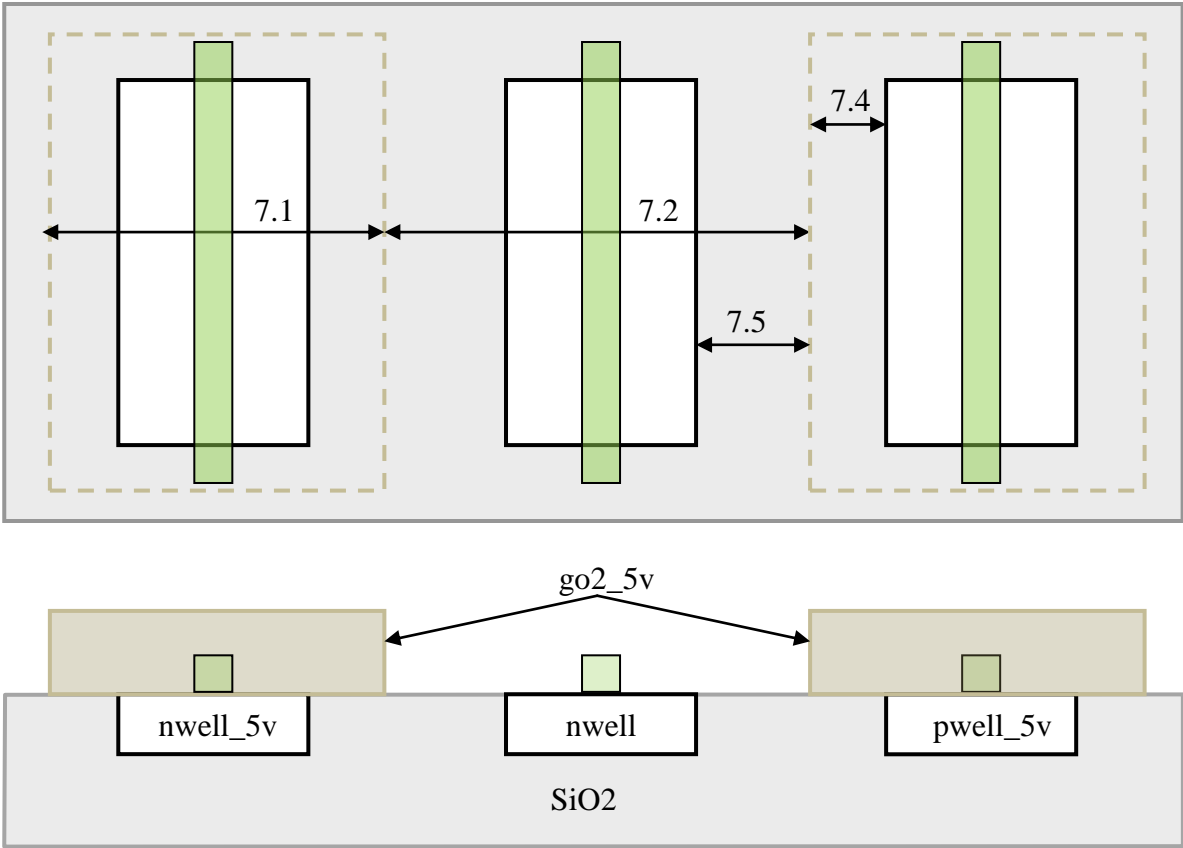
Слой темнопольный.

91.1	Ширина.	0.48
91.2	Зазор.	0.48
91.3	Минимальная площадь.	0.36

2.4.3.4. "GO2_5V" (Слой 7)

В прорисованных областях слоя "GO2_5V" окончательная толщина толстого подзатворного окисла будет результатом двух окислений (12.5 нм для питания 5.0В). Слой светлопольный.

7.1	Ширина.	1.14
7.2	Зазор.	1.14
7.3	Если зазор меньше, то области должны быть объединены.	
7.4	Вложение активной области.	0.32
7.5	Зазор между GO2_5V и активной областью.	0.32



7.6	Запрещено пересечение областью GO2_5V границы активной области.	
-----	---	--

2.4.3.5. "NEXT_5V" (Слой 78)

Данный темнопольный слой применяется для всех транзисторов с толстым подзатворным окислом (с напряжением питания 5.0В). Внутри фигур, прорисованных в слое "next_5v", проводится next имплантация. Области "next_5v" для транзисторов с толстым окислом имеют назначение аналогичное pldd в n канальных транзисторах с тонким окислом.

78.1	Ширина.	0.48
78.2	Зазор.	0.48
78.3	Вложение активной области.	0.16
78.4	Зазор между NEXT_5V и активной областью.	0.16
78.5	Зазор между NEXT_5V и POLY.	0.16

2.4.3.6. "PEXT_5V" (Слой 79)

Данный темнопольный слой применяется для всех транзисторов с толстым подзатворным окислом (с напряжением питания 5.0В). Внутри фигур, прорисованных в слое "pext_5v", проводится pext имплантация. Области "pext_5v" для транзисторов с толстым окислом имеют назначение аналогичное pldd в p канальных транзисторах с тонким окислом.

79.1	Ширина.	0.48
79.2	Зазор.	0.48
79.3	Вложение активной области.	0.16
79.4	Зазор между PEXT_5V и активной областью.	0.16
79.5	Зазор между PEXT_5V и POLY.	0.16

2.4.4. Топологические ограничения при проектировании модуля высокоомного поликремниевого резистора (HIPO)

2.4.4.1. Основные положения

Высокоомный HIPO резистор – поликремниевый резистор без силицида.

Эта структура формируется при помощи одной дополнительной маски PRESIST (слой 26)

- Длина резистора определяется слоем PPLUS
- Топологическая ширина равна ширине шины поликремния
- Топологическая длина вычисляется между областями легированными P+ имплантацией

Таким образом, правило формирования топологического рисунка:

HIPO RESISTOR:

POLY .AND. SIPROT . AND. PRESIST . AND NOT. PPLUS

Область несилицидированного поликремния, легированного Р типом примеси, находящаяся между двумя сильно легированными областями P+ типа, выполняет функцию **HIPO резистора**.

Фиктивные области HIPO RESISTOR – высокоомные резисторы без контактов.

Эти фиктивные резисторы нарисованы помимо резистора HIPO, чтобы улучшить воспроизводимость параметров.

2.4.4.2. "ACTIVE" (слой 2)

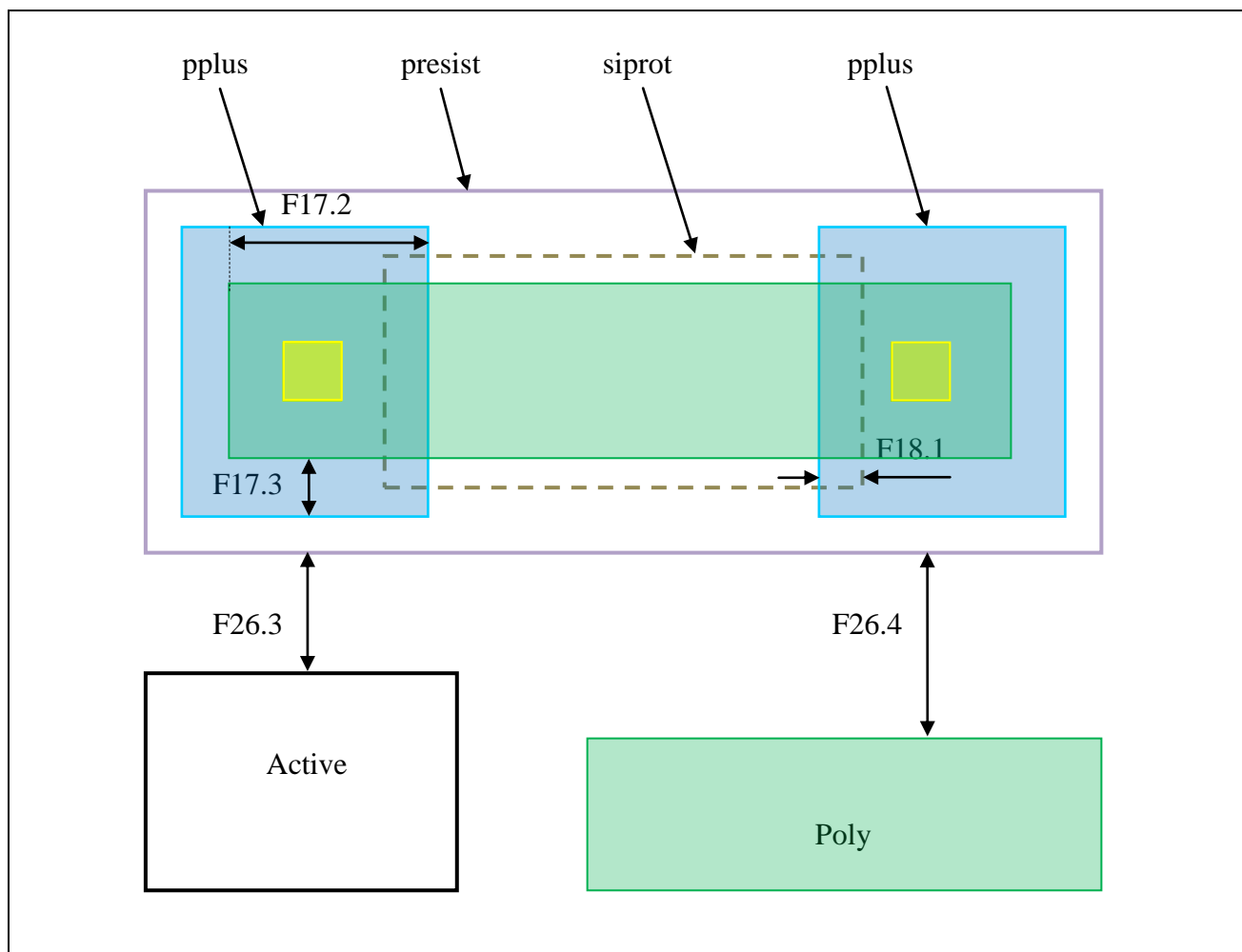
F2.1	Запрещено формировать высокоомный HIPO резистор над активной областью.
------	--

2.4.4.3. "POLY" (слой 13)

F13.1	Ширина резистора.	0.8
F13.2	Зазор.	0.54

2.4.4.4. "PRESIST" (слой 26)

F26.1	Ширина.	0.64
F26.2	Зазор.	0.64
F26.3	Зазор между PRESIST и активной областью.	0.34
F26.4	Зазор между PRESIST и POLY.	0.7
F26.5	Зазор между PRESIST и PPLUS	0.54
F26.6	Поликремний на основе которого формируется HIPO резистор не должен пересекать границу слоя PRESIST.	
F26.7	Вложение HIPO резистора.	1.1



2.4.4.5. "PPLUS" (слой 17)

F17.1	PPLUS должен формироваться по краям (в областях под контакты) HIPO резистора	
F17.2	Перекрытие области PPLUS поликремниевой шиной HIPO резистора	1.14
F17.3	Вложение POLY	0.34
F17.4	Длина резистора	3.5

2.4.4.6. "SIPROT" (слой 18)

F18.1	Перекрытие области PPLUS в областях контактов к резистору (по краям)	0.34
F18.2	Допустимо формирование несилицидированного поликремния пересекающего границу PPLUS в области PRESIST (в этом случае не применяется правило 18.14)	

2.4.4.7. "CONTACT" (слой 19)

F19.1	Зазор между CONTACT и SIPROT (min=max)	0.28
-------	--	------

2.4.4.8. Специальные правила для формирования согласованного НПО резистора

Все приведенные ниже правила не проходят проверку при DRC.

Все резисторы должны иметь одинаковую ширину.

Все резисторы должны иметь одинаковую длину.

Резисторы с одинаковой длиной должны быть параллельны.

Фиктивные резисторы должны быть расположены с одинаковым зазором относительно согласованных резисторов.

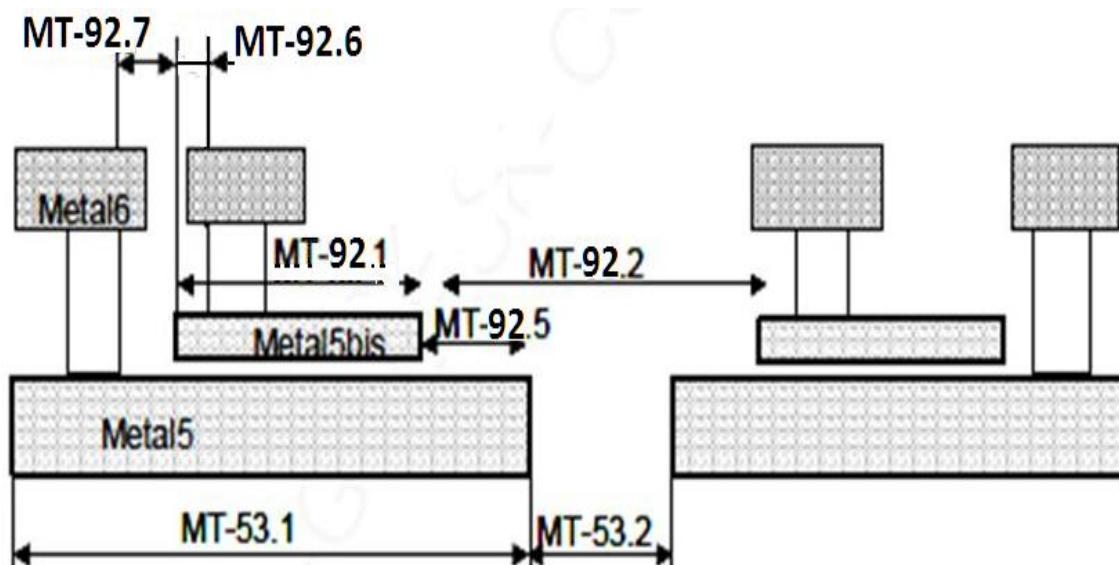
F13.3	Ширина резистора НПО для согласованного резистора	3
F13.4	Ширина резистора НПО для фиктивного резистора	4
F13.5	Длинна резистора НПО при условии что все согласованные резисторы имеют одинаковую длину	35
F13.6	Длинна резистора НПО при условии что согласованные резисторы имеют разную длину	200
F13.7	Зазор между резисторами НПО (мин=макс) при условии что используются фиктивные области резисторов и если зазор между всеми резисторами одинаковый	1.5
F26.8	Вложение слоя POLY НПО резистора в слой PRESIST	2.5
F23.1	Запрещено формировать шины металла 1 над поликремнием НПО резистора	
F23.2	Зазор между METAL1 и резистором НПО (за исключением металла над контактами к резистору)	2
F27.1	Запрещено формировать шины металла 2 над поликремнием НПО резистора	
F27.2	Зазор между METAL2 и резистором НПО	2.5
F34.1	Запрещено формировать шины металла 3 над поликремнием НПО резистора	
F34.2	Зазор между м METAL3 и резистором НПО	2.5
F36.1	Запрещено формировать шины металла 4 над поликремнием НПО резистора	
F36.2	Зазор между METAL4 и резистором НПО	2.5
F53.1	Запрещено формировать шины металла 5 над поликремнием НПО резистора	
F53.2	Зазор между METAL5 и резистором НПО	2.5
F55.1	Запрещено формировать шины металла 6 над поликремнием НПО резистора	
F55.2	Зазор между METAL6 и резистором НПО	2.5

2.4.5. Топологические ограничения при проектировании модуля MIM конденсатора

Конденсатор между слоями Металл 5 и Металл 5бис с тонким диэлектриком формируется с использованием слоев *Metal5* (слой 53) и *Metal 5bis* (MIM5 слой 80 или НКМIM5 слой 92). Он характеризуется низким поверхностным сопротивлением и низкой емкостью к подложке. Конденсатор специфицирован для радиочастотных и аналоговых применений. Типичное значение емкости такого конденсатора $0,85 \text{ fF}/\mu\text{m}^2$ (слой 80) или $2,0 \text{ fF}/\mu\text{m}^2$ (слой 92), при линейности по напряжению $<40 \text{ ppm/V}$ (для номинала $0,85 \text{ fF}/\mu\text{m}^2$) и линейности по напряжению $<80 \text{ ppm/V}$ (для номинала $2,0 \text{ fF}/\mu\text{m}^2$). Данный элемент формируется при помощи дополнительной маски MIM5 слой 80 (или НКМIM5 слой 92). Слой используется для создания верхней обкладки конденсатора в тонком слое алюминия Металл 5бис (*Metal 5bis*).

2.4.5.1. "НКМIM5" верхняя обкладка конденсатора (слой 92)

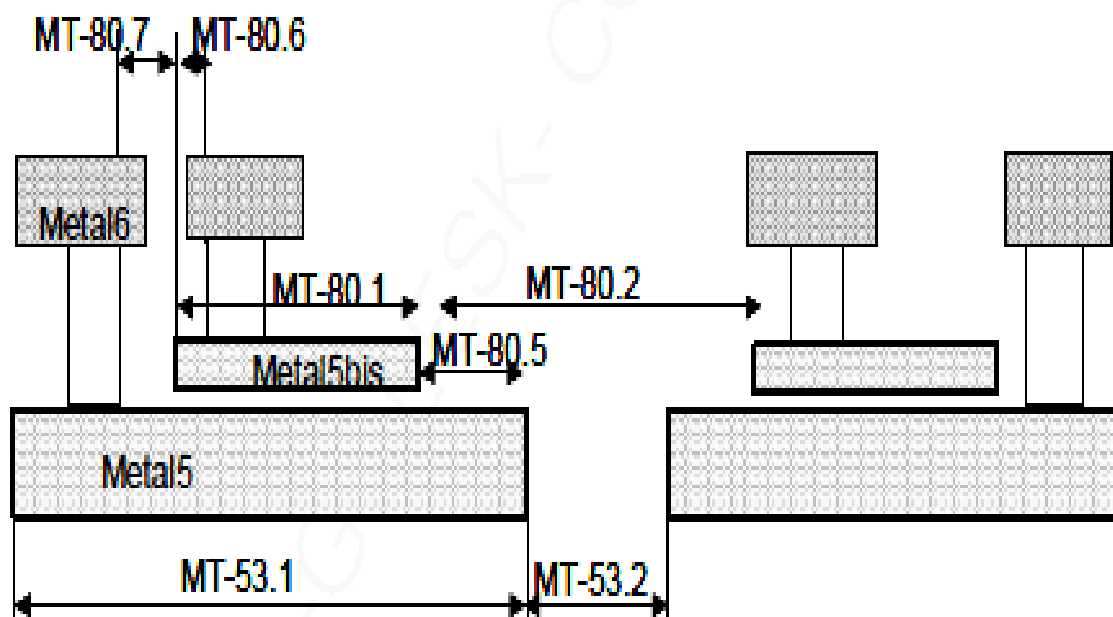
MT92.1	Ширина.	3.5
MT92.2	Зазор.	3.5
MT92.3	Максимальная площадь элемента.	20000
MT92.4	Слой METAL5 обязательно должен быть прорисован под НКМIM5.	
MT92.5	Вложение в METAL5.	1.2
MT92.6	Вложение VIA5.	0.5
MT92.7	Зазор между НКМIM5 и неродственным VIA5.	0.5
MT92.8	Минимальная плотность заполнения НКМIM5 на любой 1 мм^2 площади кристалла.	5%
MT92.9	Максимальная плотность заполнения НКМIM5 на любой 1 мм^2 площади кристалла.	85%



Конденсатор МЕТАЛЛ5 /МЕТАЛЛ5 бис *Metal5/Metal5bis* с тонким диэлектриком (нитрид кремния).

2.4.5.2. "MIM5" верхняя обкладка конденсатора (слой 80)

MT80.1	Ширина.	3.5
MT80.2	Зазор.	3.5
MT80.3	Максимальная площадь элемента.	20000
MT80.4	Слой METAL5 обязательно должен быть прорисован под MIM5.	
MT80.5	Вложение в METAL5.	1.2
MT80.6	Вложение VIA5.	0.5
MT80.7	Зазор между MIM5 и неродственным VIA5.	0.5
MT80.8	Минимальная плотность заполнения MIM5 на любой 1 мм ² площади кристалла.	5%
MT80.9	Максимальная плотность заполнения MIM5 на любой 1 мм ² площади кристалла.	85%



Конденсатор МЕТАЛЛ5 /МЕТАЛЛ5 бис *Metal5/Metal5bis* с тонким диэлектриком (двуокись кремния)

2.4.5.3. "METAL5" (слой 53)

MT53.1	Минимальная ширина площадки под емкость в слое METAL5	5.9
MT53.2	Зазор между площадками METAL5 под емкость	1.1

MT53.3	Вложение VIA4	0.3
MT53.4	Вложение VIA5	0.3

2.4.5.4. Правила антенны

Вероятность получения слабого места в диэлектрике между металлами увеличивается с увеличением площади конденсатора. Так как для конденсаторов используются большие площади, эффект накопления заряда необходимо минимизировать за счёт корректного проектирования.

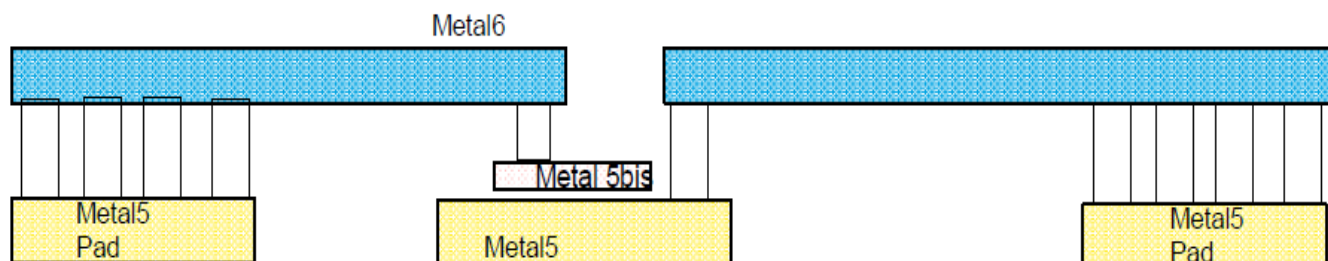
Рекомендуется использовать несколько конденсаторов схожих размеров в параллели вместо одного большой площади.

MT.ANT1	Параллельные конденсаторы должны иметь разделённые в METAL5 обкладки.	
MT.ANT2	Если METAL5 конденсатора MIM подсоединён через METAL4, данный METAL4 должен быть подключён к другим устройствам, заземлён или соединён с Vdd через линию METAL6.	
MT.ANT3	Максимальное число Via5 над слоем MIM5 (HKMIM5) конденсатора MIM, при условии площади MIM5 (HKMIM5) < 1000µm ²	4 vias
MT.ANT4	Максимальное число Via5 над слоем MIM5 (HKMIM5) конденсатора MIM, при условии площади MIM5 (HKMIM5) >= 1000µm ²	+1 vias / 250µm ²
MT.ANT5	Число Via5, соединённых с MIM5 (HKMIM5) должно быть идентично числу Via5, соединённых с METAL5, включая Via5, подключённые через METAL4.	
MT.ANT6	Прямое подключение обкладки Metal5 конденсатора через Metal5 и Metal4 запрещены.	
MT.ANT7	Если Metal6, подключён к обкладкам конденсатора, то длина двух соединений Metal6 должна быть минимизирована и, по возможности, одинакова.	
MT.ANT8	Максимальная площадь Metal6 соединённого с каждой обкладкой MIM конденсатора	1000
MT.ANT9	Максимальное отношение антенны Metal6	400

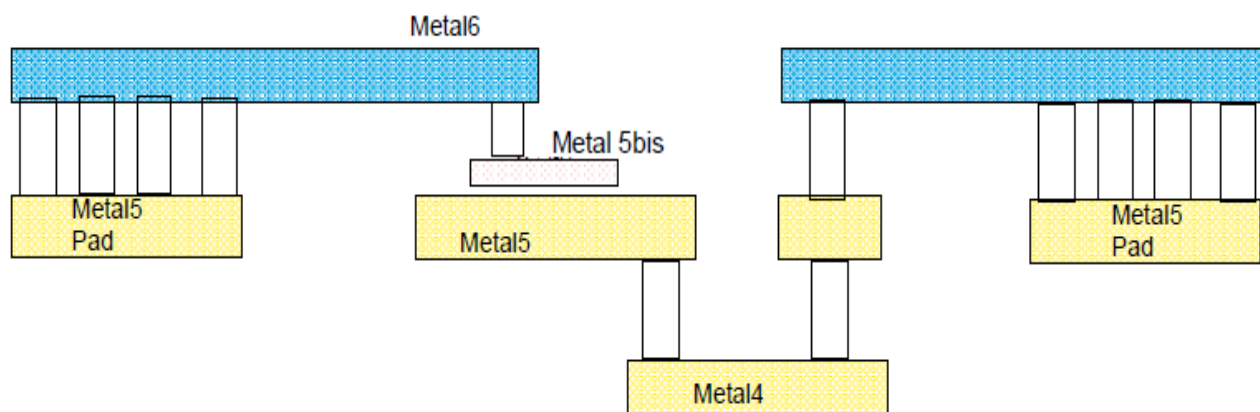
Отношение антенны определяется как отношение площади Metal6 к площади MIM5, вычисляемое по методологии, используемой для защиты подзатворного окисла.

2.4.5.5. Подключение Metal5/metal 5bis к КП.

Большое число межсоединений в стандартной схеме расположения КП не совместимо с правилами MT.ANT3 и MT.ANT4. Если Metal 5/Metal 5bis конденсатор должен быть подключён к КП, то подключение должно проводиться по нижеизложенным схемам:



Metal 5/Metal 5bis подключённый к КП:
Обкладка Metal5 не подсоединена напрямую к КП Metal5

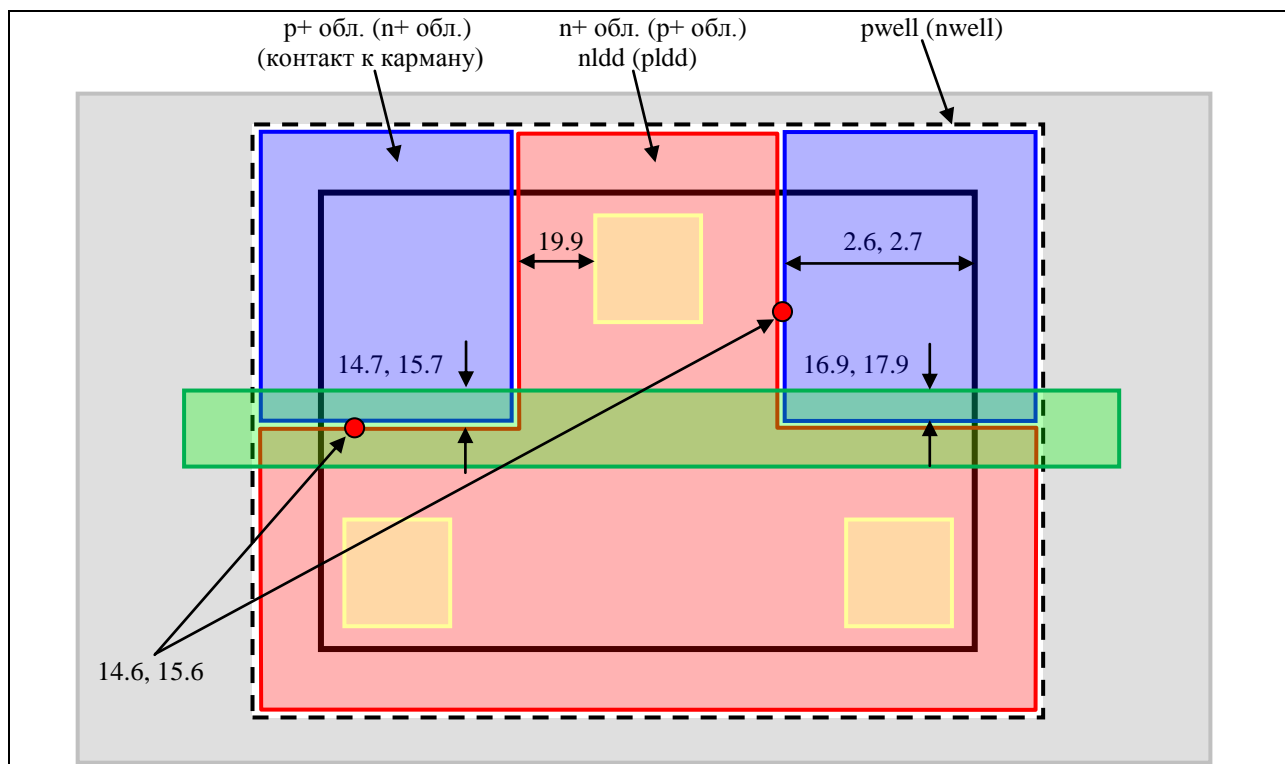


Metal5 подключённый к КП через обкладку Metal4:
Metal5 и Metal4 не подключаются напрямую к КП Metal5

2.4.6. Приборные топологические ограничения

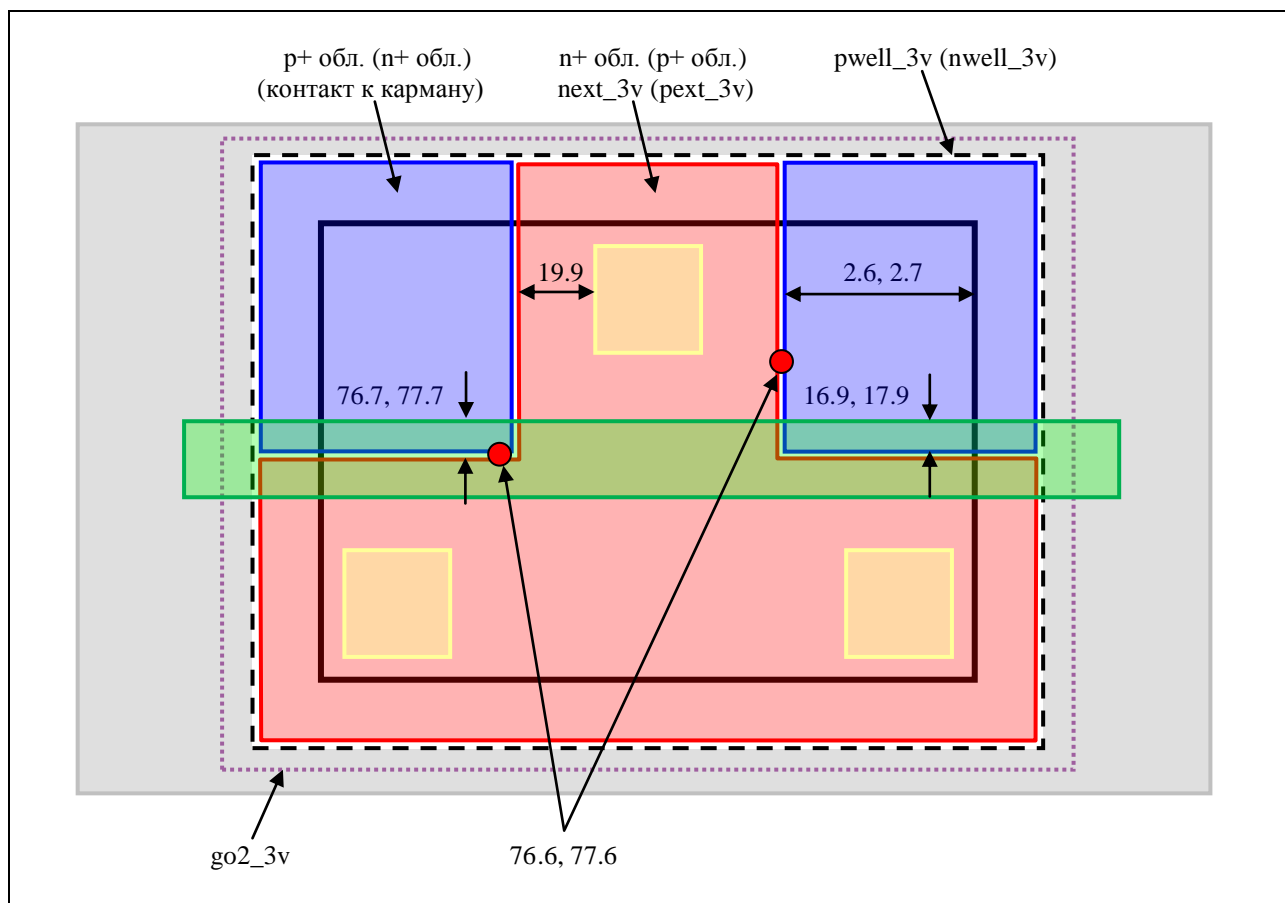
2.4.6.1. nmos_a, pmos_a

2.6	Ширина n^+ активной области контакта к карману транзистора А типа	0.32
2.7	Ширина p^+ активной области контакта к карману транзистора А типа	0.32
2.8	Площадь n^+ активной области контакта к карману транзистора А типа	0.14
2.9	Площадь p^+ активной области контакта к карману транзистора А типа	0.14
13.1b	Минимальная длина канала транзистора с тонким подзатворным окислом для питания 1.8В	0.18
13.10a	Зазор между контактами к карману NМОП транзистора д.б. не более пятидесяти шести длин канала данного транзистора (W/L).	≤ 56
13.11a	Зазор между контактами к карману РМОП транзистора д.б. не более пятидесяти шести длин канала транзистора (W/L).	≤ 56
14.6	NLDD прорисовывается в NМОП транзисторах встык к p^+ контактам к карману.	0.0
14.7	Зазор между NLDD и краем затвора со стороны контакта к карману (минимальный = максимальному).	0.10
15.6	PLDD прорисовывается в РМОП транзисторах встык к n^+ контактам к карману.	0.0
15.7	Зазор между PLDD и краем затвора со стороны контакта к карману (минимальный = максимальному).	0.10
16.9	Перекрытие затвора РМОП транзистора N^+ областью контакта к карману (минимальное = максимальному).	0.10
17.9	Перекрытие затвора NМОП транзистора P^+ областью контакта к карману (минимальное = максимальному).	0.10
19.9	Зазор между контактными окнами и N^+ областью (контакт к N карману) или P^+ областью (контакт к Р карману).	0.04



2.4.6.2. nmos_a_hv, pmos_a_hv

2.6	Ширина n^+ активной области контакта к карману транзистора А типа	0.32
2.7	Ширина p^+ активной области контакта к карману транзистора А типа	0.32
2.8	Площадь n^+ активной области контакта к карману транзистора А типа	0.14
2.9	Площадь p^+ активной области контакта к карману транзистора А типа	0.14
13.1c	Минимальная длина канала транзистора с толстым подзатворным окислом для питания 3.3В	0.32
13.10b	Зазор между контактами к карману NМОП транзистора д.б. не более пяти длин канала данного транзистора (W/L).	≤ 5
13.11b	Зазор между контактами к карману РМОП транзистора д.б. не более двадцати длин канала данного транзистора (W/L).	≤ 20
16.9	Перекрытие затвора РМОП транзистора N^+ областью контакта к карману (минимальное = максимальному).	0.10
17.9	Перекрытие затвора NМОП транзистора P^+ областью контакта к карману (минимальное = максимальному).	0.10
19.9	Зазор между контактными окном и N^+ областью (контакт к N карману) или P^+ областью (контакт к P карману).	0.04
76.6	NEXT_3V прорисовывается в NМОП транзисторах встык к p^+ контактам к карману.	0.0
76.7	Зазор между NEXT_3V и краем затвора со стороны контакта к карману (минимальный = максимальному).	0.10
77.6	PEXT_3V прорисовывается в РМОП транзисторах встык к n^+ контактам к карману.	0.0
77.7	Зазор между PEXT_3V и краем затвора со стороны контакта к карману (минимальный = максимальному).	0.10



2.4.6.3. nmos_a_vhv, pmos_a_vhv

2.6	Ширина n^+ активной области контакта к карману транзистора А типа	0.32
2.7	Ширина p^+ активной области контакта к карману транзистора А типа	0.32
2.8	Площадь n^+ активной области контакта к карману транзистора А типа	0.14
2.9	Площадь p^+ активной области контакта к карману транзистора А типа	0.14
13.1d	Минимальная длина канала транзистора с толстым подзатворным окислом для питания 5.0В	0.50
13.10с	Зазор между контактами к карману NМОП транзистора д.б. не более пяти длин канала данного транзистора (W/L).	≤ 5
13.11с	Зазор между контактами к карману РМОП транзистора д.б. не более десяти длин канала данного транзистора (W/L).	≤ 10
16.9	Перекрытие затвора РМОП транзистора N^+ областью контакта к карману (минимальное = максимальному).	0.10
17.9	Перекрытие затвора NМОП транзистора P^+ областью контакта к карману (минимальное = максимальному).	0.10
19.9	Зазор между контактными окнами и N^+ областью (контакт к N карману) или P^+ областью (контакт к P карману).	0.04
78.6	NEXT_5V прорисовывается в NМОП транзисторах встык к p^+ контактам к карману.	0.0

78.7	Зазор между NEXT_5V и краем затвора со стороны контакта к карману (минимальный = максимальному).	0.10
79.6	PEXT_5V прорисовывается в РМОП транзисторах встык к n^+ контактам к карману.	0.0
79.7	Зазор между PEXT_5V и краем затвора со стороны контакта к карману (минимальный = максимальному).	0.10

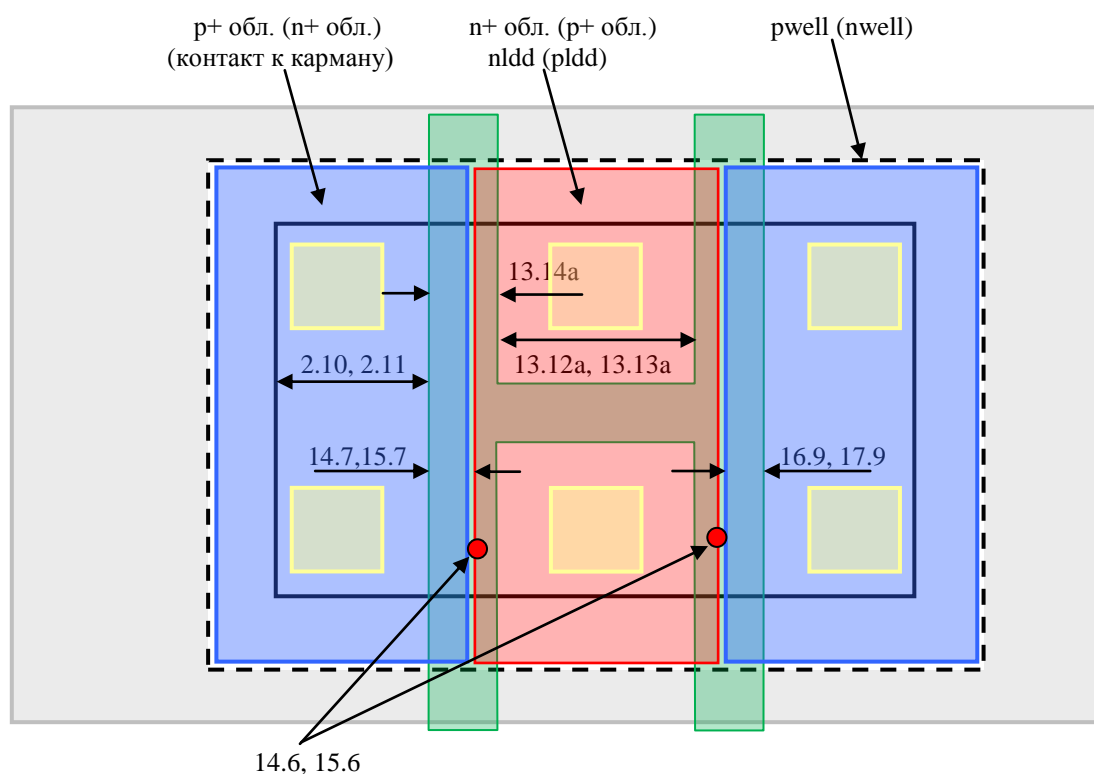
Diagram illustrating the layout of a transistor structure, showing various regions and dimensions:

- p^+ обл. (n^+ обл.) (контакт к карману)
- n^+ обл. (p^+ обл.) next_5v (pext_5v)
- pwell_5v (nwell_5v)
- Dimensions: 19.9, 2.6, 2.7, 16.9, 17.9, 78.7, 79.7, 78.6, 79.6, go2_5v

2.4.6.4. nmos_h, pmos_h

2.10	Ширина n^+ активной области контакта к карману транзистора Н типа	0.44
2.11	Ширина p^+ активной области контакта к карману транзистора Н типа	0.44
2.12	Площадь n^+ активной области контакта к карману транзистора Н типа	0.46
2.13	Площадь p^+ активной области контакта к карману транзистора Н типа	0.46
13.1b	Минимальная длина канала транзистора с тонким подзатворным окислом для питания 1.8В	0.18
13.12a	Зазор между "пальцами" поликремния NМОП транзистора д.б. не более пятидесяти шести длин канала данного транзистора (W/L).	≤ 56
13.13a	Зазор между "пальцами" поликремния РМОП транзистора д.б. не более пятидесяти шести длин канала транзистора (W/L).	≤ 56
13.14a	Ширина "пальца" поликремния разделяющего контакт к карману и сток/истоковую области (минимальная = максимальной).	0.18

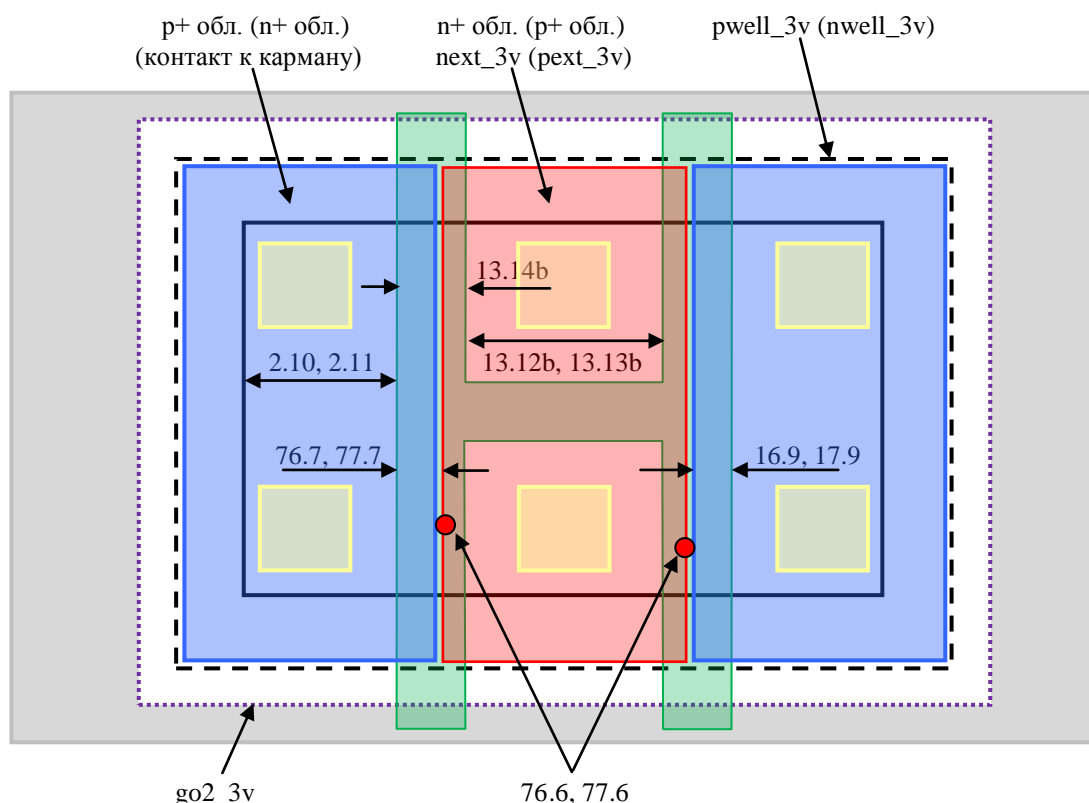
14.6	NLDD прорисовывается в NМОП транзисторах встык к p^+ контактам к карману.	0.0
14.7	Зазор между NLDD и краем затвора со стороны контакта к карману (минимальный = максимальному).	0.10
15.6	PLDD прорисовывается в PМОП транзисторах встык к n^+ контактам к карману.	0.0
15.7	Зазор между PLDD и краем затвора со стороны контакта к карману (минимальный = максимальному).	0.10
16.9	Перекрытие затвора PМОП транзистора N^+ областью контакта к карману (минимальное = максимальному).	0.10
16.10	N^+ области контактов к карману PМОП транзистора Н типа должны быть закорочены металлом	
17.9	Перекрытие затвора NМОП транзистора P^+ областью контакта к карману (минимальное = максимальному).	0.10
17.10	P^+ области контактов к карману NМОП транзистора Н типа должны быть закорочены металлом	



2.4.6.5. nmos_h_hv, pmos_h_hv

2.10	Ширина n^+ активной области контакта к карману транзистора Н типа	0.44
2.11	Ширина p^+ активной области контакта к карману транзистора Н типа	0.44
2.12	Площадь n^+ активной области контакта к карману транзистора Н типа	0.46
2.13	Площадь p^+ активной области контакта к карману транзистора Н типа	0.46
13.1c	Минимальная длина канала транзистора с толстым подзатворным окислом для питания 3.3В	0.32

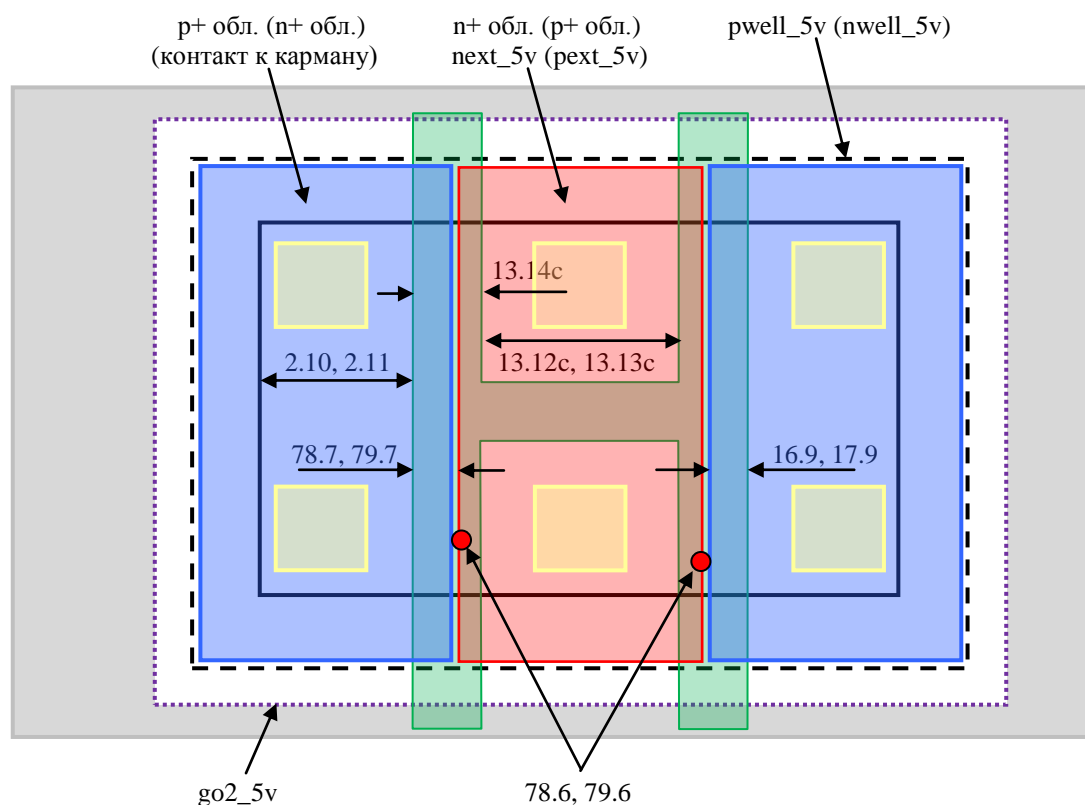
13.12b	Зазор между "пальцами" поликремния NМОП транзистора д.б. не более пяти длин канала данного транзистора (W/L).	≤ 5
13.13b	Зазор между "пальцами" поликремния РМОП транзистора д.б. не более двадцати длин канала транзистора (W/L).	≤ 20
13.14b	Ширина "пальца" поликремния разделяющего контакт к карману и сток/истоковую области (минимальная = максимальной).	0.32
16.9	Перекрытие затвора РМОП транзистора N^+ областью контакта к карману (минимальное = максимальному).	0.10
16.10	N^+ области контактов к карману РМОП транзистора Н типа должны быть закорочены металлом	
17.9	Перекрытие затвора NМОП транзистора P^+ областью контакта к карману (минимальное = максимальному).	0.10
17.10	P^+ области контактов к карману NМОП транзистора Н типа должны быть закорочены металлом	
76.6	NEXT_3V прорисовывается в NМОП транзисторах встык к p^+ контактам к карману.	0.0
76.7	Зазор между NEXT_3V и краем затвора со стороны контакта к карману (минимальный = максимальному).	0.10
77.6	PEXT_3V прорисовывается в РМОП транзисторах встык к n^+ контактам к карману.	0.0
77.7	Зазор между PEXT_3V и краем затвора со стороны контакта к карману (минимальный = максимальному).	0.10



2.4.6.6. nmos_h_vhv, pmos_h_vhv

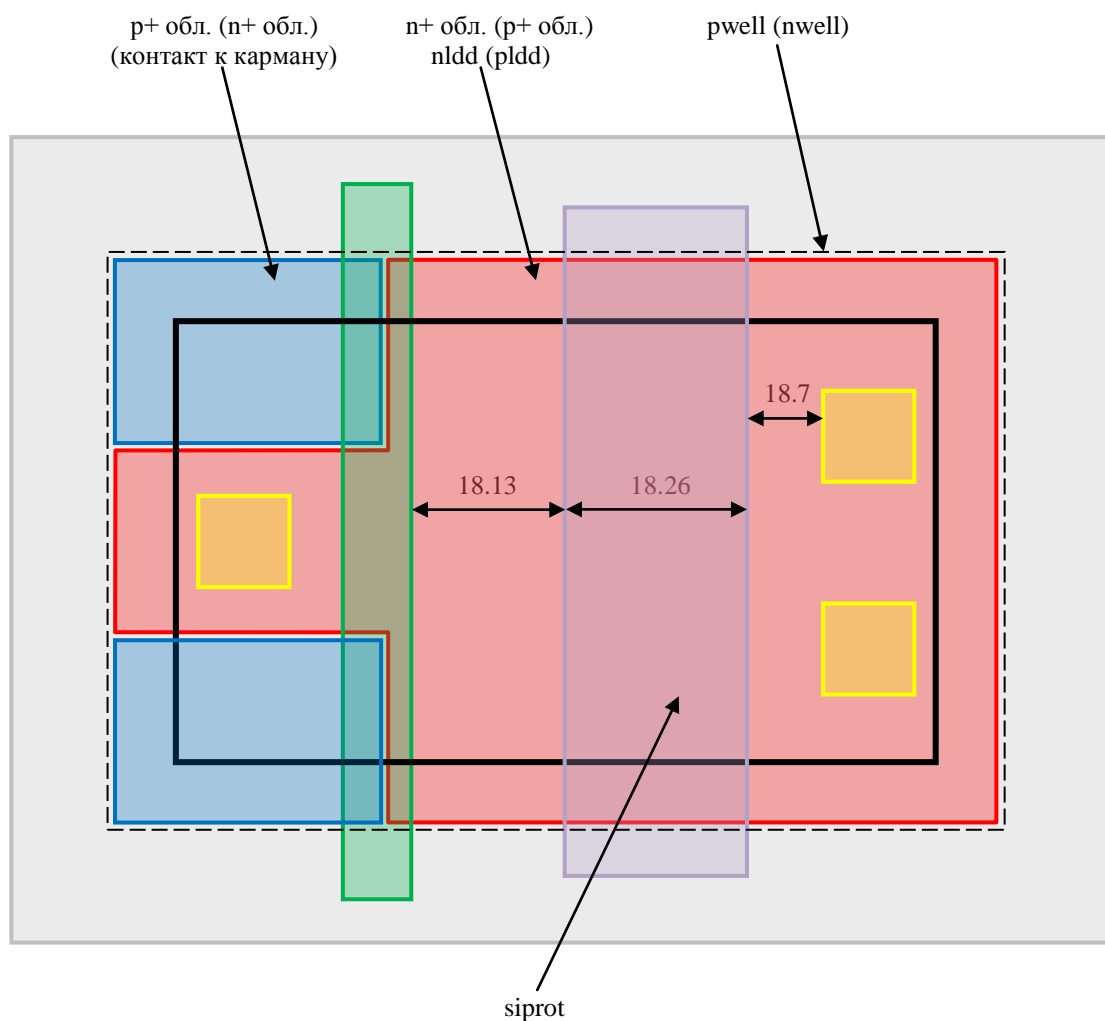
2.10	Ширина n^+ активной области контакта к карману транзистора Н типа	0.44
2.11	Ширина p^+ активной области контакта к карману транзистора Н типа	0.44

2.12	Площадь n^+ активной области контакта к карману транзистора Н типа	0.46
2.13	Площадь p^+ активной области контакта к карману транзистора Н типа	0.46
13.1d	Минимальная длина канала транзистора с толстым подзатворным окислом для питания 5.0В	0.50
13.12с	Зазор между "пальцами" поликремния NМОП транзистора д.б. не более пяти длин канала данного транзистора (W/L).	≤ 5
13.13с	Зазор между "пальцами" поликремния РМОП транзистора д.б. не более десяти длин канала транзистора (W/L).	≤ 10
13.14с	Ширина "пальца" поликремния разделяющего контакт к карману и сток/истоковую области (минимальная = максимальной).	0.50
16.9	Перекрытие затвора РМОП транзистора N^+ областью контакта к карману (минимальное = максимальному).	0.10
16.10	N^+ области контактов к карману РМОП транзистора Н типа должны быть закорочены металлом	
17.9	Перекрытие затвора NМОП транзистора P^+ областью контакта к карману (минимальное = максимальному).	0.10
17.10	P^+ области контактов к карману NМОП транзистора Н типа должны быть закорочены металлом	
78.6	NEXT_5V прорисовывается в NМОП транзисторах встык к p^+ контактам к карману.	0.0
78.7	Зазор между NEXT_5V и краем затвора со стороны контакта к карману (минимальный = максимальному).	0.10
79.6	PEXT_5V прорисовывается в РМОП транзисторах встык к n^+ контактам к карману.	0.0
79.7	Зазор между PEXT_5V и краем затвора со стороны контакта к карману (минимальный = максимальному).	0.10



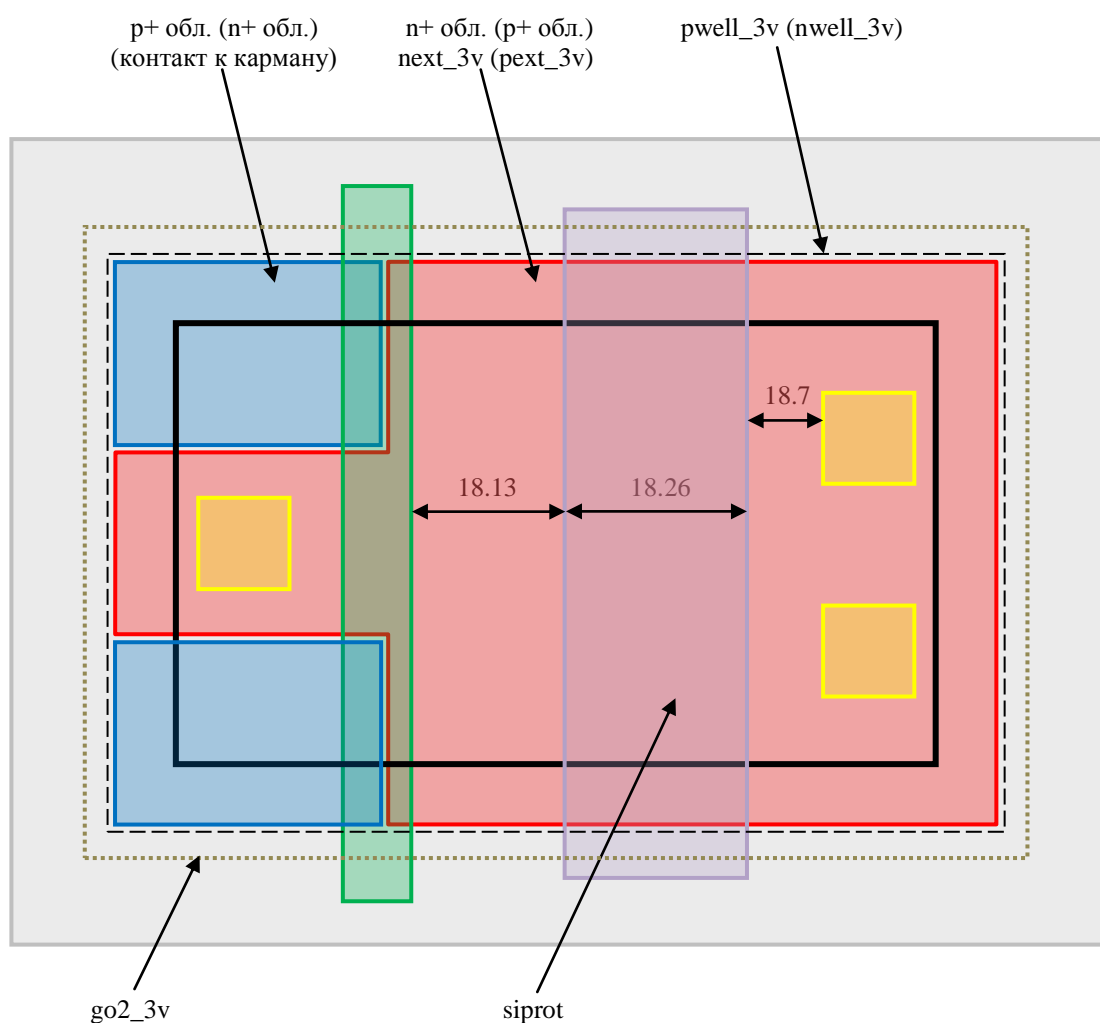
2.4.6.7. nmos_io_a, pmos_io_a

18.26	Ширина области siprot для I/O транзистора	0.96
13.1b	Минимальная длина канала I/O транзистора с тонким подзатворным окислом для питания 1.8В	0.18
13.10a	Зазор между контактами к карману NМОП транзистора д.б. не более пятидесяти шести длин канала данного транзистора (W/L).	≤ 56
13.11a	Зазор между контактами к карману РМОП транзистора д.б. не более пятидесяти шести длин канала транзистора (W/L).	≤ 56



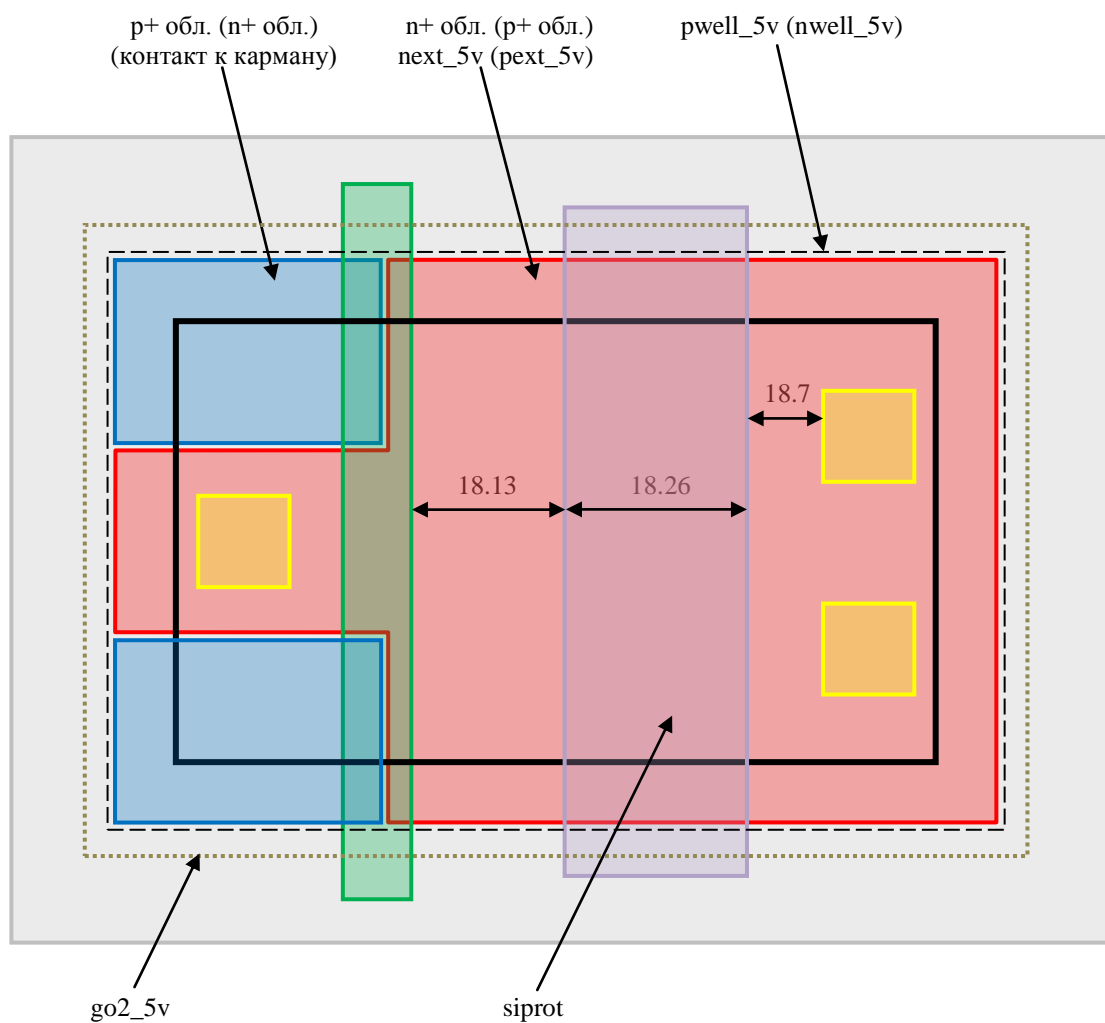
2.4.6.8. nmos_io_a_hv, pmos_io_a_hv

18.26	Ширина области siprot для I/O транзистора	0.96
13.1c	Минимальная длина канала I/O транзистора с толстым подзатворным окислом для питания 3.3В	0.32
13.10b	Зазор между контактами к карману NМОП транзистора д.б. не более пяти длин канала данного транзистора (W/L).	≤ 5
13.11b	Зазор между контактами к карману РМОП транзистора д.б. не более двадцати длин канала данного транзистора (W/L).	≤ 20



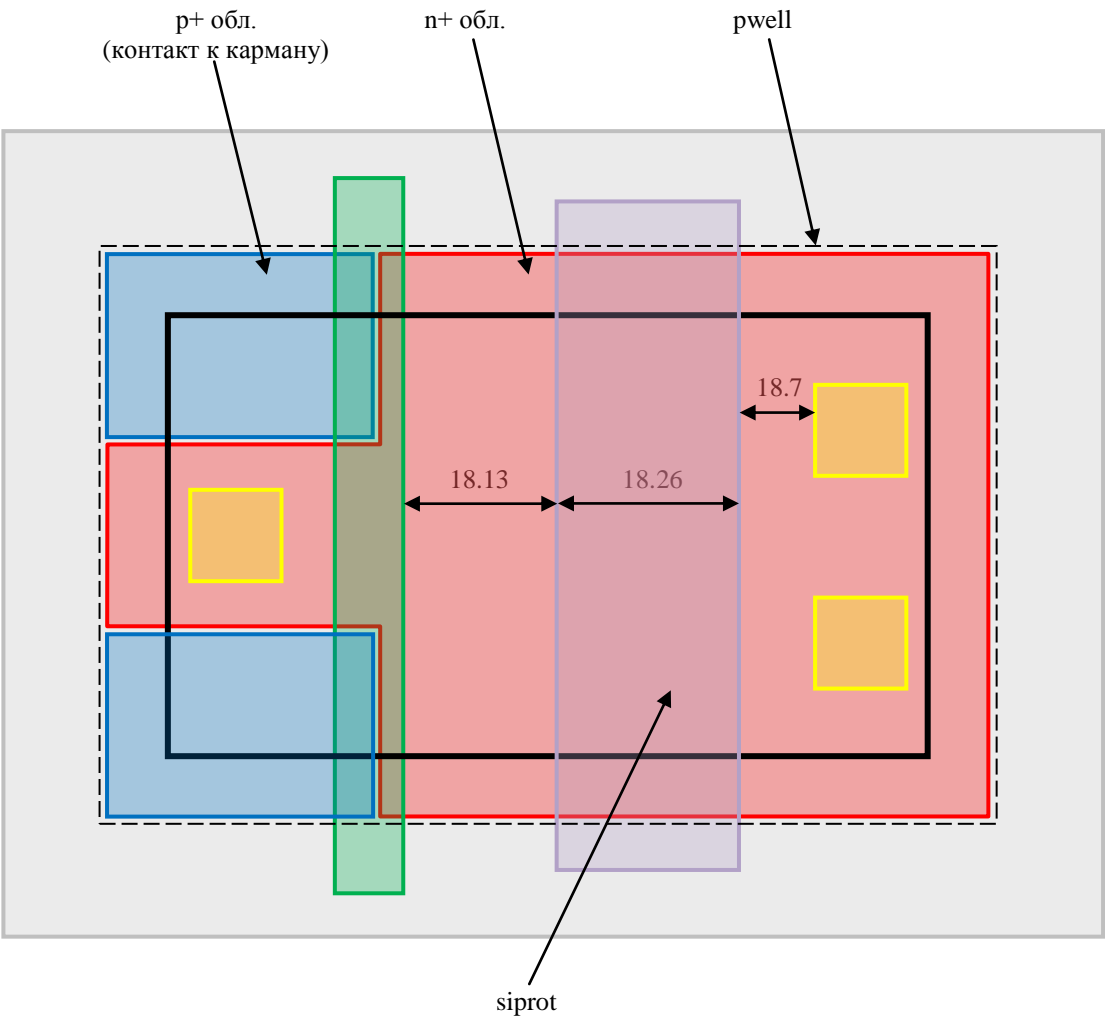
2.4.6.9. nmos_io_a_vhv, pmos_io_a_vhv

18.26	Ширина области siprot для I/O транзистора	0.96
13.1d	Минимальная длина канала I/O транзистора с толстым подзатворным окислом для питания 5.0В	0.50
13.10с	Зазор между контактами к карману NМОП транзистора д.б. не более пяти длин канала данного транзистора (W/L).	≤ 5
13.11с	Зазор между контактами к карману РМОП транзистора д.б. не более десяти длин канала данного транзистора (W/L).	≤ 10



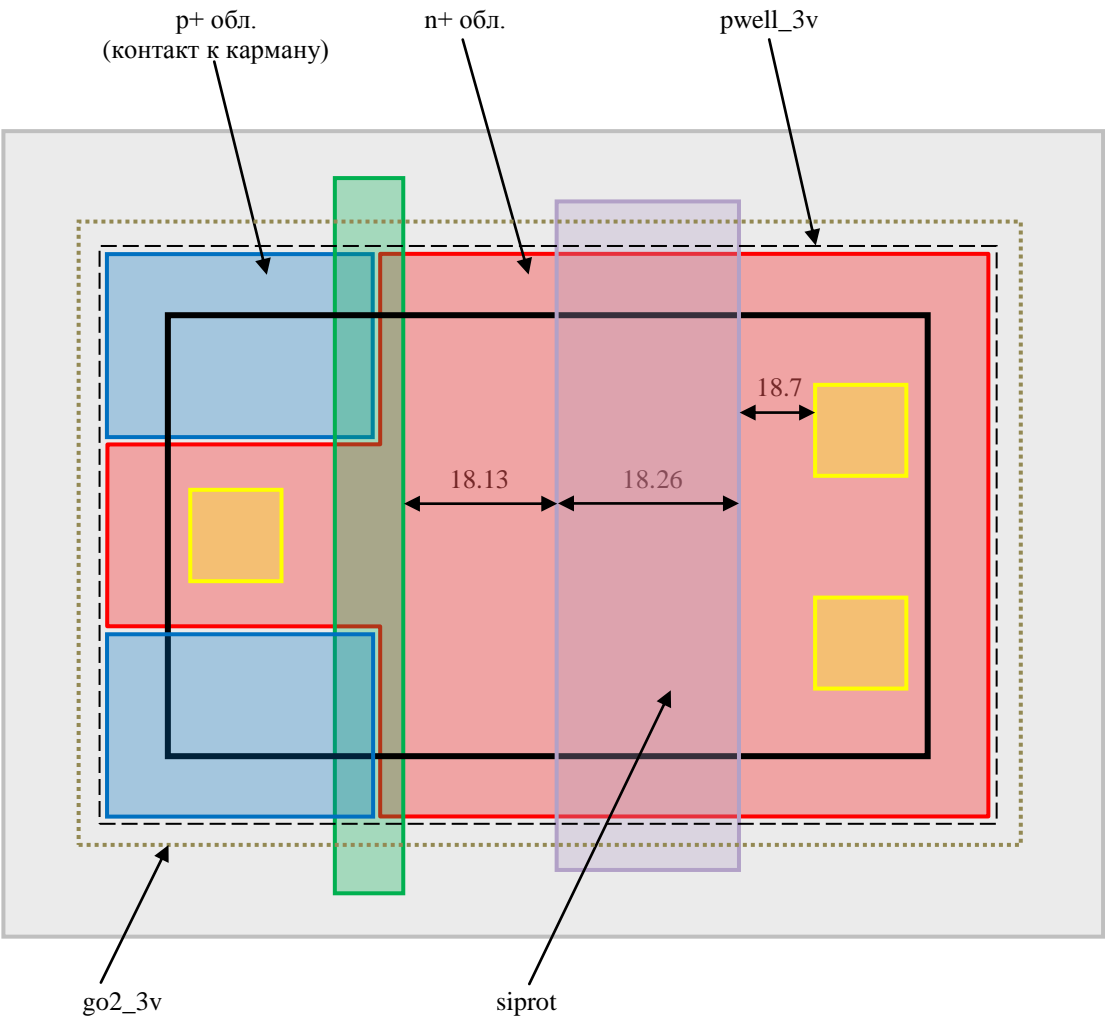
2.4.6.10. nmos

18.26	Ширина области siprot для I/O транзистора	0.96
13.1b	Минимальная длина канала транзистора с тонким подзатворным окислом для питания 1.8В	0.18
13.10a	Зазор между контактами к карману NМОП транзистора д.б. не более пятидесяти шести длин канала данного транзистора (W/L).	≤ 56



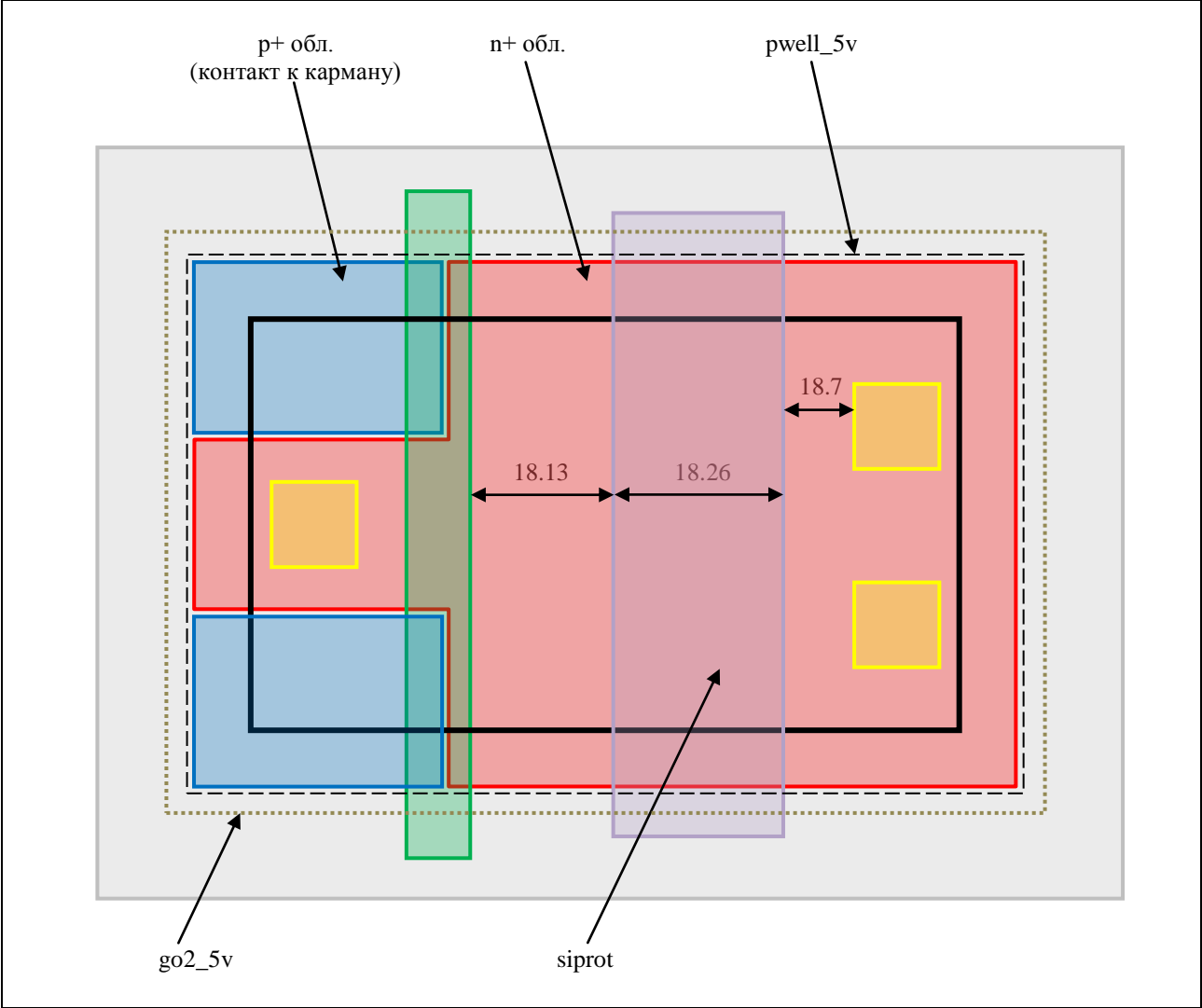
2.4.6.11. nmos_hv

18.26	Ширина области siprot транзистора	0.96
13.1c	Минимальная длина канала транзистора с толстым подзатворным окислом для питания 3.3В	0.32
13.10b	Зазор между контактами к карману NМОП транзистора д.б. не более пяти длин канала данного транзистора (W/L).	≤ 5

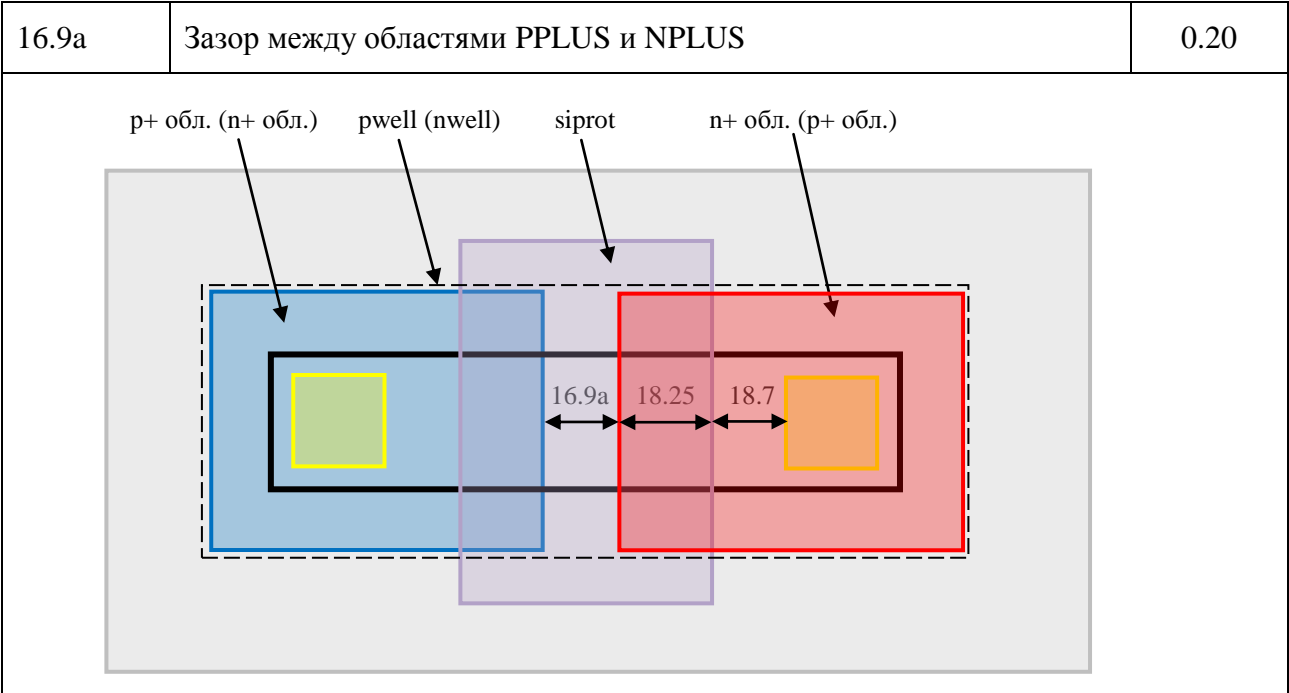


2.4.6.12. nmos_vhv

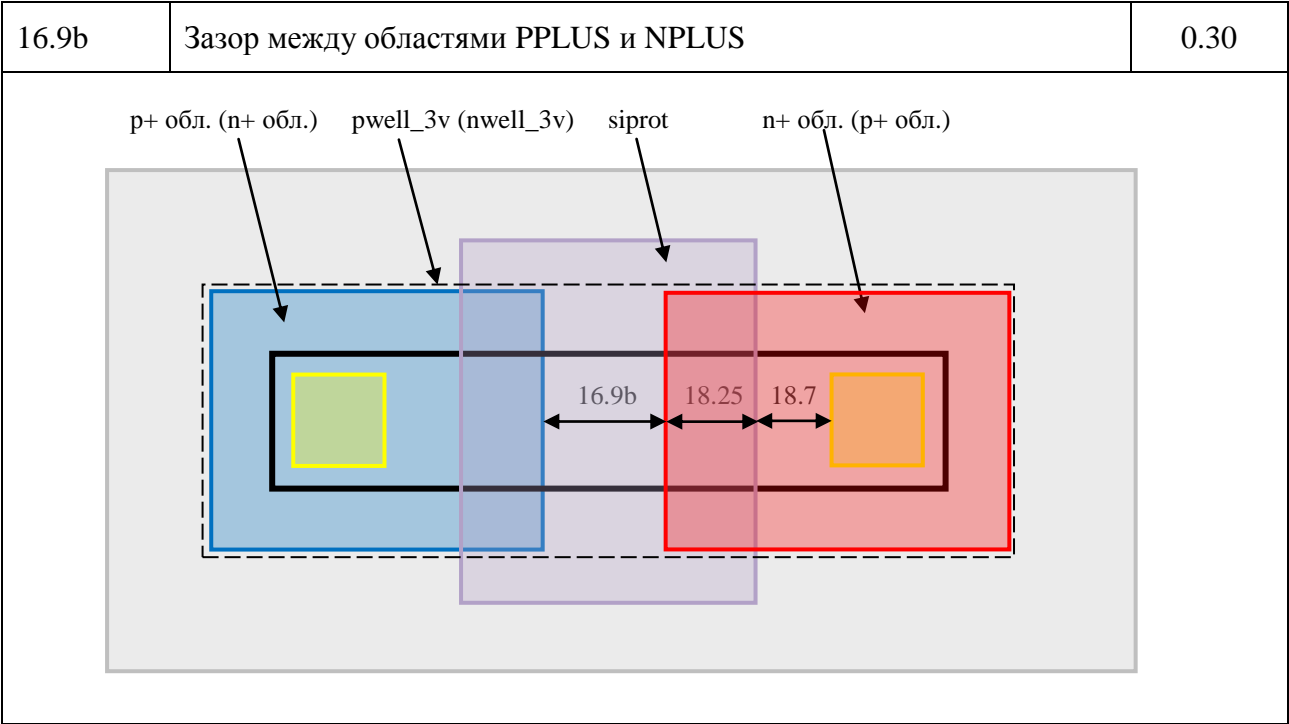
18.26	Ширина области siprot транзистора	0.96
13.1d	Минимальная длина канала транзистора с толстым подзатворным окислом для питания 5.0В	0.50
13.10с	Зазор между контактами к карману NМОП транзистора д.б. не более пяти длин канала данного транзистора (W/L).	≤ 5



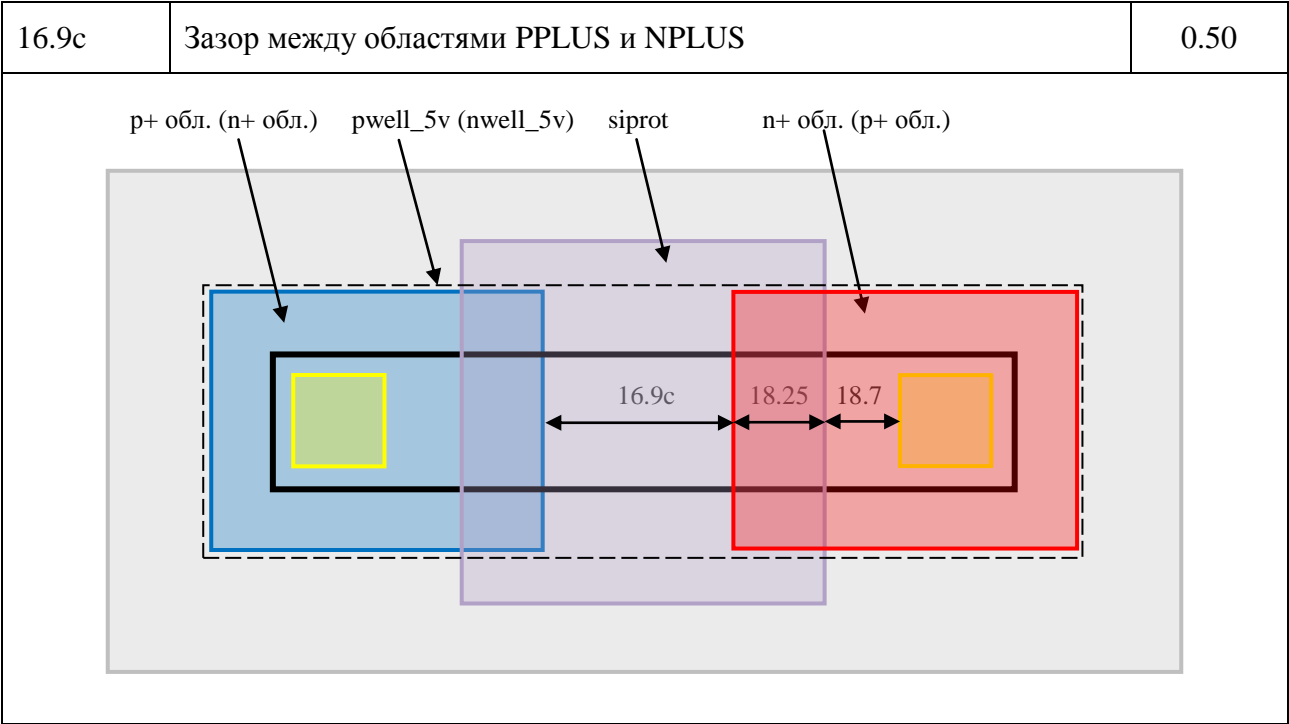
2.4.6.13. dn, dp



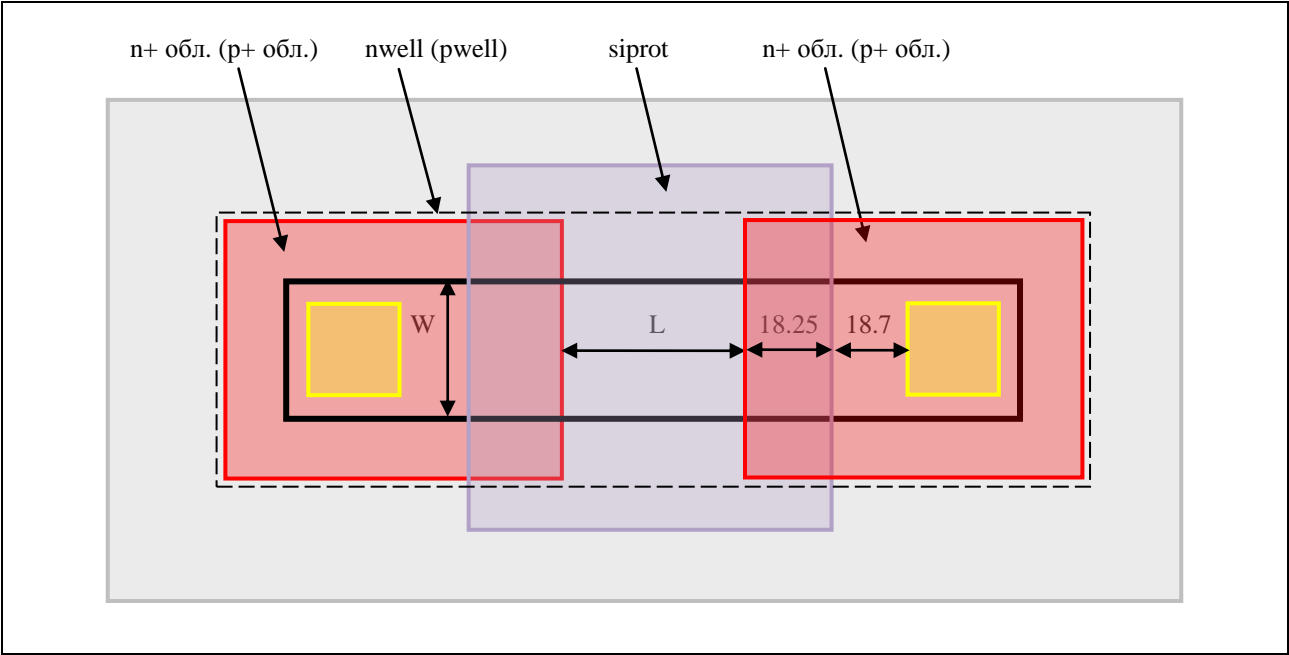
2.4.6.14. dn_hv, dp_hv



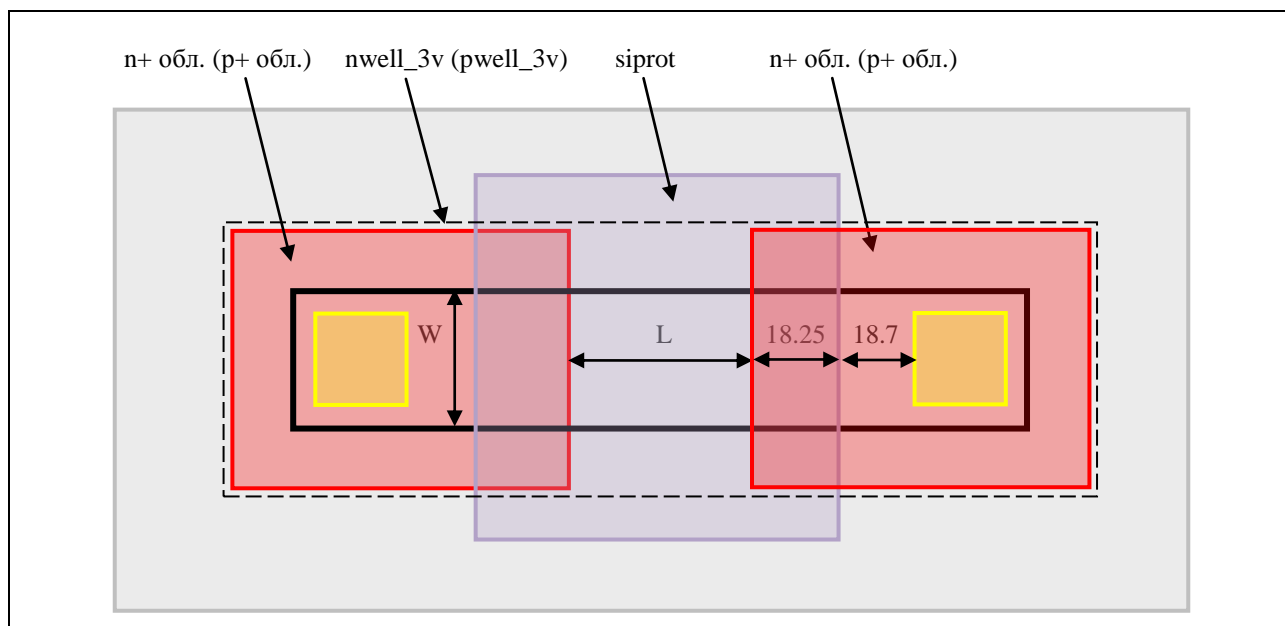
2.4.6.15. dn_vhv, dp_vhv



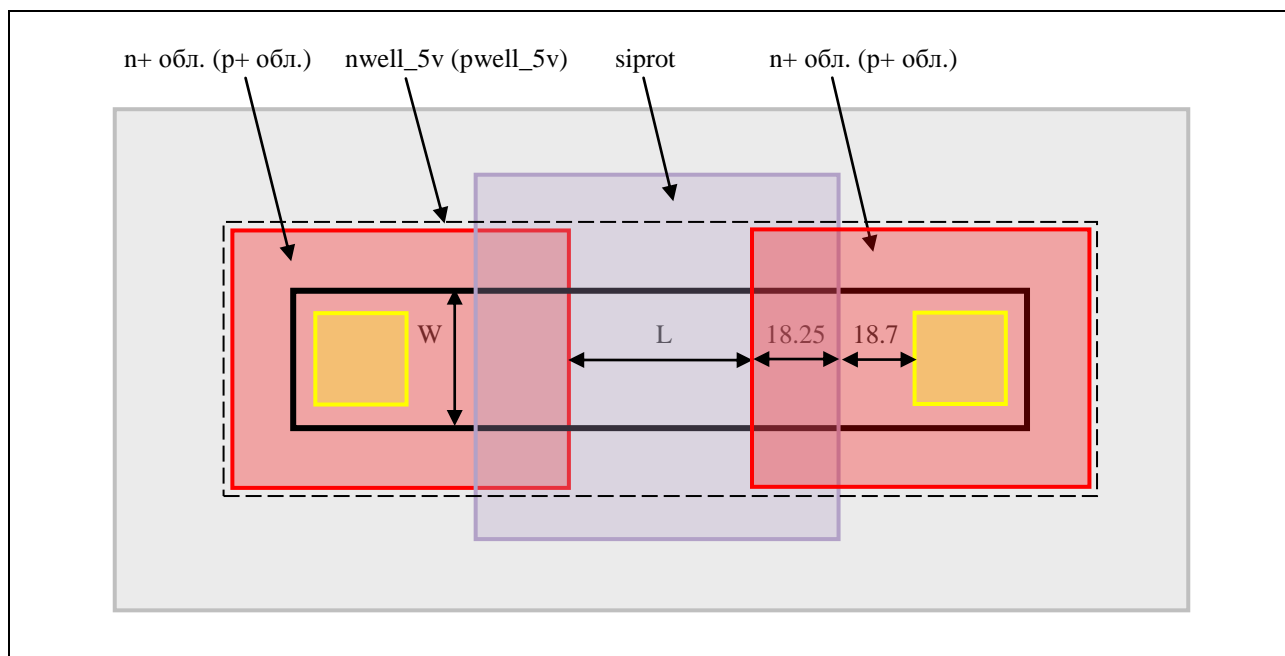
2.4.6.16. rnw, rpw



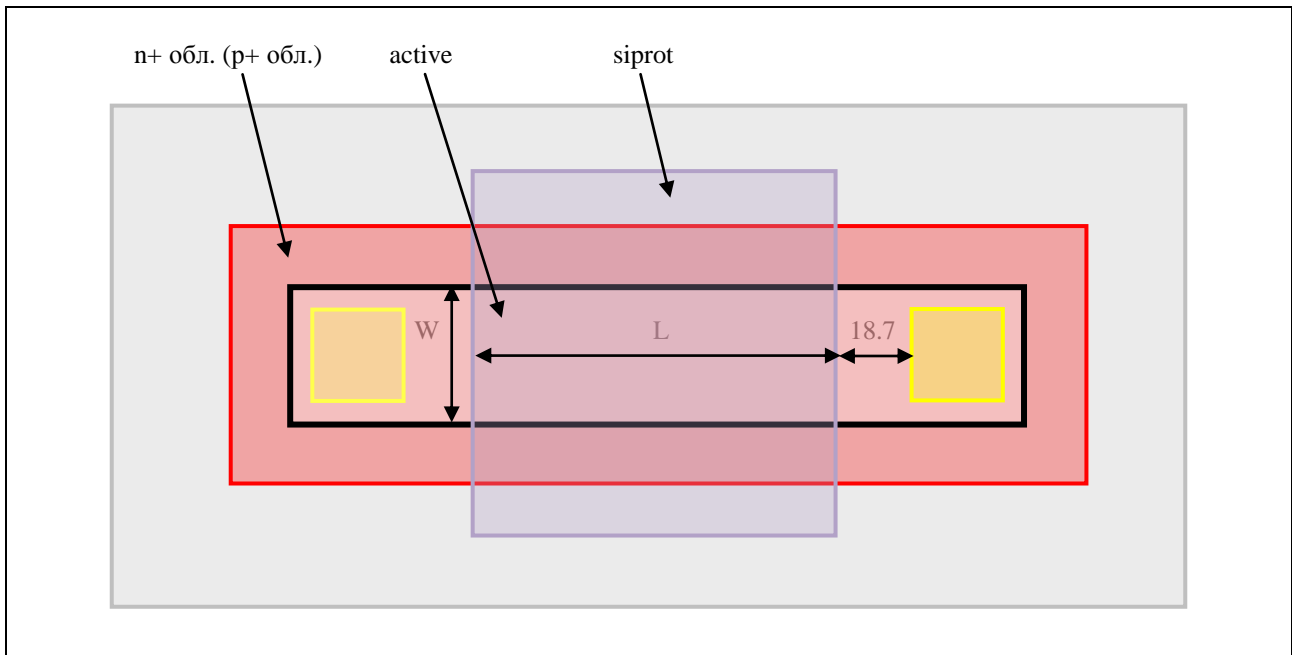
2.4.6.17. rnw_hv, rpw_hv



2.4.6.18. rnw_vhv, rpw_vhv



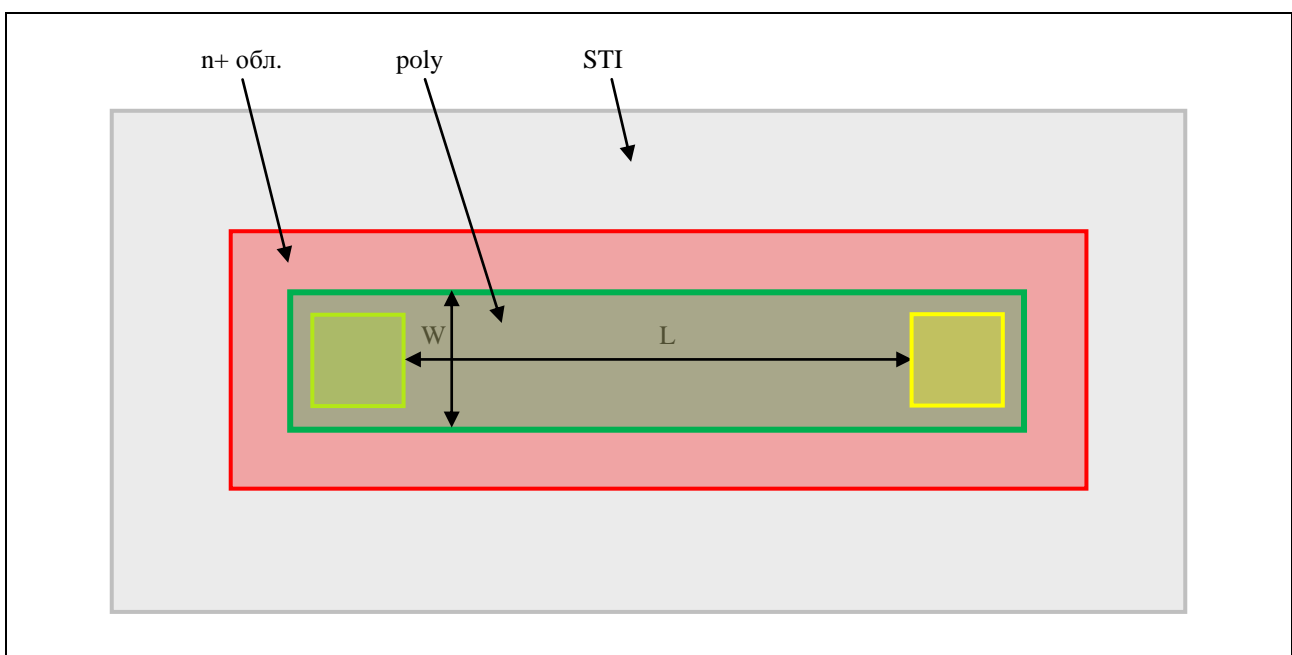
2.4.6.19. rndiff, rpdiff



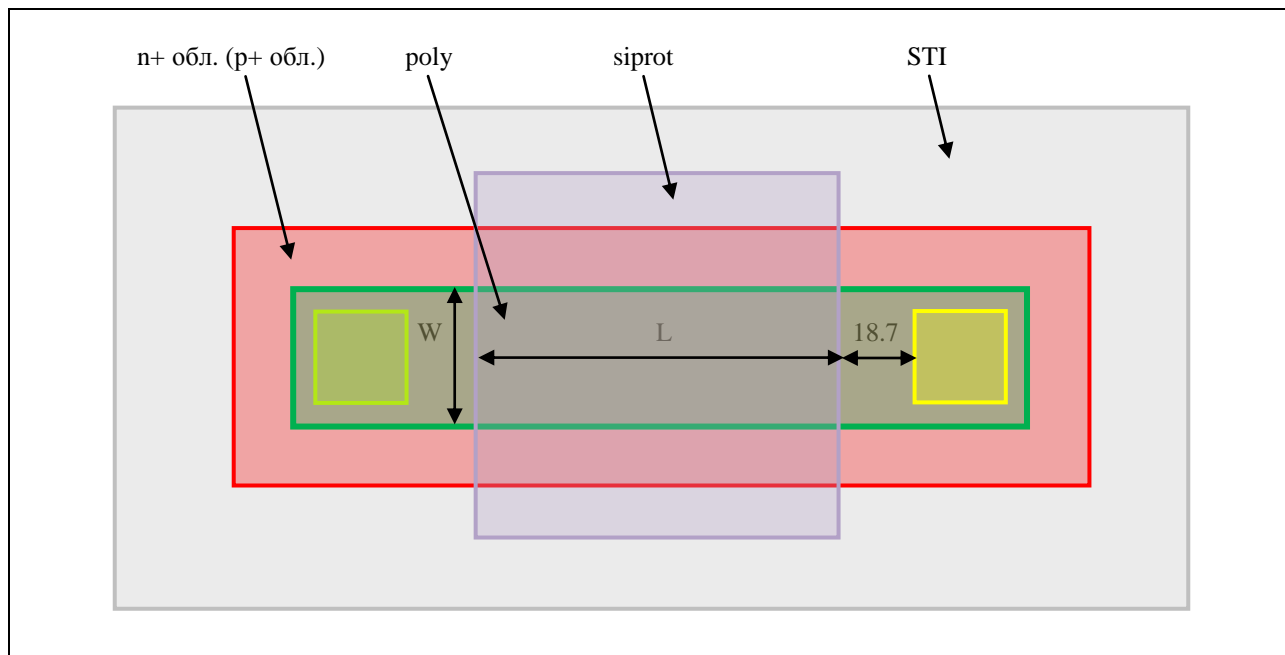
Примечание к п.п. 2.4.6.16. – 2.4.6.19.:

1. Шириной резистора (W) является ширина активной области;
2. Длиной резистора (L) является расстояние между n^+ (p^+) областями;
3. Минимальные размеры не гарантируют должную линейность по напряжению;
4. Рекомендуемая минимальная ширина резистора при использовании в аналоговых схемах ≥ 2.0 мкм.

2.4.6.20. rnps



2.4.6.21. rnpoly, rppoly



2.4.6.22. cpoly_n

Данный конденсатор является естественной МОП ёмкостью, формируемой при помощи N+ АКТИВНОЙ ОБЛАСТИ и N+ POLY в NWELL.

Линейность данного прибора не очень высока в условиях, когда электрическое поле вызывает обеднение в NWELL, но при создании обогащённого слоя (>+1В) достаточна для применения в определённых приложениях.

Все стандартные правила проектирования для АКТИВНОЙ ОБЛАСТИ, NWELL, POLY, CONTACT... применяются для данного прибора.

Вероятность получения слабого места в подзатворном диэлектрике возрастает с увеличением площади подзатворного диэлектрика. Так как конденсаторы используют большие площади, зарядовые эффекты должны быть минимизированы за счёт надлежащего проектирования. Чтобы свести к минимуму накопление заряда при травлении контактов, число контактов к области Poly должно быть минимизировано.

Антенные правила, приведённые ниже, применимы для конденсаторов, проектируемых для напряжения питания 1.8В.

CAPNNW013.1a	Максимальная площадь Poly для конденсатора	100
CAPNNW013.2a	Максимальная площадь сборки конденсаторов по отношению к полной площади чипа	1%
CAPNNW013.2b	Максимальная площадь сборки конденсаторов, если площадь чипа меньше 1 мм ²	10000

CAPNNW019.1	Максимальное число контактов к N+ poly	4
-------------	--	---

The diagram illustrates the layout of a capacitor. It features a central brown rectangular area representing the dielectric. This is surrounded by a pink rectangular region, which is further enclosed by a red rectangular boundary. Within the pink region, there are yellow squares representing contacts. A dashed line indicates the boundary of the n+ обл. (n+ region). Labels with arrows point to the nwell (n-type well) region, the n+ обл., nldd (n+ region, n-layer doped) region, and the poly (polysilicon) region. A green rectangular area is also shown, partially overlapping the pink region and the central brown area.

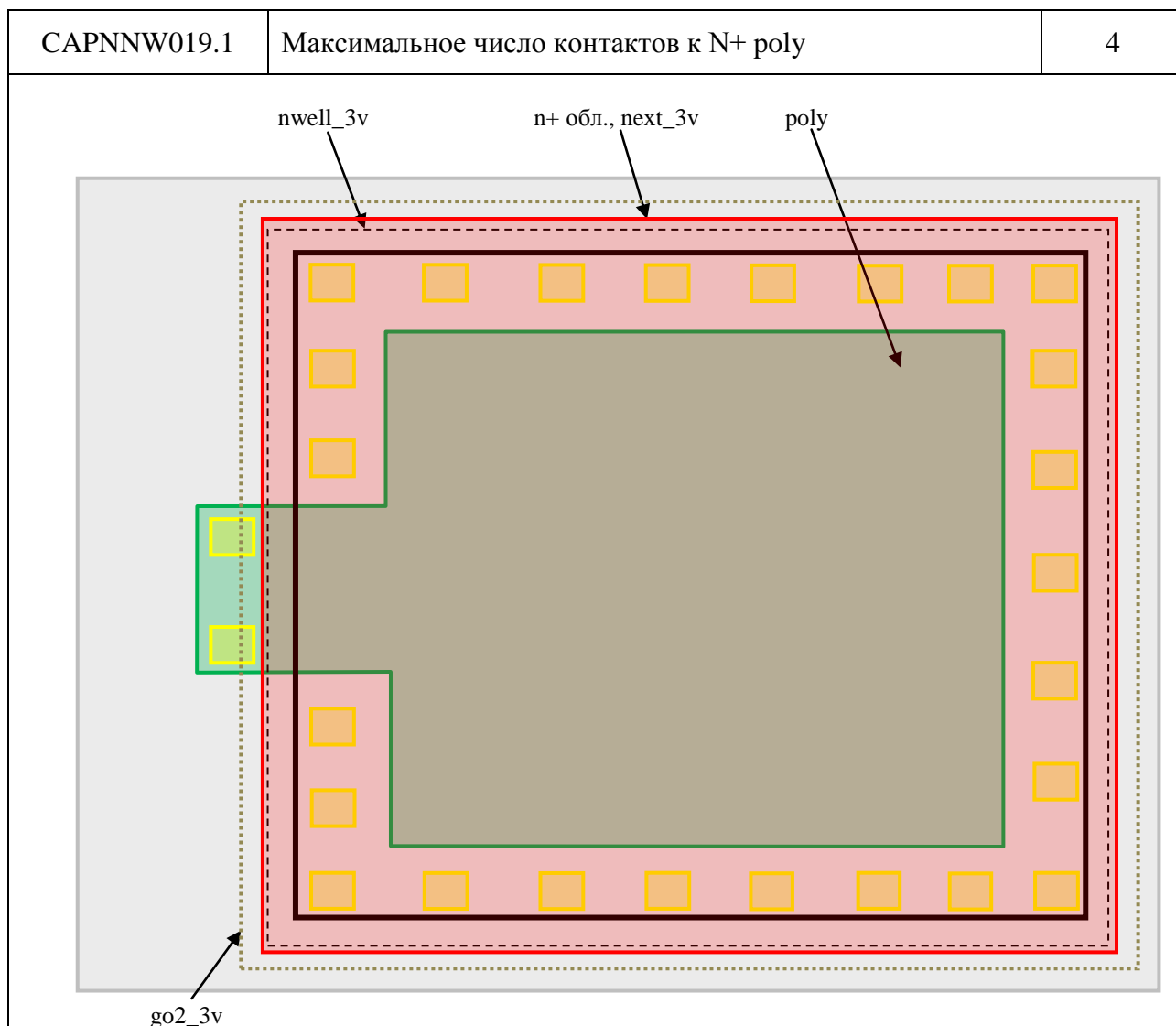
2.4.6.23. cpoly_n_hv

Данный конденсатор является естественной МОП ёмкостью, формируемой при помощи N+ АКТИВНОЙ ОБЛАСТИ и N+ POLY в NWELL_3V.

Все стандартные правила проектирования для АКТИВНОЙ ОБЛАСТИ, NWELL_3V, POLY, CONTACT... применяются для данного прибора.

Антенные правила, приведённые ниже, применимы для конденсаторов, проектируемых для напряжения питания 3.3В.

CAPNNW013.1b	Максимальная площадь Poly для конденсатора	1000
CAPNNW013.2a	Максимальная площадь сборки конденсаторов по отношению к полной площади чипа	1%
CAPNNW013.2b	Максимальная площадь сборки конденсаторов, если площадь чипа меньше 1 мм ²	10000



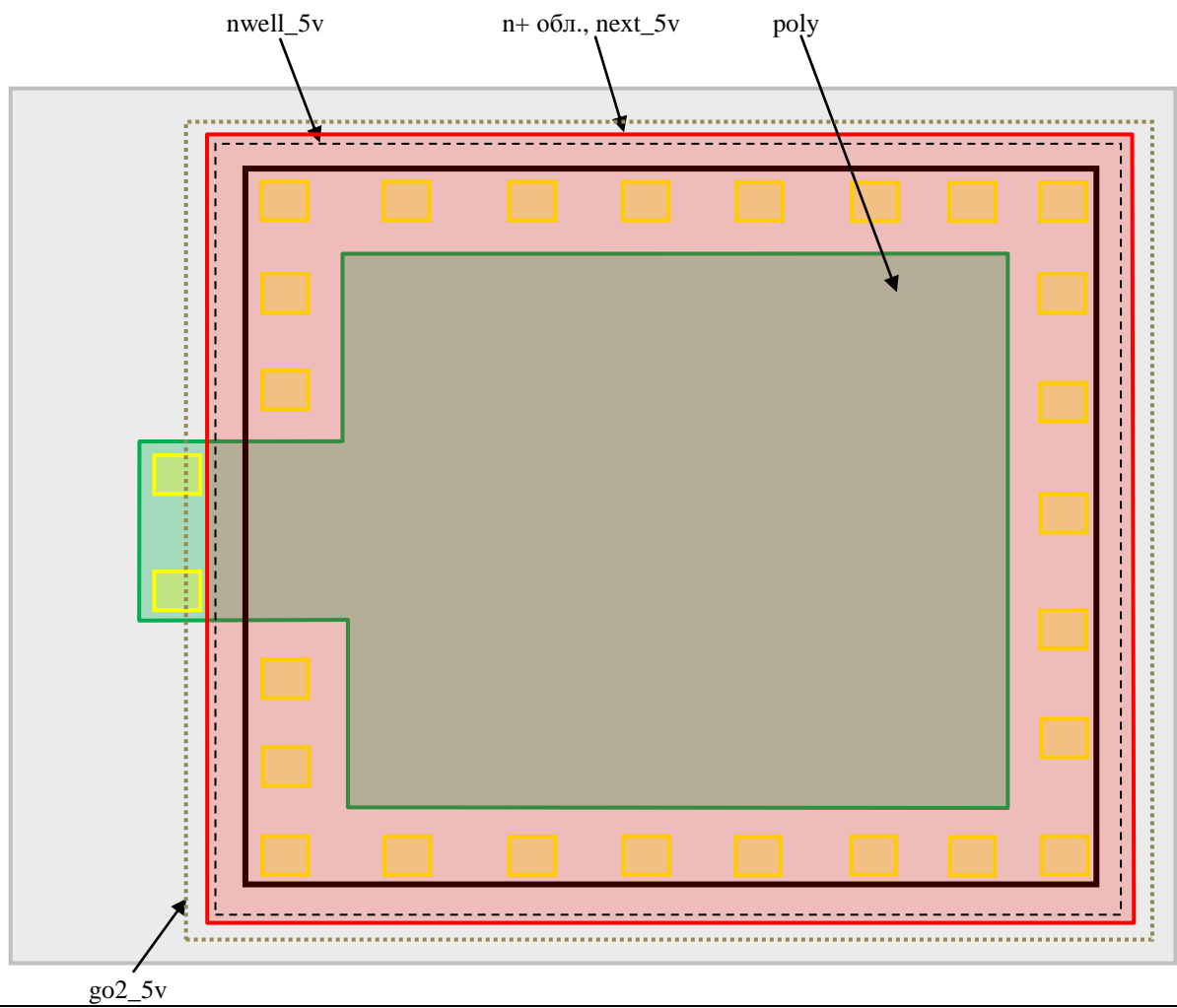
2.4.6.24. cpoly_n_vhv

Данный конденсатор является естественной МОП ёмкостью, формируемой при помощи N+ АКТИВНОЙ ОБЛАСТИ и N+ POLY в NWELL_5V.

Все стандартные правила проектирования для АКТИВНОЙ ОБЛАСТИ, NWELL_3V, POLY, CONTACT... применяются для данного прибора.

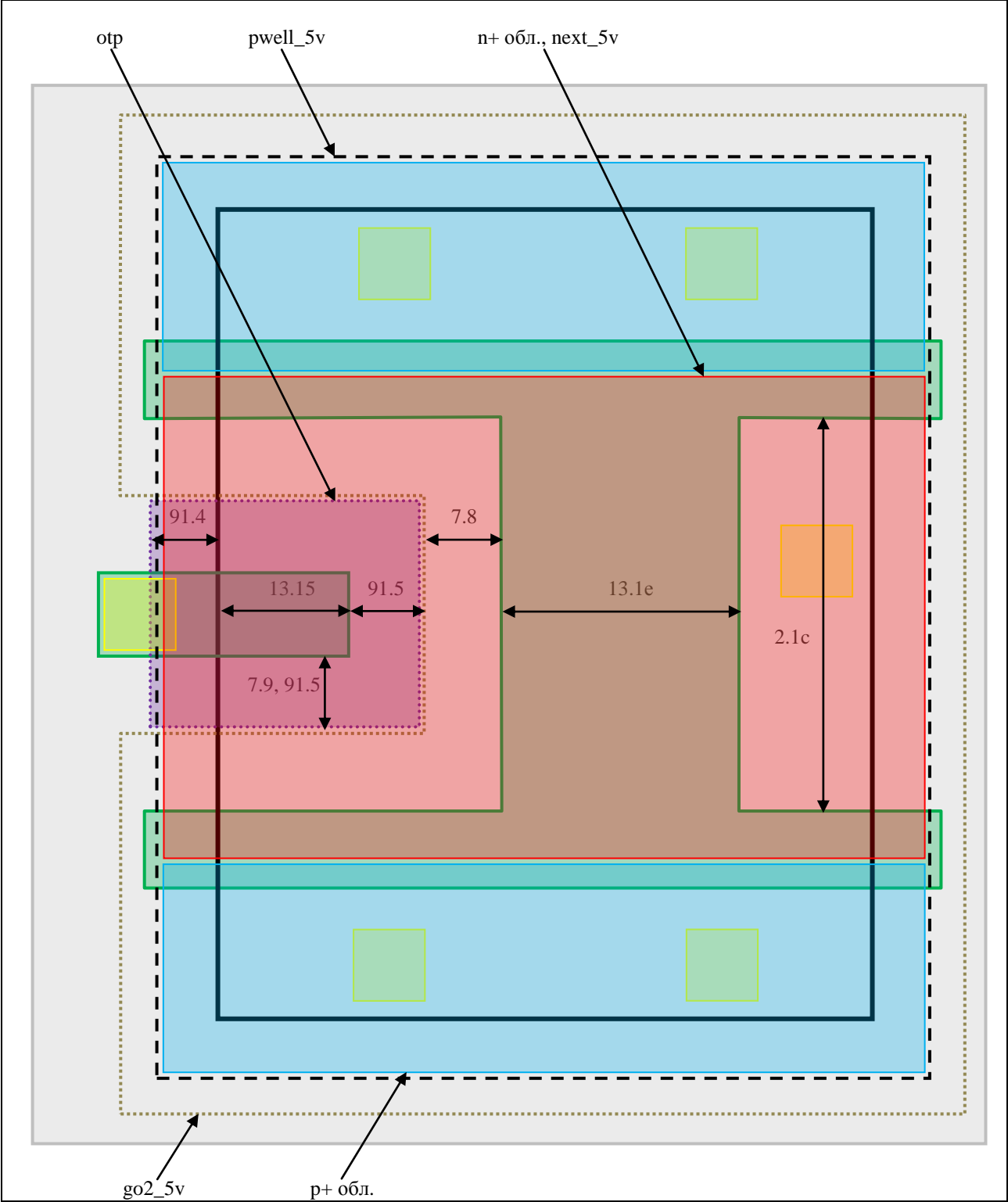
Антенные правила, приведённые ниже, применимы для конденсаторов, проектируемых для напряжения питания 5В.

CAPNNW013.1c	Максимальная площадь Poly для конденсатора	1000
CAPNNW013.2a	Максимальная площадь сборки конденсаторов по отношению к полной площади чипа	1%
CAPNNW013.2b	Максимальная площадь сборки конденсаторов, если площадь чипа меньше 1 мм ²	10000



2.4.6.25. otp

2.1c	Ширина канала транзистора.	1.24
13.1e	Длина канала транзистора (минимальная = максимальной).	0.80
13.15	Перекрытие активной области верхней обкладкой программируемого конденсатора.	0.40
91.4	Выступ ОТП за активную область.	0.16



91.5	Вложение верхней обкладки программируемого конденсатора в область OTP со стороны транзистора выборки.	0.24
7.7	Разрешено пересечение области ACTIVE областью GO2_5V.	
7.8	Вложение транзистора выборки в область GO2_5V.	0.24
7.9	Зазор между GO2_5V и верхней обкладкой программируемого конденсатора.	0.24

2.4.7. Правила проектирования контактных площадок

2.4.7.1. Общие положения.

Процесс создания вольфрамовых заглушек не совместим с контактными окнами больших размеров, обычно используемых в контактных площадках. В данном технологическом процессе вместо одного большого контактного окна используется массив располагающихся друг над другом переходных контактных окон минимального размера: "via1", "via2", "via3", "via4", "via5" с шагом 2мкм (см. рисунок далее).

Механические свойства крупных металлических площадок не совместимы с low-k материалами в КП. В данном технологическом процессе большие площади металла заменяются маленькими линиями металла во всех слоях металлизации кроме Metal6. Каждая шина текущего уровня металлизации перпендикулярна находящимся над и под ней шинам металлизации (т.е. перпендикулярна лежащим уровнем ниже и/или выше шинам металлизации, см. рисунок далее).

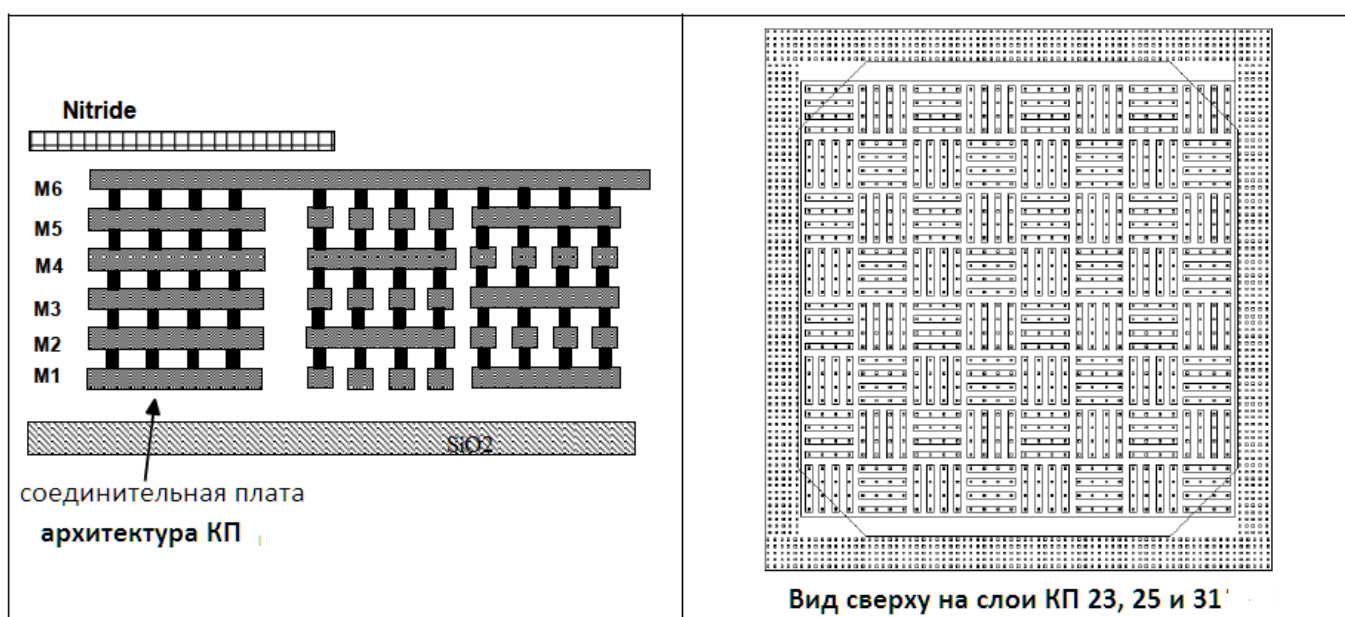
Соединительные площадки (кольца) рядом с КП должны использоваться для подключения всех слоёв металлизации к Metal6. Рекомендованная максимальная ширина соединительных площадок равна 8 мкм (см. рисунок далее).

Определения:

- Под “КП” понимают слой металла, не покрытый нитридной пассивацией.
- Слой “Nitride” применяется для стеклования и вскрытия окон в пассивирующих слоях.
- Соединительная площадка – слой металлизации большой площади с межсоединениями.

Не допускается вскрытие в пассивации кристалла кроме как для формирования КП и специализированных приборов (например: переключек программируемых лазером). В частности, запрещены вскрытия угловых меток L и меток номеров фотошаблонов.

2.4.7.2. Архитектура КП.



В таблице ниже приведены топологические правила проектирования контактных площадок.

31.0	Nitride вложен в КП (мин. = макс.)	0
31.1	КП вложен в METAL6 (мин.)	3
31.2	VIA1 вложен в METAL1	0.34
31.3	VIA2 вложен в METAL2	0.34
31.4	VIA3 вложен в METAL3	0.34
31.5	VIA4 вложен в METAL4	0.34
31.6	VIA5 вложен в METAL5	0.2
31.7	Размер VIA1 в матрице (мин. = макс.)	0.32
31.8	Зазор между VIA1 в матрице (мин. = макс.)	1.68
31.9	Размер VIA2 в матрице (мин. = макс.)	0.32
31.10	Зазор между VIA2 в матрице (мин. = макс.)	1.68
31.11	Размер VIA3 в матрице (мин. = макс.)	0.32
31.12	Зазор между VIA3 в матрице (мин. = макс.)	1.68
31.13	Размер VIA4 в матрице (мин. = макс.)	0.32
31.14	Зазор между VIA4 в матрице (мин. = макс.)	1.68
31.15	Размер VIA5 в матрице (мин. = макс.)	0.6
31.16	Зазор между VIA5 в матрице (мин. = макс.)	1.4
31.17	Ширина METAL1 в матрице (мин. = макс.)	1
31.18	Зазор между METAL1 в матрице (мин. = макс.)	1
31.19	Ширина METAL2 в матрице (мин. = макс.)	1
31.20	Зазор между METAL2 в матрице (мин. = макс.)	1
31.21	Ширина METAL3 в матрице (мин. = макс.)	1
31.22	Зазор между METAL3 в матрице (мин. = макс.)	1
31.23	Ширина METAL4 в матрице (мин. = макс.)	1
31.24	Зазор между METAL4 в матрице (мин. = макс.)	1

31.25	Ширина METAL5 в матрице (мин. = макс.)	1
31.26	Зазор между METAL5 в матрице (мин. = макс.)	1
31.28	Запрещён POLY под КП	

2.4.7.3. Правила компоновки контактных площадок

Минимальный шаг размещения контактных площадок на кристалле равен 150 мкм (размер 100×100 мкм и минимальный зазор между контактными площадками 50 мкм). Особое внимание следует уделить распределению мощности, функциональной тестируемости и компоновке всех контактных площадок.

Вид возможного корпусирования согласовывается с фабрикой на начальных этапах проектирования прибора.

2.4.8. Правила формирования защитного кольца ("SEAL RING")

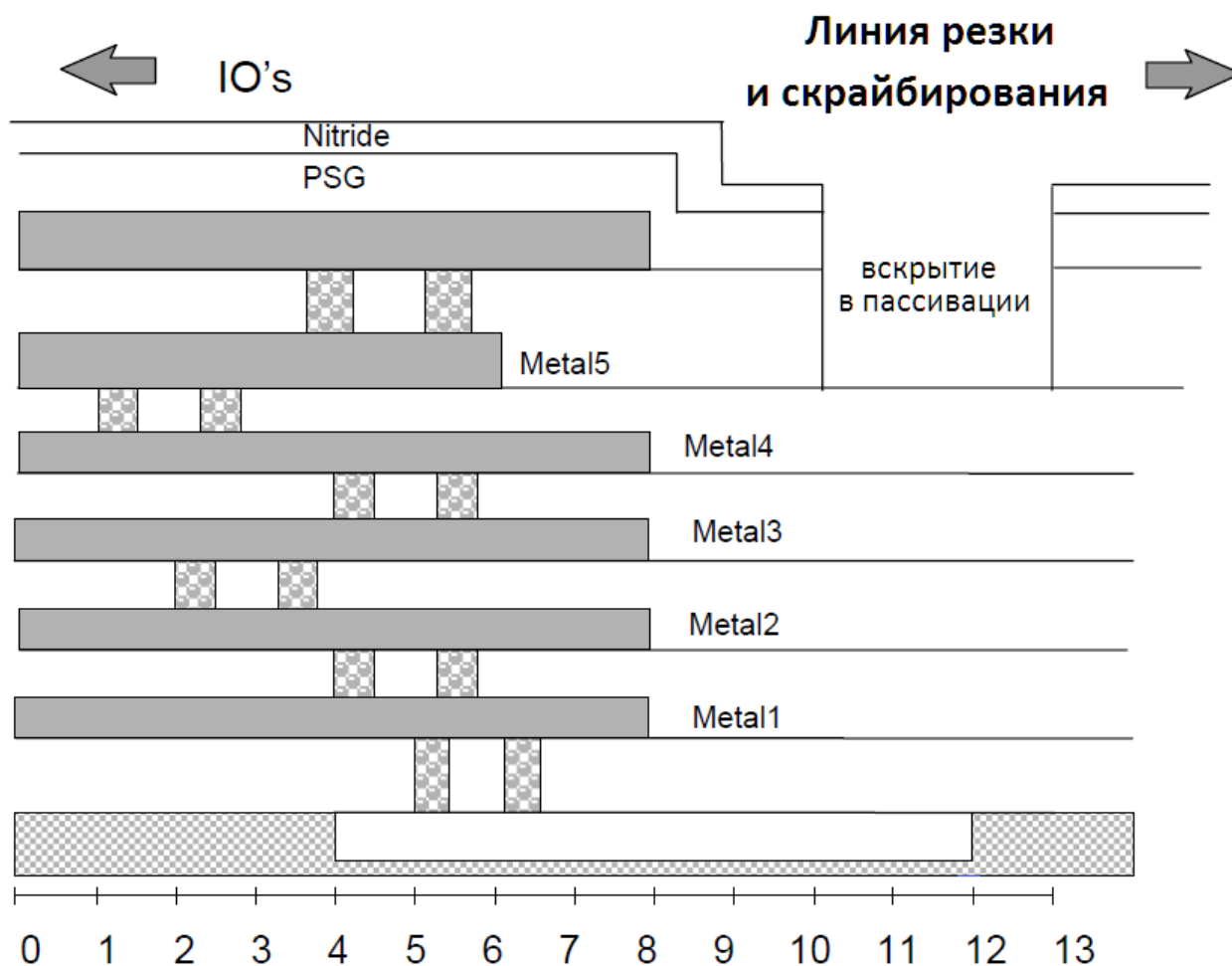
Цель данного раздела – предоставить информацию о проектировании вокруг кристалла защитного кольца, предназначенного для предотвращения проникновения трещин (сколов), образующихся в скрайберной дорожке во время резки пластины на кристаллы, в область самого кристалла.

Правила проектирования защитного кольца приведены ниже.

Все размеры приводятся в микронах относительно внутренней стороны защитного кольца.

Ширина защитного кольца – 13 мкм.

Ниже на рисунке представлена структура защитного кольца для данного техпроцесса.



В таблице ниже, значение 0 означает внутреннюю сторону кристалла (возле схемы), значение 13 – внешнюю сторону кристалла. Все значения в микронах.

Название слоя	Прорисовка	ОТ	ДО
Active	Да	4	12
Inverse Active	Да	4	12
Nwell	Нет		
Nwell_3v	Нет		
Nwell_5v	Нет		

Pwell	Генерация		
Pwell_3v	Нет		
Pwell_5v	Нет		
GO2_3v	Нет		
GO2_5v	Нет		
POLY	Нет		
NLDD	Нет		
PLDD	Нет		
NEXT_3v	Нет		
NEXT_5v	Нет		
PEXT_3v	Нет		
PEXT_5v	Нет		
NPLUS	Нет		
PPLUS	Да	3	13
SIPROT	Нет		
LIL	Генерация 2 штриховые линии	5	5.24
		6.24	6.48
Contact	Да 2 штриховые линии	5	5.24
		6.24	6.48
Metal1	Да	0	8
Via1	Yes 2 штриховые линии	4	4.32
		5.32	5.64
Metal2	Yes	0	8
Via2	Да 2 штриховые линии	2	2.32
		3.32	3.64
Metal3	Да	0	8
Via3	Да 2 штриховые линии	4	4.32
		5.32	5.64
Metal4	Да	0	8
Via4	Да 2 штриховые линии	1	1.32
		2.32	2.64
Metal5	Да	0	6
Mim5	Нет		
Via5	Да 2 штриховые линии	3.6	4.2
		5.2	5.8
Metal6	Да	0	8
Nitride	Да	10	13
PRESIST	Нет		

Примечание:

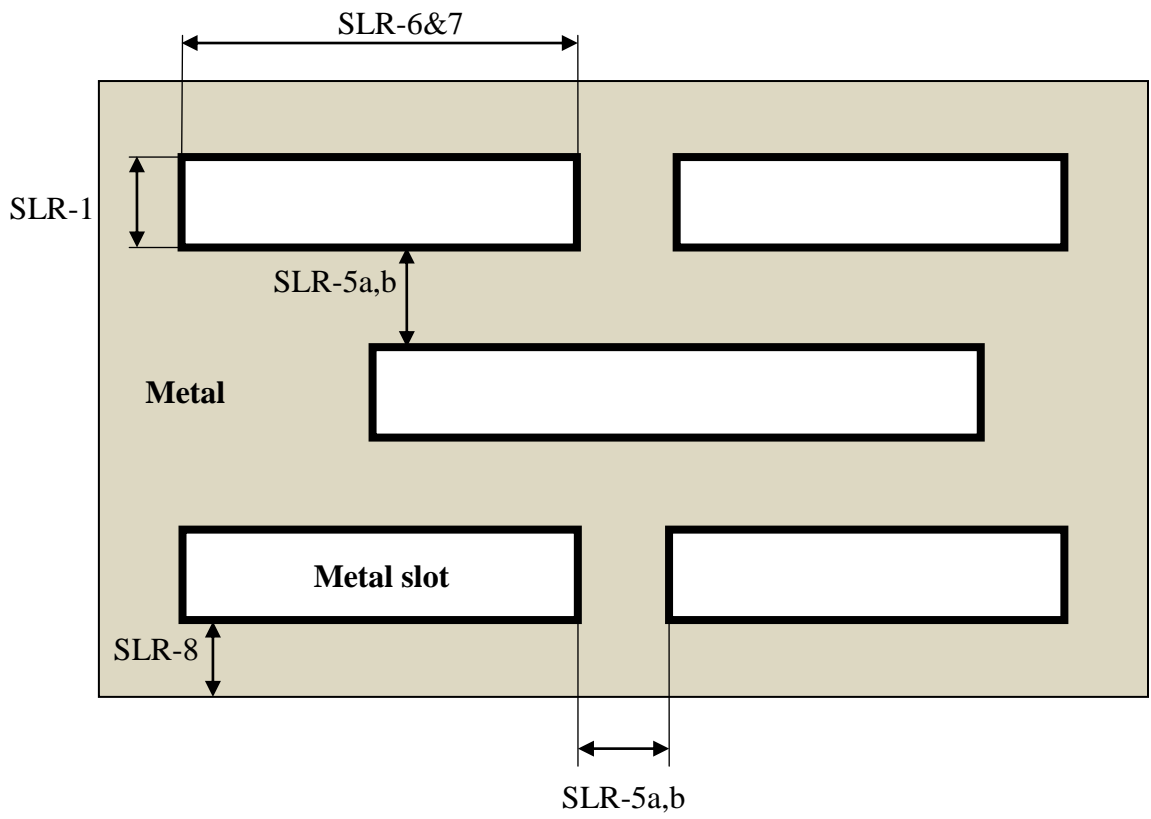
- 2 штриховые линии для контактов формируются 2 строками квадратов: (0.24 x 0.24 мкм) контакты с зазорами по 0.32 мкм, смещённые относительно друг друга на полпериода (0.28 мкм).
- 2 штриховые линии via1, via2, via3 и via4 формируются 2 строками квадратов (0.32 x 0.32 мкм) via1, 2, 3, 4 с зазором 0.32 мкм, смещённые относительно друг друга на полпериода (0.32 мкм).
- 2 штриховые линии via5 формируются 2 строками квадратов (0.6 x 0.6 мкм) via5 с зазором 0.36 мкм, смещённые относительно друг друга на полпериода (0.48 мкм).
- Так как общая длина строк contact/vias, вероятно не кратна шагу установки, некоторые зазоры могут быть увеличены, но зазоры contact/vias должны быть минимальны. Уплотнительное кольцо – широкая полоса PWELL. Может быть подсоединено к Vss на любом уровне металла.

Зазор между защитным кольцом и внешним кольцом металла прибора	
При одинаковом напряжении	0
При различном напряжении	3

2.4.9. Правила проектирования при слотировании металлов (METAL SLOT).

SL1	Все широкие металлические шины должны слотироваться. Шина считается широкой, если: $L = 30 \mu\text{m}$, $W = 12 \mu\text{m}$	12×30
SL2	Минимальная плотность слотов в широких металлических шинах	9 %
SL3	Слотирование запрещено в контактных площадках	
SLR1	Рекомендуемая минимальная ширина	3.0
SLR3	Слоты вставляются в направлении протекания тока	
SLR4	Не допускаются металлические шины внутри слота в одном уровне металла	
SLR5a	Зазор между слотами при ширине металла: $12 \leq W \leq 30$	7.0
SLR5b	Зазор между слотами при ширине металла: $W > 30$	10.0
SLR6a	Минимальная длина при ширине металла: $12 \leq W \leq 30$	7.0
SLR6b	Минимальная длина при ширине металла: $W > 30$	10.0
SLR7a	Максимальная длина при ширине металла: $12 \leq W \leq 30$	14.0
SLR7b	Максимальная длина при ширине металла: $W > 30$	28.0

SLR8a	Вложение слота в металл при ширине металла: $12 \leq W \leq 30$	3.0
SLR8b	Вложение слота в металл при ширине металла: $W > 30$	7.0



2.5. Правила проектирования связанные с технологическими эффектами

2.5.1. Правила проектирования для учёта эффекта электромиграции

Целью данного раздела является описание правил проектирования для ширин шин межсоединений и контактных окон таким образом, чтобы частота отказов не превышала величины в 1% за 20 лет при температуре 142°C.

Значение минимальной ширины шины зависит от эквивалентного тока, протекающего по этой шине (I_{eq}), от толщины шины металлизации, от общей конфигурации цепи, по которой протекает ток, и от текущей температуры кристалла (не окружающей среды).

2.5.2. Минимальная ширина проводящих слоев

Замечание относительно степени заполнения металлом (step coverage):

Раньше было обязательно брать в расчет фактор заполнения (т.е. отношение толщины пленки на ступеньке [боковой вертикальной грани] к толщине пленки на планарной [горизонтальной] поверхности) из-за непланарности техпроцесса. В настоящее время при использовании ХМП-планаризации обеспечивается планарная поверхность межслойного диэлектрика и можно не брать в расчет фактор степени заполнения.

Минимальная прорисовываемая ширина шины W для алюминиевых слоев определяется выражением:

$W = K \cdot I_{eq} \cdot f(T) + \Delta W$, где:

$$K = \frac{1}{(\min \text{ толщина слоя Al}) \cdot J_{\max}}$$

$$J_{\max} = 2 \text{ mA/мкм}^2$$

$$f(T) = e^{\frac{E_a}{nk_B T_0} (1 - \frac{T}{T_0})} = e^{9.8(1 - \frac{415}{T})}$$

I_{eq} - эквивалентный ток, определение которого приведено ниже

T - абсолютная рабочая температура кристалла (в градусах по шкале Кельвина) определяется для наихудшего случая (и типа корпуса) для каждого проекта.

ΔW - разброс (отклонение) критического размера W .

Значения минимальных толщин AlCu слоев, степени заполнения щелей, разброса ширин слоев приведены в таблице ниже:

	Metal 1, 2, 3, 4	Metal 5, 6	Единицы измерений
Минимальная толщина	418.5	792	нм
K	1.18	0.63	мкм/мА
Минимальная ширина	0.32	0.64	мкм
Максимальный разброс	± 0.04	± 0.06	мкм

ширины (ΔW)			
-----------------------	--	--	--

В следующей таблице приведены значения максимального эквивалентного тока, протекающего через шину металла в соответствующем слое с нормой отказа 1% в 20 лет (см. ниже формулу для вычисления критерия TTF - нормы отказа в относительных единицах времени).

		Metal 1, 2, 3, 4	Metal 5, 6	Единицы измерений
142 °C	$I_{eq MAX}$ для $W_{MIN} - \Delta W$	0.24	0.92	мА
	$I_{eq MAX}$ для $W = 1 \text{ мкм}$	0.85	1.59	мА
125 °C	$I_{eq MAX}$ для $W_{MIN} - \Delta W$	0.36	1.40	мА
	$I_{eq MAX}$ для $W = 1 \text{ мкм}$	1.29	2.42	мА
70 °C	$I_{eq MAX}$ для $W_{MIN} - \Delta W$	1.87	7.18	мА
	$I_{eq MAX}$ для $W = 1 \text{ мкм}$	6.63	12.41	мА

Заметим, что $I_{eq MAX}$ для $W = 1 \text{ мкм}$ определяет дополнительный ток, который может протекать через шину металла при увеличении ширины шины на микрон.

Пример: при 125°C:

Дорожка Metal2 шириной $W = 3 \text{ мкм}$ может пропускать:

$$I = I_{eq MAX}(W_{MIN}) + (W - W_{MIN}) \cdot \frac{I_{eq MAX}(W = 1 \text{ мкм})}{1 \text{ мкм}} = 0.36 + 2.68 \cdot 1.29 = 3.8172 \text{ мА}$$

Максимальный ток с учетом эффекта электромиграции (с 1% отказа в 20 лет).

Формула для вычисления ширины линии:

$$W \approx e^{\frac{E_a}{nk_B} \left(\frac{1}{I_1} - \frac{1}{I} \right)}, \text{ где:}$$

$$E_a = 0.7 \text{ эВ}$$

$$n = 2$$

$$T_1 = \text{Рабочая температура линии}$$

$$T_0 = 142^\circ\text{C} = 415\text{K} \quad K = 8.616 \cdot 10^{-5} \text{ эВ/К}$$

$$T_0 - \text{максимальная температура линии для срока службы 20 лет. Формула легитимна при } T_1 < T_0.$$

2.5.2.1. Контактные и межслойные контактные окна

Контакты и межсоединения заполняются вольфрамом, поэтому фактор планарности покрытия металла не учитывается.

Вычисление числа контактов и межсоединений:

Минимальное число контактов и межсоединений зависит от протекающего через них тока

$$N = K_C \cdot I_{eq} \cdot f(T) \implies \text{округляется в большую сторону до целого числа, где:}$$

$$K_C = 1 / (\text{максимальный ток, протекающий через одноконтактное окно})$$

$$f(T) = e^{\frac{E_a}{nk_B T_0} \left(1 - \frac{T_0}{T} \right)} = e^{12.5 \left(1 - \frac{415}{T} \right)}$$

I_{eq} – эквивалентный ток (см. пункт 7.5.2.3).

$$E_a = 0.9 \text{ эВ}, \quad n = 2$$

T_1 - рабочая температура для контактного или межслойного контактного окна

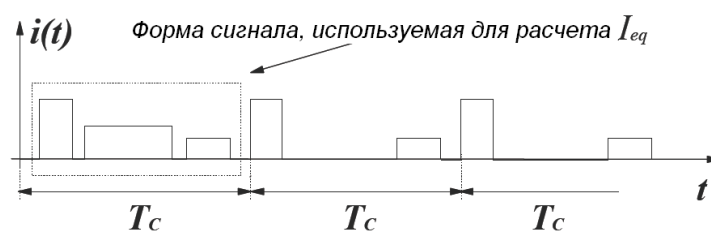
$$T_0 = 142\text{ }^{\circ}\text{C} = 415\text{ K}, K = 8.616 \cdot 10^{-5} \text{ эВ/К}$$

	Контакт	Via 1, 2, 3, 4	Via 5	Единица измерений
Размер (нормальный)	0.24	0.32	0.60	мкм
K_c	7.70	4.54	1.39	1/мА
Максимальный ток на контакт при 142 °С	0.13	0.22	0.72	мА

2.5.2.2. Вычисление эквивалентного тока.

Замечание относительно импульсов тока нерегулярной формы:

Для импульсов постоянного (DC) или переменного (AC) токов нерегулярной формы, вычисление I_{eq} должно выполняться для наихудшего случая в рабочем цикле.



На низких частотах (период больше 200 нс):

Для импульсов постоянного (DC) или переменного (AC) токов нерегулярной формы, вычисление I_{eq} должно выполняться для наихудшего случая в рабочем цикле.

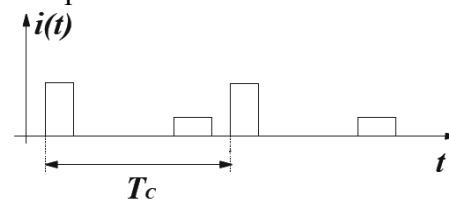
Постоянный ток DC:

Эквивалентный ток равен постоянному току.

Импульсы постоянного тока (pulse DC):

Среднеквадратичный ток вычисляется следующим образом:

$$I_{eq} = \sqrt{\frac{\int i(t)^2 dt}{T_c}}$$

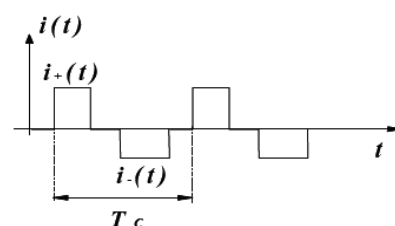


, где интеграл вычисляется на периоде T_c или эквивалентном периоде, полученном из результатов моделирования.

Переменный двунаправленный ток (bidirectional AC):

Для переменного тока каждый импульс тока должен быть рассмотрен отдельно, т.е. от каждого импульса должен быть взят интеграл по ВСЕМУ периоду. Затем следует выбрать максимальное значение.

$$I_{eq} = \text{Max} \left\{ \sqrt{\frac{\int i^+(t)^2 dt}{T_c}}, \sqrt{\frac{\int i^-(t)^2 dt}{T_c}} \right\}$$



На высоких частотах (период меньше 200 нс):

На частотах более 5 МГц следует использовать СРЕДНЕЕ значение эквивалентного тока.

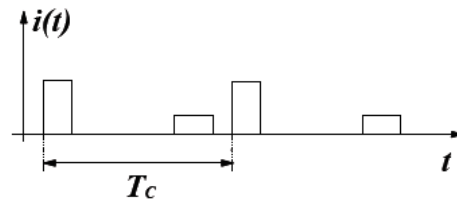
Постоянный ток DC:

Эквивалентный ток равен постоянному току.

Импульсы тока:

Средний ток вычисляется следующим образом:

$$I_{eq} = \frac{\int i(t) dt}{T_c}$$

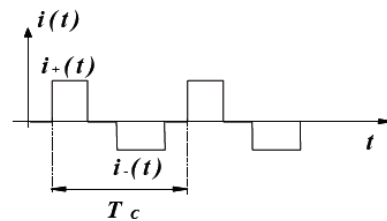


, где интеграл вычисляется на периоде T_c или эквивалентном периоде, полученном из результатов моделирования.

Переменный ток (AC):

Для переменного тока каждый импульс тока должен быть рассмотрен отдельно, т.е. от каждого импульса должен быть взят интеграл по ВСЕМУ периоду. Затем следует выбрать максимальное значение.

$$I_{eq} = \text{Max} \left\{ \frac{\int |i^+(t)| dt}{T_c}, \frac{\int |i^-(t)| dt}{T_c} \right\}$$



Пиковый (максимальный) ток:

В таблице ниже приведены значения пикового тока, зависящие от длительности импульса тока.

				Единица измерений
Продолжительность пика(t)	t < 5	5 < t < 100	100 < t	нс
Пиковый ток	200	100	50	мА / мкм ²

2.5.3. Правила проектирования для учёта эффекта саморазогрева

С увеличением плотности тока локальная температура проводящих шин увеличивается, в результате может происходить значительный нагрев как самой шины, так и подсоединенных к этой шине устройств. Следующие правила приведены для случая, когда температура проводника превышает температуру подложки не более чем на 20 °С:

Тип слоя	Максимальная плотность тока по дорожке (мА/мкм)
Вольфрамовый LIL	5
Poly без силицида	0.5
Poly с силицидом	0.5

Ніро резистор	0.17
---------------	------

2.5.4. Защита от воздействия электростатического заряда.

а) Активные области без силицида.

Активные области с силицидом наиболее подвержены эффекту перераспределения линий тока, поэтому для улучшения степени защиты элементов от ESD в местах контактов силицид не формируется. Для предотвращения формирования силицида служит маска "SIPROT". Правило 18.6 относится к техпроцессу, оно не гарантирует защиту от ESD. Увеличение значения покрытия поликремния (правило 18.6), в особенности со стороны стока транзистора, необходимо для обеспечения требуемого уровня электростатической защиты для каждого конкретного продукта.

б) Длина затвора транзистора.

Было доказано, что оптимальное значение ESD достигается при минимальной длине канала транзистора. Поэтому рекомендуется использовать транзисторы с минимальной длиной канала в схемах ввода/вывода для обеспечения лучшей защиты от ESD.

с) Ширина канала транзисторов.

Исходя из данных о плотности тока, рекомендуется использовать транзисторы большей ширины.

д) Отсутствие областей LDD.

Доказано, что NМОП транзисторы наиболее эффективно используются в качестве ограничительных приборов без областей LDD. Это касается NМОП с GO1 без NLDD и NМОП с GO2_3V (GO2_5V) без NEXT_3V (NEXT_5V).

е) Решение для элементов ввода/вывода

Библиотека элементов ввода/вывода разработана и реализована в кремнии. Для более полной информации смотрите документацию, поставляемую к библиотекам ввода/вывода.

2.5.5. Механические напряжения.

Далее представлены правила проектирования для металлических шин в схемах ввода/вывода (контактных площадках и схемах электростатической защиты), а также в схемах, расположенных по углам кристалла для уменьшения механических напряжений.

Правило 1: Разводить металлические шины под углом в 45° по углам кристалла.

Причина: распределение механических напряжений вдоль шины, а не в одной точке.

Правило 2: Слотировать (распараллеливать) все широкие металлические шины в элементах ввода/вывода.

Причина: слоты служат для уменьшения числа точек сосредоточения механических напряжений.

Правило 3: Не располагать активные схемы по углам кристалла.

Причина: это область с повышенными механическими напряжениями.

2.5.6. Правила проектирования для горячих носителей в транзисторах.

2.5.6.1. Определения.

В элементарных приборах время дрейфа горячих носителей обычно определяется как время, необходимое для достижения 10% деградации основных параметров полевого МДП транзистора:

gm, V_{th} (@ $V_{ds} = 0.1$ В), $I_{d\ lin}$ (@ $V_{ds} = 0.1$ В, $V_{gs} = 1.8$ В), $I_{d\ sat}$ (@ $V_{ds} = V_{gs} = 1.8$ В), измеренных в нормальном и инверсном режиме для наихудшего случая стрессовых воздействий.

2.5.6.2. Цифровые приложения, использующие МОП транзисторы с GO1.

Большинство малопотребляющих (low leakage) N и PMОП транзисторов показали высокую надёжность и отказоустойчивость в связанных кольцевых генераторах. Данный эксперимент показал высокую устойчивость получаемых в технологическом процессе транзисторов к инжекции горячих носителей для приложений цифровой логики. Поэтому никаких конкретных ограничений на транзисторы с GO1 в данном случае не накладывается.

2.5.6.3. Аналоговые приложения, использующие МОП транзисторы с GO1.

При применении NМОП транзисторов имеются небольшие ограничения на разработку аналоговых приложений, которые более чувствительны к параметрам I_{dlin} и gm. В данных приложениях необходимо увеличивать номинальную длину канала для достижения наработки на отказ минимум 10 лет для питания 1.8В – на 0.2 мкм, для питания 1.95В – на 0.25В для всех транзисторов. На PMОП транзисторы это не распространяется.

2.5.6.4. Цифровые приложения, использующие МОП транзисторы с GO2_3V (GO2_5V).

NМОП транзисторы с данным окислом не показывают существенного сдвига характеристик даже при наихудших вариантах нагрузок. PMОП транзисторы не показывают соответствующей десятилетней стабильности параметров. Тем не менее, никаких ограничений для цифровой логики на эти приборы не накладывается.

2.5.6.5. Аналоговые приложения, использующие МОП транзисторы с GO2_3V (GO2_5V).

Для гарантии десятилетней наработки на отказ в чувствительных к сдвигу параметров аналоговых приложениях обязательно должна увеличиваться длина канала приборов обоих типов проводимости. Это должно быть сделано для компенсации деградации параметров от влияния инжекции горячих носителей.

Ниже пояснительная таблица.

Параметр	NМОП				PMОП			
$V_{си}$, В	3.3	3.6	5.0	5.5	-3.3	-3.6	-5.0	-5.5
L , мкм	0.8	1.1	1.0	1.2	1.3	1.7	1.5	1.8

2.5.7. Правила проектирования для заряда индуцированного плазмой.

В субмикронных технологиях все большее распространение получают технологические операции (этапы) с использованием плазмы. Такие технологические операции чувствительны к неоднородностям на поверхности пластины. Из-за неоднородностей может нарушаться равновесие между потоками ионов и электронов, и как следствие генерироваться либо положительные, либо отрицательные заряды. Накопление таких зарядов на проводящих шинах, напрямую подсоединенных к затворам транзисторов, может приводить к следующим критическим эффектам:

- a) Сдвигу порогового напряжения между шинами металлизации "metal1" и "metal6".
- b) Ухудшению качества подзатворного окисла.
- c) Ухудшению стойкости к эффекту горячих носителей.

Заряды могут генерироваться на нескольких этапах техпроцесса. На основе данных, полученных в процессе тестирования специальных тестовых структур, и анализу данных по отказам установлено, что источниками зарядов могут быть следующие технологические операции:

- Травление распылением до осаждения металла (только для межслойных контактных окон).
- Начальный этап осаждения металла, когда слой Ti TiN еще является непрерывным (сплошным).
- Травление верхних граней слоев металлов, после того как шины металлизации сформированы.
- Удаление фоторезиста при формировании слоев металлизации.
- Осаждение оксида; в этом случае предполагается, что большая часть заряда формируется при осаждении первых 1000 Å оксида.
- Травление межслойных контактных окон и удаления с них фоторезиста.

Важно понимать, что при осаждении металла (до его травления по маске фотошаблона) слой металла закорачивает все узлы схемы между собой, в том числе затворы транзисторов закорачиваются с подложкой, при этом обеспечивается защита от образования заряда.

Также следует учитывать, что при использовании верхнего слоя ("metal6") каждый затвор соединяется с выходом предыдущего каскада схемы, за исключением входных выводов. Таким образом, верхний слой "metal6" не используется при вычислении коэффициента накопления заряда (AR – antenna ratio).

Травление контактных и межслойных контактных окон приводит к образованию некоторого заряда при условии, что число контактных/межслойных контактных окон велико. Обычно число контактных окон в расчете на затвор не велико, за исключением шин земли и питания. В связи с этим при вычислении коэффициента накопления заряда контактные и межслойные контактные окна не рассматриваются.

2.5.7.1. Определение коэффициента накопления заряда.

Шины поликремния и металлов могут выступать в качестве "антенн" по накоплению заряда. Два коэффициента накопления заряда определяются для поликремниевых слоев.

Определение 1:

Коэффициент накопления заряда для поликремния для узла схемы определяется как:

$$AR_{poly} = \frac{A_{poly}}{A_{gate}}$$

A_{gate} - площадь затвора, соединенного с узлом схемы.

A_{poly} - площадь шин поликремния, подсоединенных к затвору.

Определение 2:

Коэффициент накопления заряда для LIL для узла схемы определяется как:

$$AR_{LIL} = \frac{A_{LIL}}{A_{connectedgates}}$$

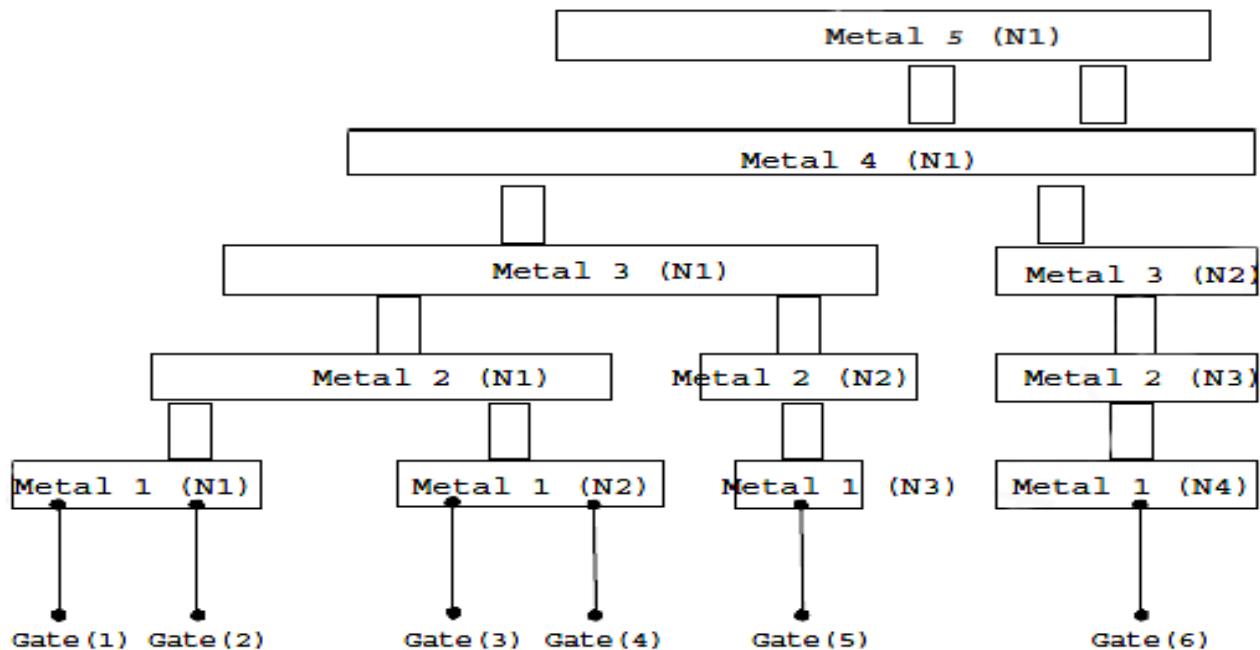
A_{LIL} - площадь LIL, соединенного с узлом схемы.

$A_{connectedgates}$ - площадь всех затворов, напрямую подсоединённых к данному LIL.

Определение 3:

Частичный коэффициент накопления заряда (PAR – partial antenna ratio) определяется для каждого слоя металла:

$$PAR\{Metal[i](N[j])\} = \frac{\text{Площадь шин в слое } Metal[i] \text{ в узле } N[j]}{\sum \text{площадей всех затворов, подсоединенных к слою } Metal[i], \text{ в узле } N[j]}$$



При формировании слоя первой металлизации ("metal1") и первого межслойного диэлектрика ("IMD1") шины "metal1" могут индуцировать заряд на напрямую подсоединенные затворы:

$$PAR\{Metal1(N1)\} = \frac{\text{Площадь } Metal1 \text{ в узле } N1}{\sum \text{площадей } gate(1), gate(2)}$$

При формировании слоя второй металлизации ("metal2") и второго межслойного диэлектрика ("IMD2") шины "metal1" не накапливают заряд, так как они напрямую не контактируют с плазмой.

Шины "metal2" могут индуцировать заряд только на затворы, которые подсоединены через "metal1":

$$PAR\{Metal2(N1)\} = \frac{\text{Площадь Metal2 в узле N1}}{\sum \text{площадей gate(1), gate(2), gate(3), gate(4)}}$$

Аналогично при формировании слоя третьей металлизации ("metal3") и третьего межслойного диэлектрика ("IMD3"), шины "metal1" и "metal2" не накапливают заряд, так как они напрямую не контактируют с плазмой. Шины "metal3" могут индуцировать заряд только на затворы, которые подсоединены через "metal1" и "metal2":

$$PAR\{Metal3(N1)\} = \frac{\text{Площадь Metal3 в узле N1}}{\sum \text{площадей gate(1), gate(2), gate(3), gate(4), gate(5)}}$$

Вычисление коэффициента для слоя четвертой металлизации ("metal4") проводится точно также:

$$PAR\{Metal4(N1)\} = \frac{\text{Площадь Metal4 в узле N1}}{\sum \text{площадей gate(1), gate(2), gate(3), gate(4), gate(5), gate(6)}}$$

Вычисление коэффициента для слоя пятой металлизации ("metal5") проводится аналогично.

Определение 4:

Суммарный коэффициент накопления заряда (CAR – cumulated antenna ratio) определяется для узла схемы в слое "metal1" как сумма PAR всех узлов, соединенных с искомым узлом и находящихся в вышележащих слоях металлизации:

$$CAR\{Metal1(N1)\} = PAR\{Metal1(N1)\} + PAR\{Metal2(N1)\} + PAR\{Metal3(N1)\} + PAR\{Metal4(N1)\} + \\ + PAR\{Metal5(N1)\}$$

2.5.7.2. Правила проектирования с учётом накопления заряда.

Максимальное значение коэффициента CAR в любом узле схемы для поликремния	60
---	----

Проверка данных правил осуществляется средствами Design Kit.

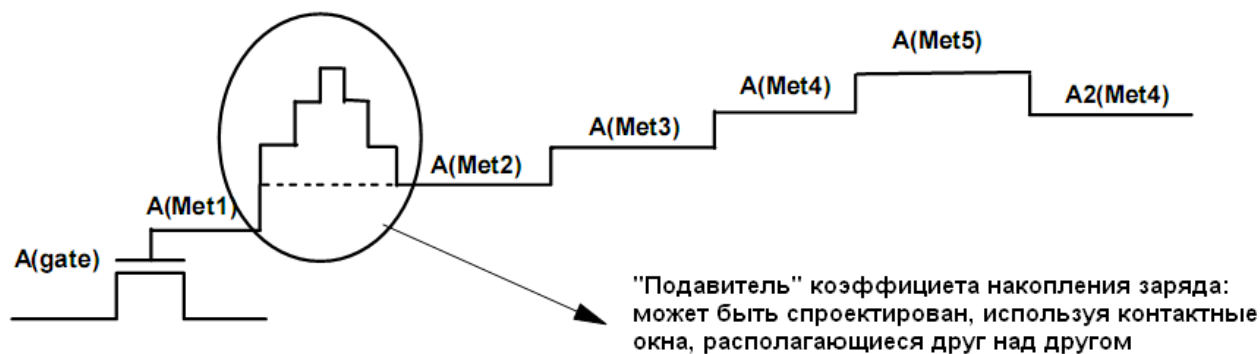
2.5.7.3. Рекомендации по уменьшению коэффициента накопления заряда.

Любая ошибка, связанная с нарушением нормы на значение коэффициента CAR и выявленная на этапе DRC проверки, может быть исправлена следующим способом:

- Прямым соединением узла схемы с выходом в нижнем слое металлизации и уменьшением площади металлических шин.
- Соединением затвора с последним (верхним) слоем металлизации, такое соединение должно располагаться как можно ближе к затвору.

Последний (верхний) слой металлизации затем может быть соединен и с другими слоями металлизации. Расположение контактных/межслойных контактных окон друг над другом ("stacked vias/contacts") позволяет выполнять переходы в верхний слой металла на минимальной площади.

Защита, переходом в верхний слой металлизации:



ВАЖНО: В случаях, когда в первую очередь требуется обеспечить согласование транзисторов, следует с особой тщательностью проектировать межсоединения для парных элементов. Для предотвращения рассогласования коэффициентов накопления заряда, шины металлизации должны располагаться максимально симметрично. По той же самой причине длина шин межсоединений должна быть минимизирована.

2.5.8. e-Beam тестирование.

Для шин основных сигналов настоятельно рекомендуется использовать специальные контактные площадки (микропады) для e-beam тестирования. Минимальный размер – **1 мкм**.

Микропад – это КП, предназначенная только для отладки проекта во время изготовления прототипа устройства. Микропад – небольшая контактная площадка, используемая при электроннолучевом контроле или тестировании с использованием зонда.

31.1a	Вложение КП в слой METAL6 при условии, что КП - микропад	1
31.29	Минимальная ширина области вскрытия пассивации для микропада	1
31.30	Использование микропадов не разрешается при изготовлении конечного устройства. После отладки прототипа устройства, должен быть изготовлен новый фотошаблон, включающий только контактные площадки.	

2.6. Правила, касающиеся плотности заполнения слоёв.

2.6.1. Ограничения по плотности заполнения слоёв.

Для более надежного контроля процессов травления STI и шлифовки были введены требования к глобальному заполнению АКТИВНЫМИ ОБЛАСТЯМИ площади кристалла.

Разработчиком топологии должна быть выполнена процедура увеличения плотности АКТИВНЫХ ОБЛАСТЕЙ путем добавления ФИКТИВНЫХ АКТИВНЫХ ОБЛАСТЕЙ до установленного минимального значения. Процедура описана в документации пользователя PDK.

Для удовлетворения жестких требований по среднему разбросу значений длин каналов элементов в чипе введены требования к глобальному заполнению ОБЛАСТЯМИ ПОЛИКРЕМНИЯ площади кристалла:

ФИКТИВНЫЕ ПОЛИКРЕМНИЕВЫЕ ОБЛАСТИ генерируются разработчиком топологии из ФИКТИВНЫХ АКТИВНЫХ ОБЛАСТЕЙ.

Для уменьшения ПОВРЕЖДЕНИЙ, ИНДУЦИРОВАННЫХ ПЛАЗМОЙ, улучшения контроля за процессом травления слоев металлизации и контролем толщины оксида на этапе химико-механической планаризации (CMP) межслойного диэлектрика (IMD) были введены требования к глобальному заполнению ОБЛАСТЯМИ МЕТАЛЛА.

Все правила заполнения ФИКТИВНЫМИ ОБЛАСТЯМИ приведены выше.

2.6.2. Рекомендации по заполнению областей фиктивными элементами.

Заполнение фиктивными элементами следует проводить как можно более равномерно с целью обеспечения максимальной однородности при травлении металла и химико-механической планаризации межслойного диэлектрика.

- Рекомендуемый минимальный зазор между фиктивными элементами и границами устройства или надписей, прорисованных в одном слое - 2 мкм.

- Фиктивные элементы следует прорисовывать прямоугольной или квадратной формы. Они должны быть достаточно плотно расположены с тем, чтобы плотность металла превышала минимально допустимое значение.

- Рекомендуемая минимальная ширина шин фиктивных элементов должна быть меньше следующих значений:

для "metal1"-"metal4"10 мкм
для "metal5"-"metal6"25 мкм

- Рекомендуемый минимальный зазор между шинами фиктивных элементов должен быть меньше следующих значений:

для "metal1"-"metal4"10 мкм
для "metal5"-"metal6"25 мкм

- Рекомендуемые размеры ширины квадратов фиктивных элементов для metal – 2 мкм

- Рекомендуемый зазор между квадратами фиктивных элементов для metal – 1.4 мкм

- Рекомендуемые размеры ширины квадратов фиктивных элементов для MIM5 (HKMIM5) – 1.4 мкм

- Рекомендуемый зазор между квадратами фиктивных элементов для MIM5 (HKMIM5) – 2 мкм
- Вложение фиктивных MIM5 (HKMIM5) в слой METAL5 – 0.3 мкм

Разработчик топологии может выбирать большие значения ширин и зазоров для фиктивных элементов в слоях металлизации, если это поможет достичь требуемой плотности (согласно правилам проектирования).

- Фиктивные области металла не должны генерироваться на краю чипа (расстояние до внутреннего ребра защитного кольца sealring – 20 мкм).

Разработчики топологии также отвечают за исключение фиктивных элементов из областей, граничащих с потенциально чувствительными (в силу ограничения функциональности или быстродействия) структурами.

2.6.3. Процедура автоматической генерации фиктивных элементов.

Процедура формирования ФИКТИВНЫХ ЭЛЕМЕНТОВ ДЛЯ АКТИВНЫХ ОБЛАСТЕЙ включает в себя следующие этапы:

Процедура автоматической генерации фиктивных элементов доступна в Design Kit. Эта процедура:

- регулируется правилами проектирования, описанными в данном документе для фиктивных элементов ("active", "poly", "metal1"-"metal6").
- включает возможность селективной генерации фиктивных элементов для слоев "poly", "metal1"-"metal6" таким образом, что разработчик, использующий эту процедуру, может управлять возникающими коллизиями при формировании фиктивных элементов.
- формирует фиктивные элементы (для каждого соответствующего слоя) в типе слоя GDSII

За более подробной информацией обратитесь к документации Design Kit.

Формирование фиктивных элементов в слоях "active" и "poly":

1. определение исключаемых областей с АКТИВНЫМИ ОБЛАСТЯМИ ("active"): 2 мкм от "active"
2. определение исключаемых областей с ПОЛИКРЕМНИЕМ ("poly"): 2 мкм от "poly"
3. определение исключаемых границ карманов: ± 0.16 мкм от границы карманов
4. определение исключаемых областей со слоем "lil" 2 мкм от "lil"
5. определение исключаемых областей с контактными площадками (только для слоя «poly») 5 мкм от КП
6. определение исключаемых областей со служебными метками (логотипа, копирайта, названиями фотошаблонов, надписями и др.) 2 мкм от служебных меток
7. определение глобально исключаемой области при формировании фиктивных активных областей путем слияния исключаемых областей 1 2 3 4 5 6 7 8
8. определение массива фиктивных активных областей 4 x 4 мкм с зазором в 2 мкм

9. удаление всех фиктивных областей, которые пересекаются либо вложены в область исключения
10. проверка того, что размеры максимальной свободной области, расположенной вне области исключения, не превышают 10x10 мкм

В результате выполнения этой процедуры формируются фиктивные активные области, согласно правилам проектирования, приведенным выше.

Поликремниевые фиктивные элементы могут формироваться с меньшими размерами (по сравнению с фиктивными активными элементами).

Уменьшение размеров на 0.5 мкм с каждой стороны (т.е. размер фиктивных поликремниевых элементов составляет 3 x 3 мкм) обычно позволяет достичь плотности заполнения поликремнием более 15 %.