

# یک روش سریع به منظور کاهش اثرات سالمندی در مدارهای دیجیتال با استفاده از بازسنتز منطقی

سید میلاد ابراهیمی پور<sup>۱</sup>، بهنام قوامی، محسن راجی<sup>۳</sup>

<sup>۱</sup> دانشجوی کارشناسی ارشد، دانشگاه شهید باهنر، کرمان،

miladebrahimi@eng.uk.ac.ir

<sup>۲</sup> استادیار، گروه مهندسی کامپیوتر، دانشگاه شهید باهنر، کرمان

ghavami@uk.ac.ir

<sup>۳</sup> استادیار، دانشکده مهندسی برق و کامپیوتر، دانشگاه شیراز

mraji@shirazu.ac.ir

## چکیده

با پیشرفت تکنولوژی و کاهش ابعاد ترانزیستورها، چالش‌های جدیدی در حوزه قابلیت اطمینان تراشه‌های دیجیتال وجود آمده است. از جمله این چالش‌ها می‌توان به سالمندی ترانزیستورها اشاره کرد که باعث کاهش کارایی و تخریب عملکرد مدار می‌شود. تاکنون روش‌های مختلفی با استفاده از تکنیک بازسنتز منطقی به منظور کاهش اثرات سالمندی در یک مدار ارائه شده است. اما مشکل اصلی این روش‌ها طولانی بودن زمان اجرا و غیر قابل اعمال بودن آن‌ها برای مدارهای مقیاس بزرگ می‌باشد. در این مقاله، یک روش بازسنتز منطقی مبتنی بر بخش‌بندی به منظور کاهش تنزل کارایی ناشی از سالمندی در یک مدار دیجیتال ارائه شده که به طور موثری زمان اجرای فرآیند بهینه‌سازی را کاهش می‌دهد. در روش پیشنهادی، مدار با استفاده از ساختارهای مخروطی به مجموعه‌ای از زیرمدارهای کوچکتر بخش‌بندی می‌شود. سپس این زیرمدارها سطح بندی شده و زیرمجموعه‌ای از موثرترین زیرمدارها به منظور بهینه‌سازی انتخاب شده و تکنیک بازسنتز منطقی بر روی هر زیر مدار اعمال می‌شود که باعث کاهش فضای جستجو و کاهش زمان-اجرای الگوریتم می‌شود. نتایج حاصل از شبیه‌سازی نشان می‌دهد که روش پیشنهادی با سربار مساحت ۳/۲٪ تنزل کارایی ناشی از سالمندی را حدود ۱۲/۹٪ بهبود داده است. همچنین زمان اجرای روش پیشنهادی در مقایسه با روش همسان‌سازی مسیرها، حدود ۱۱ برابر سریع‌تر است.

## کلمات کلیدی

قابلیت اطمینان، سالمندی، بخش‌بندی، بازسنتز منطقی، فرسودگی، ترانزیستور، مدارهای دیجیتال

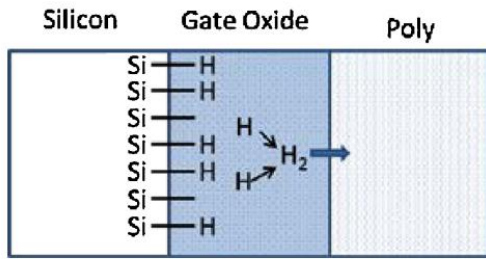
## ۱- مقدمه

از جمله این موارد می‌توان به کاهش قابلیت اطمینان<sup>۱</sup> مدارهای دیجیتال اشاره کرد [2]. عواملی که قابلیت اطمینان سیستم را به خطر می‌اندازند، به دو دسته خرابی‌های مستقل از زمان، مانند تغییرپذیری ساخت<sup>۲</sup>، و خرابی‌های وابسته به زمان، مانند سالمندی<sup>۳</sup> ترانزیستور در اثر ناپایداری حاصل از دما و بایاس منفی<sup>۴</sup> (NBTI)، تقسیم می‌شوند.

پدیده NBTI هنگامی اتفاق می‌افتد که ترانزیستور PMOS تحت بایاس منفی ( $V_{gs} = -V_{dd}$ ) قرار گیرد که باعث افزایش ولتاژ آستانه ترانزیستور و کاهش تاخیر گیت می‌شود. پدیده NBTI به طور قابل

نیاز به کارایی بیشتر، طراحان مدارهای دیجیتال را بر آن داشت تا اندازه ساخت ترانزیستورها را به ابعاد کمتر از چندین نانومتر کاهش دهند. این پیشرفت‌ها باعث افزایش نمایی تعداد ترانزیستورها، افزایش فرکانس و کاهش ولتاژ کاری مدار شده‌اند [1]. با پیشرفت تکنولوژی و کاهش ابعاد ترانزیستورها، طراحی و ساخت تراشه‌های الکترونیکی با مشکلات جدیدی مواجه شده است.

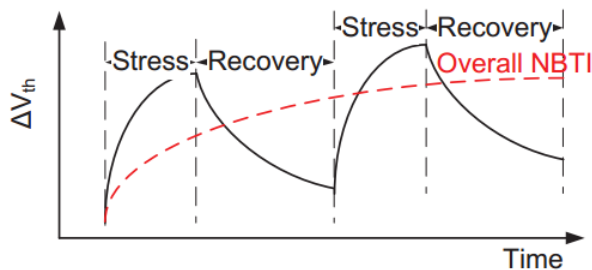
گیت خارج می‌شوند.  $Si^+$  باقی مانده از مرحله قبل موجب افزایش ولتاژ آستانه ترانزیستور می‌شوند. حال اگر ترانزیستور خاموش شود، مرحله بازیابی آغاز می‌شود.



شکل (۱) مرحله استرس [5]

در این مرحله اتم‌های هیدروژنی که تشکیل مولکول هیدروژن  $H_2$  نداده‌اند دوباره با یون‌های سیلیسیم واکنش داده و باعث کاهش اثرات مرحله استرس می‌گردند.

نکته مهمی که باید به آن توجه کرد این است که همانطور که در شکل (۲) قابل مشاهده است، مرحله بازیابی نمی‌تواند به صورت کامل اثرات مرحله استرس را خنثی کند و در طولانی مدت ولتاژ آستانه ترانزیستور افزایش می‌یابد.



شکل (۲) غلبه مرحله استرس بر مرحله بازیابی

## ۲-۲- مدل NBTI

تاخیر یک گیت در زمان  $t$  و در اثر سالمندی را می‌توان به صورت زیر بیان کرد:

$$D_{gate}(t) = D_{gate}(0) + \Delta D_{gate}(t) \quad (۱)$$

که در این معادله  $D_{gate}(t)$  تاخیر گیت در زمان  $t$  در اثر سالمندی را نشان می‌دهد،  $D_{gate}(0)$  نشان‌دهنده تاخیر اولیه گیت در زمان  $t = 0$  بوده و  $\Delta D_{gate}(t)$  میزان تغییرات تاخیر ناشی از سالمندی را در زمان  $t$  نشان می‌دهد. تاخیر اولیه گیت را می‌توان از طریق رابطه زیر محاسبه کرد [6]:

$$D_{gate} = \frac{C_L V_{dd}}{\beta (V_{dd} - V_{th})^\alpha} \quad (۲)$$

که در این معادله،  $C_L$  نشان دهنده خازن بار،  $\alpha$  نشان دهنده اشباع سرعت می‌باشد.  $V_{th}$  نمایانگر مقدار اولیه ولتاژ آستانه و  $V_{dd}$  ولتاژ تغذیه را نشان می‌دهد. همچنین  $\beta$  پارامتری است که به اندازه گیت بستگی دارد. براساس [6]، تغییرات تاخیر با تغییرات ولتاژ آستانه رابطه خطی دارد، یعنی:

$$\Delta D_{gate} = \mu \Delta V_{th} \quad (۳)$$

ملاحظه‌ای عملکرد و کارایی مدار را در طول دوره کارکرد آن تحت تاثیر قرار می‌دهد و می‌تواند موجب نقض محدودیت‌های زمانی مدار شود [3]. این پدیده می‌تواند تاخیر یک مسیر در یک مدار دیجیتال را حدود ۲۰٪ افزایش دهد [4]. از این رو برای افزایش قابلیت اطمینان یک مدار دیجیتال در برابر سالمندی، نیازمند توسعه روش‌هایی به منظور کاهش اثرات سالمندی در یک مدار دیجیتال می‌باشیم.

در سال‌های اخیر روش‌های زیادی برای باز سنتز منطقی یک مدار دیجیتال ارائه شده است. با این وجود به دلیل زمان اجرای بالای آن‌ها، بسیاری از این روش‌ها برای مدارات مقیاس بزرگ قابل اعمال نیستند. این در حالی است که امروزه طراحی در کوتاه‌ترین زمان ممکن یکی از مهم‌ترین پارامترها در طراحی سیستم‌های دیجیتال می‌باشد. لذا ارائه روش‌های سریع و کارا در طراحی سیستم‌های دیجیتال به یک نیاز ضروری تبدیل شود.

در این مقاله، یک روش مبتنی بر بازسنتز منطقی به منظور بهبود قابلیت اطمینان مدارهای دیجیتال مقیاس بزرگ در برابر سالمندی ارائه شده است. در روش ارائه شده، مدار اصلی با استفاده از ساختارهای مخروطی به مجموعه‌ای زیرمدارهای کوچکتر بخش‌بندی می‌شود. سپس این زیر مدارها سطح‌بندی شده و گروهی از موثرترین زیرمدارها انتخاب شده و تکنیک بازسنتز منطقی بر روی هریک از آن‌ها به صورت مستقل و مجزا اعمال می‌شود. در روش ارائه شده، با بخش‌بندی مدار به مجموعه‌ای از زیر مدارهای کوچکتر فضای جستجو برای یافتن ساختاری با تاخیر کمتر در اثر سالمندی، به شدت کاهش می‌یابد که در نتیجه آن زمان اجرای الگوریتم کاهش می‌یابد.

در ادامه این مقاله و در بخش دوم به معرفی پدیده NBTI پرداخته شده و نحوه محاسبه تاخیر مدار با در نظر گرفتن اثرات ناشی از سالمندی ارائه می‌شود. در بخش سوم به بررسی کارهای پیشین پرداخته می‌شود. بخش چهارم به انگیزش از ارائه این مقاله پرداخته و در بخش پنجم روش پیشنهادی به منظور کاهش اثرات ناشی از NBTI در مدار توضیح داده خواهد شد. در بخش ششم نتایج حاصل از شبیه‌سازی ارائه شده و در نهایت در بخش هفتم نتیجه‌گیری ارائه می‌شود.

## ۲- پیش‌زمینه‌ها

در این بخش پیش‌زمینه لازم در مورد پدیده NBTI و همچنین مدل استفاده شده به منظور تخمین تاخیر مدار در اثر سالمندی ارائه می‌شود.

### ۲-۱- پدیده NBTI

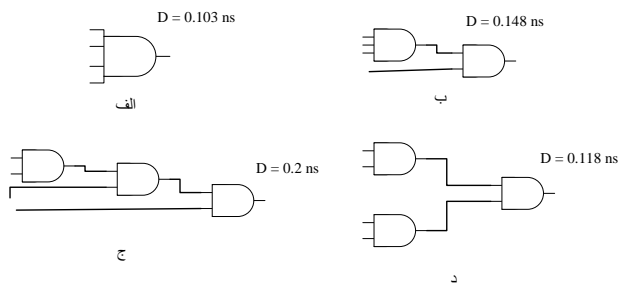
پدیده NBTI در ترانزیستورهای PMOS اتفاق می‌افتد. این پدیده باعث افزایش ولتاژ آستانه شده و شامل دو مرحله استرس و بازیابی می‌باشد.

در طی مراحل ساخت و در طول فرآیند اکسیداسیون، اتم‌های اکسیژن با سیلیسیم تشکیل پیوند می‌دهند اما بدلیل تفاوت در ساختار اتمی سیلیسیم و اکسید سیلیسیم تعدادی از اتم‌های سیلیسیم بدون پیوند باقی می‌مانند [5] که این اتم‌های باقی مانده با هیدروژن واکنش می‌دهند و پیوند  $Si-H$  ایجاد می‌شود. در مرحله استرس، همانطور که در شکل (۱) مشخص است زمانی که ترانزیستور PMOS تحت بایاس منفی قرار می‌گیرد، یک میدان الکتریکی در سراسر لایه اکسید ایجاد می‌شود و حفره‌های موجود در کانال موجب شکست پیوند سیلیسیم و هیدروژن می‌شوند. اگر اتم‌های هیدروژن آزاد شده از مرحله قبل با یکدیگر واکنش دهند مولکول هیدروژن  $H_2$  ایجاد شده و از اکسید

بسیار بزرگی از مدار برای بهینه‌سازی انتخاب می‌شود، اجرای الگوریتم بسیار زمانبر خواهد بود که در نتیجه آن، این روش‌ها قابل اعمال به مدارهای مقیاس بزرگ نمی‌باشند.

## ۴- انگیزش

شکل (۳)، نتایج حاصل از شبیه‌سازی تأخیر در اثر سالمندی چهار ساختار متفاوت از گیت AND چهار ورودی بعد از گذشت ۱۰ سال را نشان می‌دهد. همانطور که در شکل مشخص است تأخیر این ساختارها در اثر سالمندی با یکدیگر متفاوت است. در نتیجه می‌توان از طریق ایجاد تغییر در ساختار یک مدار آن‌را به گونه‌ای بهینه‌سازی نمود که کمترین تأخیر در اثر سالمندی را داشته باشد.



شکل (۳) ساختارهای مختلف گیت AND چهار ورودی

در این مقاله، با استفاده از تکنیک بازسنتر منطقی، ساختارهای مختلفی از هر مدار ایجاد شده و سپس ساختاری که کمترین تأخیر را در اثر سالمندی داشته باشد، به عنوان ساختار بهینه انتخاب می‌شود.

## ۵- روش پیشنهادی

شکل (۴) روش پیشنهادی برای کاهش تنزل کارایی ناشی از سالمندی را نشان می‌دهد. در روش پیشنهادی، به منظور کاهش تنزل کارایی ناشی از سالمندی ابتدا با استفاده از یک ابزار تحلیل زمانی ایستای مبتنی بر بلوک<sup>۹</sup> (STA)، تأخیر مدار در اثر سالمندی محاسبه می‌شود. سپس مدار اصلی با استفاده از ساختارهای مخروطی به مجموعه‌ای از زیرمدارهای کوچکتر بخش‌بندی می‌شود. با توجه به اینکه در اثر سالمندی فقط تأخیر گروهی از خروجی‌های مدار از محدودیت‌های زمانی موجود تجاوز می‌کند، گروهی از موثرترین زیرمدارها برای بهینه‌سازی انتخاب شده و تکنیک باز سنتر منطقی بر روی هریک از آن‌ها به صورت مستقل و مجزا اعمال می‌شود.

### ۵-۱- بخش‌بندی مدار

بخش‌بندی مدار به مجموعه‌ای از زیرمدارهای کوچکتر از طریق ساختارهای مخروطی شکلی که از خروجی‌های نهایی مدار نشأت می‌گیرند، صورت می‌پذیرد. ساختارهای مخروطی به صورت مجموعه‌ای از دروازه‌های مدار که بین یک خروجی اصلی و ورودی‌های اولیه مدار واقع شده‌اند، تعریف می‌شود. با توجه به اینکه، برای ایجاد تغییر در تأخیر خروجی مدار فقط باید در ساختار

$$\mu = \frac{\alpha D_{gate}}{V_{dd} - V_{th0}} \quad (4)$$

که در این روابط،  $\Delta V_{th}$  تغییرات ناشی از سالمندی را نشان می‌دهد که می‌توان آن‌را از طریق روابط زیر تخمین زد [7]:

$$\Delta V_{th\_nbt1} = \left( \frac{\sqrt{K_v^2 s T_{clk}}}{1 - \beta_t^{\frac{1}{2n}}} \right)^{2n} \quad (5)$$

$$\beta_t = 1 - \left( \frac{2\varepsilon_1 t_e + \sqrt{\varepsilon_2 C (1-s) T_{clk}}}{2t_{ox} + \sqrt{Ct}} \right) \quad (6)$$

$$K_v = \left( \frac{qt_{ox}}{\varepsilon_{ox}} \right)^3 K_1^2 C_{ox} (V_{gs} - V_{th}) \sqrt{C} e^{\left( \frac{2E_{ox}}{E_{o1}} \right)} \quad (7)$$

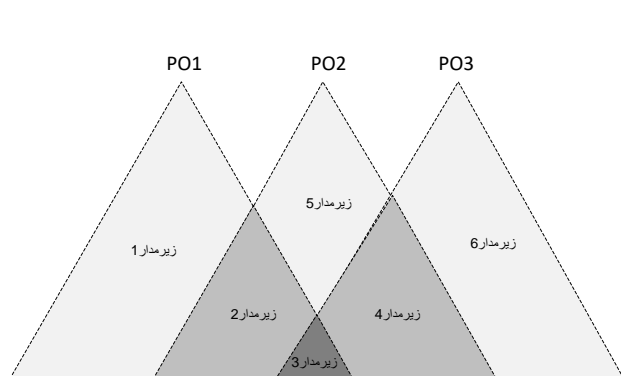
$$C = T_0^{-1} e^{\left( -\frac{E_a}{kT} \right)} \quad (8)$$

که در این مدل،  $t$  نشان‌دهنده طول عمر مدار،  $V_{th}$  مقدار ولتاژ آستانه در زمان  $t = 0$ ،  $s$  مشخص کننده دوره کاری ترانزیستور و  $T_{clk}$  مدت زمان یک سیکل ساعت ترانزیستور را نشان می‌دهد.  $n$  حدود 0.16 می‌باشد [7].

## ۳- کارهای پیشین

تا کنون روش‌های متعددی به منظور کاهش اثرات سالمندی با استفاده از تکنیک باز سنتر منطقی در مدارهای دیجیتال ارائه شده است. در [8] یک روش سنتر با استفاده از کتابخانه آگاه از BTI ارائه شده است. برای بدست آوردن کتابخانه آگاه از BTI باید تمامی سلول‌ها به ازای دوره کاری مختلف در ورودی سلول توصیف شوند. مشکل این روش در این است که باید برای تمامی سلول‌ها و همچنین تمامی حالات ممکن برای دوره کاری ورودی هر سلول، سلول‌های مورد نظر را توصیف کنیم. در [9] با استفاده از همسان‌سازی مسیره‌ها یک روش سنتر آگاه از سالمندی با در نظر گرفتن یک باند محافظ<sup>۸</sup> مشخص ارائه شده است. در این روش، در هر مرحله از فرآیند بهینه‌سازی ابتدا تأخیر ناشی از سالمندی برای هر خروجی مدار محاسبه شده و سپس با در نظر گرفتن این تأخیر، محدودیت‌های زمانی در مرحله سنتر مدار به گونه‌ای بهینه‌سازی می‌شوند که همه‌ی مسیره‌ها در یک زمان مشخص به باند محافظ مورد نظر برسند. در [10,11] با استفاده از تکنیک‌های بازسازی منطقی مدار و همچنین مرتب‌سازی مجدد پین‌های ورودی هر گیت، سعی شده تا تنزل تأخیر ناشی از سالمندی در مدار کاهش یابد. در [12] یک روش سنتر آگاه از سالمندی به منظور کاهش اثرات ناشی از سالمندی در یک مدار دیجیتال ارائه شده است. در این روش، ابتدا خروجی‌هایی از مدار اصلی که تأخیر ناشی از سالمندی در آن‌ها موجب نقض محدودیت‌های زمانی مدار می‌شوند، مشخص شده و مخروط ورودی آن‌ها استخراج می‌شود. سپس هر یک از مخروط‌های استخراج شده با استفاده از روش باز سنتر منطقی به گونه‌ای بهینه سازی می‌شوند که تأخیر آن‌ها در اثر سالمندی موجب نقض محدودیت‌های زمانی مدار نشود.

نکته قابل توجه این است که در تمامی روش‌های ذکر شده به دلیل اینکه در هر مرحله از فرآیند بهینه‌سازی مجبور به بررسی زمانی کل مدار هستیم و همچنین بدلیل اینکه در هر مرحله از فرآیند بهینه‌سازی بخش



شکل (۵) ساختار مخروطی گراف یک مدار

## ۲-۵- سطح بندی زیر مدارها

با توجه به اینکه تغییر ساختار هر زیر مدار منجر به تغییر زمان ورود<sup>۱۱</sup> دروازه-های موجود در مخروط خروجی آن زیر مدار می شود، باید ابتدا تمامی زیر مدارها سطح بندی شده و سپس از ورودی های اصلی مدار به سمت خروجی های آن زیر مدارهای موجود در هر سطر بهینه سازی شوند. مخروط خروجی یک زیر مدار برابر مجموعه دروازه هایی از مدار اصلی است که از خروجی های زیرمدار مسیری به آن ها وجود دارد. به منظور سطح بندی زیر مدارها از مرتب سازی توپولوژیکی استفاده می شود. بدین صورت که هر زیر مدار معادل یک گره در نظر گرفته شده که ورودی های آن برابر ورودی های زیر مدار و خروجی های آن برابر خروجی های زیر مدار در نظر گرفته می شوند و سپس مرتب سازی توپولوژیکی بر روی این گره ها اعمال می گردد.

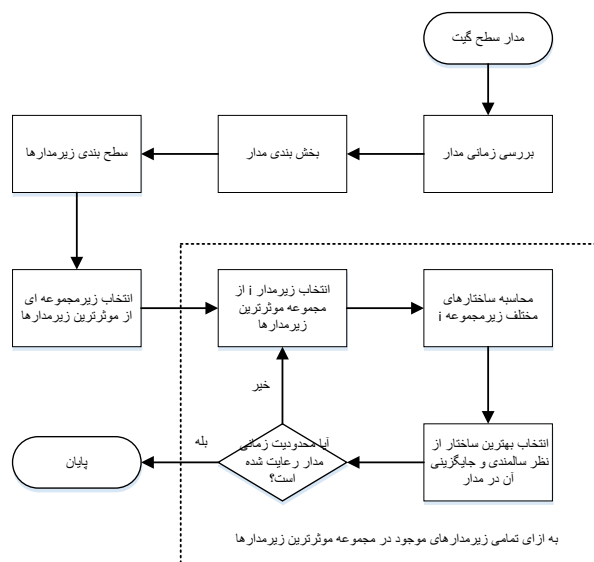
## ۳-۵- انتخاب مجموعه موثرترین زیر مدارها

با توجه به اینکه در اثر سالمندی فقط تاخیر گروهی از خروجی های مدار از محدودیت های زمانی موجود تجاوز می کند و تاخیر سایر خروجی ها باعث نقض محدودیت های زمانی مدار نمی شود، نیازی به تغییر ساختار تمامی زیرمدارهای حاصل از اعمال الگوریتم بخش بندی نمی باشد. بر این اساس در روش پیشنهادی و به منظور بهینه سازی سالمندی مدار، ابتدا با استفاده از نتایج بدست آمده از STA، خروجی های اصلی مدار که باعث نقض محدودیت های زمانی مدار می شوند، مشخص شده و سپس گروهی از زیرمدارها که در لیست برچسب آن ها برچسب متناظر با هر یک از این خروجی ها وجود دارد برای بهینه سازی انتخاب شده و در مجموعه موثرترین زیرمدارها قرار می گیرند. از سایر زیر مدارها می توان برای کاهش مساحت مدار استفاده کرد.

## ۴-۵- بازسنتز منطقی

به منظور کاهش سالمندی مدار، هر یک از زیرمدارهای موجود در مجموعه موثرترین زیرمدارها با حفظ عملکرد<sup>۱۲</sup> به نحوی تغییر ساختار می یابند که سالمندی مدار کاهش یابد. بدین منظور، پیاده سازی های منطقی متفاوتی از هر زیر مدار استخراج می شود. سپس هر یک از این پیاده سازی ها در مدار اصلی جایگزین شده و تاخیر مدار در اثر سالمندی محاسبه می شود و در نهایت پیاده سازی که منجر به کمترین تاخیر شود، انتخاب می گردد.

جایگزینی پیاده سازی های مختلف از هر زیر مدار در مدار اصلی و محاسبه تاخیر مدار به ازای هر یک از این پیاده سازی ها منجر به طولانی شدن



## شکل (۴) روش پیشنهادی به منظور کاهش سالمندی

مخروطی آن خروجی تغییر ایجاد کرد، در این مقاله از ساختارهای مخروطی به منظور بخش بندی مدار استفاده شده است. به عنوان مثال شکل (۵) را در نظر بگیرید. به منظور تغییر تاخیر PO1 در این مدار، باید تغییراتی در ساختار زیرمدار ۱، زیرمدار ۲ و زیرمدار ۳ ایجاد شود.

برای بخش بندی مدار به مجموعه ای از زیرمدارهای کوچکتر، بخش هایی از مدار که تنها در یک مخروط واقع شده اند، به عنوان خوشه های مدار در نظر گرفته می شوند. همچنین بخش هایی از مدار که به صورت مشترک بین چندین مخروط واقع شده اند به عنوان خوشه های جدید در نظر گرفته می شوند. بعد از اینکه ورودی ها و خروجی های مرتبط با هر خوشه به آن تخصیص داده شد، خوشه های استخراج شده، هر یک به عنوان مداری مستقل در نظر گرفته می شوند.

به منظور بخش بندی یک مدار ترکیبی به مجموعه ای از زیرمدارهای کوچکتر، ابتدا گراف مدار تشکیل شده و مرتب سازی توپولوژیکی بر روی آن اعمال می شود. سپس از هر یک از خروجی های مدار شروع به پیمایش رو به عقب می کنیم. در طول هر پیمایش برچسبی متناظر با خروجی مربوطه مدار به گره هایی که ملاقات می شوند، تخصیص می دهیم. در نهایت هر یک از گره های گراف مدار دارای لیستی از برچسب ها خواهد بود. سپس خوشه های گراف مدار استخراج می شوند. خوشه های گراف به صورت مجموعه گره هایی با لیست برچسب یکسان تعریف می شوند. سپس ورودی ها و خروجی های مربوط به هر خوشه مشخص می شوند. بدین منظور گره هایی در خوشه که دارای والدی با لیست برچسب متفاوت با لیست برچسب آن گره باشند به عنوان خروجی خوشه در نظر گرفته می شوند. همچنین یال های ورودی به یک گره که جز ورودی های اولیه مدار باشند و یا از گره های فرزندی نشأت بگیرند که دارای لیست برچسب متفاوتی با لیست برچسب آن گره باشند، به عنوان ورودی خوشه در نظر گرفته می شوند.

شکل (۵) ساختار مخروطی گراف یک مدار به همراه زیر مدارهای ایجاد شده با استفاده از روش بخش بندی ارائه شده را نشان می دهد. در این شکل زیر مدار ۱ دارای لیست برچسب [PO1]، زیر مدار ۲ دارای لیست برچسب [PO1, PO2] و زیر مدار ۳ دارای لیست برچسب [PO1, PO2, PO3] می باشند.

زمان اجرای روش پیشنهادی می‌گردد. به منظور کاهش زمان اجرای روش پیشنهادی، ابتدا مخروط خروجی مربوط به هر زیر مدار در مدار اصلی استخراج می‌شود. سپس تاثیر هر پیاده‌سازی از زیر مدار بر روی مخروط خروجی آن محاسبه می‌گردد که در نهایت منجر به کاهش زمان اجرای روش پیشنهادی می‌گردد.

## ۶- نتایج شبیه‌سازی

روش پیشنهادی به زبان C++ پیاده‌سازی و بر روی مدارهای محک ISCAS'85 اعمال شده است. برای مدل کردن سالمندی در سطح گیت از کتابخانه Nangate 45nm [13] و در سطح ترانزیستور از کتابخانه PTM 45nm [14] استفاده شده است. به منظور ایجاد ساختارهای مختلف از هر زیر مدار از ابزار سنتز ABC [15] استفاده شده است.

## ۶-۱- کارایی روش پیشنهادی

جدول (۱) نتایج حاصل از شبیه‌سازی را نشان می‌دهد. در این جدول ستون اول نام مدار و ستون دوم تاخیر اولیه مدار در زمان  $t = 0$  را نشان می‌دهد. ستون سوم و چهارم به ترتیب درصد تغییرات تاخیر مدار در اثر سالمندی پس از گذشت ۱۰ سال و مساحت مدار قبل از انجام بهینه‌سازی با استفاده از روش پیشنهادی را نشان می‌دهد. ستون پنجم و ششم نیز به ترتیب درصد بهبود تغییرات تاخیر مدار در اثر سالمندی پس از گذشت ۱۰ سال و مساحت

مدار بعد از اعمال روش پیشنهادی را نشان می‌دهد. به عنوان مثال مدار C5315 را در نظر بگیرید. تاخیر اولیه این مدار ۱/۴۵ ns بوده که پس از گذشت ۱۰ سال و در اثر سالمندی تاخیر آن ۱۴/۵۹٪ افزایش یافته است. همچنین مساحت این مدار قبل از بهینه‌سازی  $28 \mu m^2$  بوده است. پس از بهینه‌سازی تغییرات تاخیر این مدار در اثر سالمندی و پس از گذشت ۱۰ سال ۱۹/۵۹٪ نسبت به تغییرات تاخیر اولیه (قبل از بهینه‌سازی) بهبود یافته است که این بهبود باعث ایجاد سربار مساحتی حدود ۶/۴۵٪ شده است. اعداد منفی در ستون آخر جدول نشان دهنده کاهش مساحت مدار پس از انجام بهینه‌سازی می‌باشند.

## ۶-۲- زمان اجرای روش پیشنهادی

به منظور ارزیابی مقیاس‌پذیری روش پیشنهادی برای کاهش سالمندی یک مدار دیجیتال، روش سنتز آگاه از سالمندی با استفاده از همسان‌سازی مسیرها [9]، پیاده‌سازی شده و زمان اجرای آن برای بعضی از مدارهای محک EPFL و ISCAS'85 با زمان اجرای روش پیشنهادی مقایسه شده است. جدول (۲) نتایج حاصل از روش ارائه شده در [9] و روش پیشنهادی را نشان می‌دهد. همان‌طور که در این جدول مشخص است، روش پیشنهادی زمان اجرای فرآیند بهینه‌سازی را به طور میانگین حدود ۱۱ برابر کاهش داده است. این در حالی است که روش [9] تغییرات تاخیر در اثر سالمندی را حدود ۱/۲ برابر بیشتر از روش پیشنهادی بهبود داده است.

جدول (۱) نتایج حاصل از شبیه‌سازی بر روی مدارهای محک ISCAS'85

قبل از بهینه‌سازی		بعد از بهینه‌سازی		تاخیر اولیه	مدار
درصد تغییرات تاخیر در اثر سالمندی	مساحت	درصد بهبود تغییرات تاخیر در اثر سالمندی	درصد تغییرات مساحت		
18.57	245.784	17.72	5.6	0.74	C499
14.67	341.544	5.92	-1.25	0.92	C880
18.12	437.304	20.65	7.73	0.94	C1355
16.91	609.14	12.85	-4.63	1.19	C1908
11.51	1013.99	11.23	5.37	1.19	C2670
10.27	1399.96	4.67	-3.14	1.53	C3540
14.59	2070.28	19.59	6.45	1.45	C5315
4.8	1987.55	3.48	4.66	6.89	C6288
14.21	2877.59	20.04	8.26	1.26	C7552
13.74		12.90	3.23		میانگین

- [4] M.Ebrahimi, F.Oboril, S.Kiamehr, and M.B.Tahoori, o gt "Aging-aware Logic Synthesis", IEEE/ACM International Conference on Computer-Aided Design (ICCAD), pp. 61-68, 2013.
- [5] I.C. Lin, C.H. Lin, and K.H. Li, "Leakage and Aging Optimization Using Transmission Gate-Based Technique", IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS, VOL. 32, NO. 1, pp.87-99, 2013.
- [6] T. Sakurai, A.R. Newton, "Alpha-power law mosfet model and its application to cmos logics", IEEE Journal of Solid-State Circuits, VOL. 25, NO. 2, pp. 584-594, 1990.
- [7] D. Blaauw, K. Chopra, A. Srivastava, L. Scheffer, "Statistical Timing Analysis: From Basic Principles to State of the Art", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, VOL 27. NO. 4. PP. 589-607, 2008..
- [8] Y. Wang, H. Luo, K. He, R. Luo, H. Yang, and Y. Xie, "Temperature-aware nbtI modeling and the impact of input vector control on performance degradation", Proce. Design Automation and Test (DATE), pp. 546-551, 2007.
- [9] M.Ebrahimi, F.Oboril, S.Kiamehr, and M.B.Tahoori, "Aging-aware Logic Synthesis", IEEE/ACM International Conference on Computer-Aided Design (ICCAD), pp. 61-68, 2013.
- [10] K.-C. Wu and D. Marculescu, "Joint logic restructuring and pin reordering against NBTI-induced performance degradation", Proce. Design Automation and Test (DATE), pp. 75-80, 2009.
- [11] K.-C. Wu and D. Marculescu, "Aging-aware timing analysis and optimization considering path sensitization", Proce. Design Automation and Test (DATE), pp. 1-6, 2011.
- [12] C.H. Lin, S. Roy, C.Y. Wang, D.Z. Pan, and D. Chen, "CSL: Coordinated and Scalable Logic Synthesis Techniques for Effective NBTI Reduction", 33rd IEEE International Conference on Computer Design (ICCD), pp. 236-243, 2015.
- [13] Nangate Inc., Sunnyvale, CA, "Nangate Open Cell Library", 2008. Available: <http://www.nangate.com/>
- [14] Nanoscale Integration and Modeling (NIMO) Group, ASU, Tempe, AZ. "Predictive Technology Model (PTM)", 2009. Available: <http://www.eas.asu.edu/~ptm/>
- [15] Berkeley Logic Synthesis and Verification Group, ABC: "A System for Sequential Synthesis and Verification", <http://www.eecs.berkeley.edu/~alanmi/abc/>

## پانویس ها

- <sup>1</sup> Reliability
- <sup>2</sup> Process Variation
- <sup>3</sup> Aging
- <sup>4</sup> Negative Bias Temperature Instability
- <sup>5</sup> Velocity Saturation
- <sup>6</sup> Signal Probability
- <sup>7</sup> Path Balancing
- <sup>8</sup> Guard Band
- <sup>9</sup> Block-Based Static Timing Analysis
- <sup>10</sup> Arrival Time
- <sup>11</sup> Functionality

جدول (۲) مقایسه روش پیشنهادی و روش همسان سازی مسیرها [9]

مدار	روش پیشنهادی	روش [9]	درصد بهبود تغییرات تاخیر	زمان اجرا برحسب ثانیه
روش [9]	روش پیشنهادی	روش [9]	روش پیشنهادی	روش [9]
C499	17.72	20.378	80.454	597.454
C880	5.92	6.98	73.97	469.925
C1355	20.65	21.6825	59.48	1308.42
C1908	12.85	20.986	114.316	789.644
C2670	11.23	15.385	162.314	806.507
C3540	4.67	6.258	246.77	1174.76
C5315	19.59	22.528	411.469	2909.93
C6288	3.48	3.897	306.774	2644.03
C7552	20.04	22.044	523.4	3226.51
ROUND ROBIN	23.458	24.056	1750.88	15684.17
SQUARE	21.873	25.15	2120.65	33325.65
میانگین	14.68	17.21	531.86	5721.55

## ۷- نتیجه گیری

با کاهش روزافزون ابعاد ترانزیستورها، سالمندی و تنزل تدریجی خصوصیات ترانزیستورها که باعث کاهش کارایی و تخریب عملکرد مدار می شود، به یک چالش اساسی در زمینه قابلیت اطمینان مدارهای مجتمع تبدیل شده است. در این مقاله، یک روش بازسنتر منطقی مبتنی بر بخش بندی به منظور برطرف کردن چالش های زمانی ناشی از سالمندی در یک مدار دیجیتال ارائه شده که به طور موثری زمان اجرای فرآیند بهینه سازی را کاهش می دهد. در روش پیشنهادی، مدار با استفاده از ساختارهای مخروطی به مجموعه ای از زیرمدارهای کوچکتر بخش بندی می شود. سپس این زیرمدارها سطح بندی شده و زیرمجموعه ای از موثرترین زیرمدارها به منظور بهینه سازی انتخاب شده و تکنیک بازسنتر منطقی بر روی هر زیر مدار به طور مستقل اعمال می شود. با کاهش فضای جستجو و کاهش زمان اجرای الگوریتم می شود. نتایج حاصل از شبیه سازی بر روی مدارهای محک ISCAS'85 نشان می دهد که روش پیشنهادی با سربار مساحت ۳/۲۳٪ تنزل کارایی ناشی از سالمندی را حدود ۱۲/۹٪ بهبود داده است.

## مراجع

- [1] J. Fang, S. Gupta, S.V. Kumar, S.K. Marella, V. Mishra, P. Zhou, and S.S. Sapatnekar, "Circuit reliability: from physics to architectures", IEEE/ACM International Conference on Computer-Aided Design (ICCAD), pp. 243-246, 2012.
- [2] J. Henkel, L. Bauer, N. Dutt, P. Gupta, S. Nassif, M. Shafique, M. Tahoori, and N. When, "Reliable on-chip systems in the nano-era: lessons learnt and future trends", In Design Automation Conference (DAC), pp. 1-10, 2013.
- [3] W. Wang, S. Yang, S. Bhardwaj, R. Vattikonda, S. Vrudhula, F. Liu, and Y. Cao, "The impact of NBTI on the performance of combinational and sequential circuits", In Design Automation Conference (DAC), pp. 364-369, 2007.