

یک روش سریع مبتنی بر بازسنتز منطقی به منظور کاهش اثرات سالمندی در مدارهای دیجیتال

سید میلاد ابراهیمی پور^۱، بهنام قوامی^۲، محسن راجی اسدآبادی^۳

^۱ دانشجوی کارشناسی ارشد، گروه مهندسی کامپیوتر، دانشگاه شهید باهنر کرمان، کرمان،
miladebrahimi@eng.uk.ac.ir

^۲ دانشیار، روه مهندسی کامپیوتر، دانشگاه شهید باهنر کرمان، کرمان،
ghavami@uk.ac.ir

^۳ استادیار، دانشکده مهندسی برق و کامپیوتر، دانشگاه شیراز، شیراز،
mrjaji@shirazu.ac.ir

چکیده

با پیشرفت تکنولوژی و کاهش ابعاد ترانزیستورها، چالش‌های جدیدی در حوزه قابلیت اطمینان تراشه‌های دیجیتال وجود آمده است. از جمله این چالش‌ها می‌توان به سالمندی ترانزیستورها اشاره کرد که باعث کاهش کارایی و تخریب عملکرد مدار می‌شود. تاکنون روش‌های مختلفی با استفاده از تکنیک بازسنتز منطقی به منظور کاهش اثرات سالمندی در یک مدار ارائه شده است. اما مشکل اصلی این روش‌ها طولانی بودن زمان اجرا و غیر قابل اعمال بودن آن‌ها برای مدارهای مقیاس بزرگ می‌باشد. در این مقاله، یک روش بازسنتز منطقی مبتنی بر بخش‌بندی به منظور کاهش تنزل کارایی ناشی از سالمندی در یک مدار دیجیتال ارائه شده که به طور موثری زمان اجرای فرآیند بهینه‌سازی را کاهش می‌دهد. در روش پیشنهادی، مدار با استفاده از ساختارهای مخروطی به مجموعه‌ای از زیرمدارهای کوچکتر بخش‌بندی می‌شود. سپس این زیرمدارها سطح بندی شده و زیرمجموعه‌ای از موثرترین زیرمدارها به منظور بهینه سازی انتخاب شده و تکنیک باز سنتز منطقی بر روی هر زیر مدار اعمال شده که باعث کاهش زمان اجرای الگوریتم می‌شود. همچنین با استفاده از زیرمدارهای ایجاد شده سعی شده تا سربار زمانی ناشی از محاسبه مجدد تاخیر مدار پس از هر دور از فرآیند بهینه سازی، کاهش یابد. نتایج حاصل از شبیه سازی نشان می‌دهد که روش پیشنهادی با سربار مساحت $4/26\%$ تنزل کارایی ناشی از سالمندی را حدود $14/8\%$ بهبود داده است.

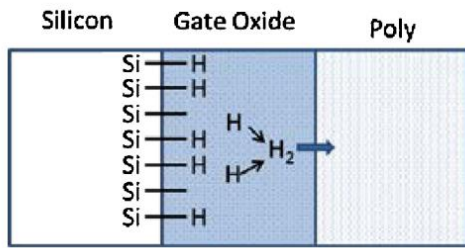
کلمات کلیدی

قابلیت اطمینان، سالمندی، بخش‌بندی، بازسنتز منطقی، ترانزیستور، مدارهای دیجیتال

۱- مقدمه

ساخت تراشه‌های الکترونیکی با مشکلات جدیدی مواجه شده است. از جمله این موارد می‌توان به کاهش قابلیت اطمینان^۱ مدارهای دیجیتال اشاره کرد [2]. عواملی که قابلیت اطمینان سیستم را به خطر می‌اندازند، به دو دسته خرابی‌های مستقل از زمان، مانند تغییرپذیری ساخت^۲، و خرابی‌های وابسته به زمان، مانند سالمندی^۳ ترانزیستور در اثر ناپایداری حاصل از دما و بایاس منفی^۴ (NBTI)، تقسیم می‌شوند.

نیاز به کارایی بیشتر، طراحان مدارهای دیجیتال را بر آن داشت تا اندازه ساخت ترانزیستورها را به ابعاد کمتر از چندین نانومتر کاهش دهند. این پیشرفت‌ها باعث افزایش نمایی تعداد ترانزیستورها، افزایش فرکانس و کاهش ولتاژ کاری مدار شده‌اند [1]. با پیشرفت تکنولوژی و کاهش ابعاد ترانزیستورها، طراحی و

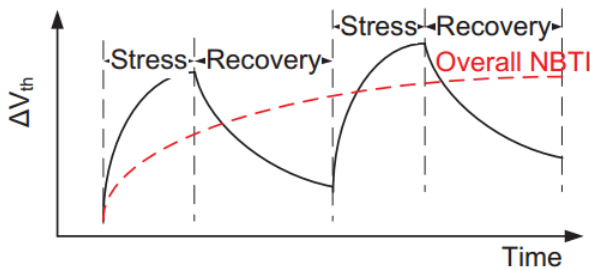


شکل (۱) مرحله استرس [5]

در طی مراحل ساخت و در طول فرآیند اکسیداسیون، اتم‌های اکسیژن با سیلیسیم تشکیل پیوند می‌دهند اما بدلیل تفاوت در ساختار اتمی سیلیسیم و اکسید سیلیسیم تعدادی از اتم‌های سیلیسیم بدون پیوند باقی می‌مانند [5] که این اتم‌های باقی مانده با هیدروژن واکنش می‌دهند و پیوند Si-H ایجاد می‌شود. در مرحله استرس، همانطور که در شکل (۱) مشخص است زمانی که ترانزیستور PMOS تحت بایاس منفی قرار می‌گیرد، یک میدان الکتریکی در سراسر لایه اکسید ایجاد می‌شود و حفره‌های موجود در کانال موجب شکست پیوند سیلیسیم و هیدروژن می‌شوند. اگر اتم‌های هیدروژن آزاد شده از مرحله قبل با یکدیگر واکنش دهند مولکول هیدروژن H_2 ایجاد شده و از اکسید گیت خارج می‌شوند. Si^+ باقی مانده از مرحله قبل موجب افزایش ولتاژ آستانه ترانزیستور می‌شوند. حال اگر ترانزیستور خاموش شود، مرحله بازبایی آغاز می‌شود.

در این مرحله اتم‌های هیدروژنی که تشکیل مولکول هیدروژن H_2 نداده‌اند دوباره با یون‌های سیلیسیم واکنش داده و باعث کاهش اثرات مرحله استرس می‌گردند.

نکته مهمی که باید به آن توجه کرد این است که همانطور که در شکل (۲) قابل مشاهده است، مرحله بازبایی نمی‌تواند به صورت کامل اثرات مرحله استرس را خنثی کند و در طولانی مدت ولتاژ آستانه ترانزیستور افزایش می‌یابد.



شکل (۲) غلبه مرحله استرس بر مرحله بازبایی

۲-۲-۲ مدل NBTI

تاخیر یک گیت در زمان t و در اثر سالمندی را می‌توان به صورت زیر بیان کرد:

$$D_{gate}(t) = D_{gate}(0) + \Delta D_{gate}(t) \quad (1)$$

که در این معادله $D_{gate}(t)$ تاخیر گیت در زمان t در اثر سالمندی را نشان می‌دهد، $D_{gate}(0)$ نشان‌دهنده تاخیر اولیه گیت در زمان $t = 0$ بوده و $\Delta D_{gate}(t)$ میزان تغییرات تاخیر ناشی از سالمندی را در زمان t نشان می‌دهد. تاخیر اولیه گیت را می‌توان از طریق رابطه (۶) محاسبه کرد [6]:

$$D_{gate} = \frac{C_L V_{dd}}{\beta (V_{dd} - V_{th})^\alpha} \quad (2)$$

پدیده NBTI هنگامی اتفاق می‌افتد که ترانزیستور PMOS تحت بایاس منفی ($V_{gs} = -V_{dd}$) قرار گیرد که باعث افزایش ولتاژ آستانه ترانزیستور و کاهش تاخیر گیت می‌شود. پدیده NBTI به طور قابل ملاحظه‌ای عملکرد و کارایی مدار را در طول دوره کارکرد آن تحت تاثیر قرار می‌دهد و می‌تواند موجب نقض محدودیت‌های زمانی مدار شود [3]. این پدیده می‌تواند تاخیر یک مسیر در یک مدار دیجیتال را حدود ۲۰٪ افزایش دهد [4]. از این رو برای افزایش قابلیت اطمینان یک مدار دیجیتال در برابر سالمندی، نیازمند توسعه روش‌هایی به منظور کاهش اثرات سالمندی در یک مدار دیجیتال می‌باشیم.

در سال‌های اخیر روش‌های زیادی برای باز سنتز منطقی یک مدار دیجیتال ارائه شده است. با این وجود به دلیل زمان اجرای بالای آن‌ها، بسیاری از این روش‌ها برای مدارات مقیاس بزرگ قابل اعمال نیستند. این در حالی است که امروزه طراحی در کوتاه‌ترین زمان ممکن یکی از مهم‌ترین پارامترها در طراحی سیستم‌های دیجیتال می‌باشد. لذا ارائه روش‌های سریع و کارا در طراحی سیستم‌های دیجیتال به یک نیاز ضروری تبدیل شود.

در این مقاله، یک روش مبتنی بر بازسنتز منطقی به منظور بهبود قابلیت اطمینان مدارهای دیجیتال مقیاس بزرگ در برابر سالمندی ارائه شده است. در روش ارائه شده، مدار اصلی با استفاده از ساختارهای مخروطی به مجموعه‌ای زیرمدارهای کوچکتر بخش‌بندی می‌شود. سپس این زیرمدارها سطح‌بندی شده و گروهی از موثرترین زیرمدارها انتخاب شده و تکنیک بازسنتز منطقی بر روی هریک از آن‌ها به صورت مستقل و مجزا اعمال می‌شود. در روش ارائه شده، با بخش‌بندی مدار به مجموعه‌ای از زیرمدارهای کوچکتر فضای جستجو برای یافتن ساختاری با تاخیر کمتر در اثر سالمندی، به شدت کاهش می‌یابد که در نتیجه آن زمان اجرای الگوریتم کاهش می‌یابد. همچنین در تمامی روش‌های پیشین پس از هر دور از فرآیند بهینه‌سازی و ایجاد تغییر در مدار، نیازمند محاسبه مجدد تاخیر مدار هستیم که خود فرآیندی زمان‌بر است. در این مقاله سعی شده تا با استفاده از زیرمدارهای ایجاد شده از ساختارهای مخروطی، سربار زمان اجرای ناشی از محاسبه مجدد تاخیر مدار کاهش یابد.

در ادامه این مقاله و در بخش دوم به معرفی پدیده NBTI پرداخته شده و نحوه محاسبه تاخیر مدار با در نظر گرفتن اثرات ناشی از سالمندی ارائه می‌شود. سپس، به بررسی کارهای پیشین پرداخته و در نهایت، انگیزش از ارائه این مقاله بیان می‌شود. در بخش سوم روش پیشنهادی به منظور کاهش اثرات ناشی از NBTI در مدار توضیح داده خواهد شد. در بخش چهارم نتایج حاصل از شبیه‌سازی ارائه شده و در نهایت در بخش پنجم نتیجه‌گیری ارائه می‌شود.

۲- پیش‌زمینه‌ها

در این بخش پیش‌زمینه لازم در مورد پدیده NBTI و همچنین مدل استفاده شده به منظور تخمین تاخیر مدار در اثر سالمندی ارائه می‌شود. سپس، به بررسی کارهای پیشین پرداخته و در نهایت، انگیزش از ارائه این مقاله بیان می‌شود.

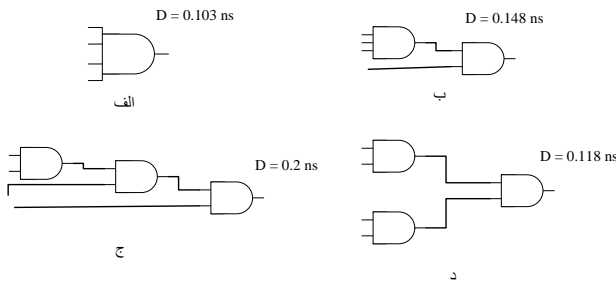
۲-۱- پدیده NBTI

پدیده NBTI در ترانزیستورهای PMOS اتفاق می‌افتد. این پدیده باعث افزایش ولتاژ آستانه شده و شامل دو مرحله استرس و بازبایی می‌باشد.

ورودی آن‌ها استخراجی می‌شود. سپس هر یک از مخروط‌های استخراج شده با استفاده از روش باز سنتز منطقی به گونه‌ای بهینه‌سازی می‌شوند که تاخیر آن‌ها در اثر سالمندی موجب نقض محدودیت‌های زمانی مدار نشود. نکته قابل توجه این است که در تمامی روش‌های ذکر شده به دلیل اینکه در هر مرحله از فرآیند بهینه‌سازی مجبور به بررسی زمانی کل مدار هستیم و همچنین بدلیل اینکه در هر مرحله از فرآیند بهینه‌سازی بخش بسیار بزرگی از مدار برای بهینه‌سازی انتخاب می‌شود، اجرای الگوریتم بسیار زمانبر خواهد بود که در نتیجه آن، این روش‌ها قابل اعمال به مدارهای مقیاس بزرگ نمی‌باشند.

۴-۲- انگیزش

شکل (۳)، نتایج حاصل از شبیه‌سازی تاخیر در اثر سالمندی چهار ساختار متفاوت از گیت AND چهار ورودی بعد از گذشت ۱۰ سال را نشان می‌دهد. همانطور که در شکل مشخص است تاخیر این ساختارها در اثر سالمندی با یکدیگر متفاوت است. در نتیجه می‌توان از طریق ایجاد تغییر در ساختار یک مدار آن‌را به گونه‌ای بهینه‌سازی نمود که کمترین تاخیر در اثر سالمندی را داشته باشد.



شکل (۳) ساختارهای مختلف گیت AND چهار ورودی

در این مقاله، با استفاده از تکنیک باز سنتز منطقی، ساختارهای مختلفی از هر مدار ایجاد شده و سپس ساختاری که کمترین تاخیر را در اثر سالمندی داشته باشد، به عنوان ساختار بهینه انتخاب می‌شود.

۳- روش پیشنهادی

شکل (۴) فلوچارت روش پیشنهادی برای کاهش تنزل کارایی ناشی از سالمندی را نشان می‌دهد. در روش پیشنهادی، به منظور کاهش تنزل کارایی ناشی از سالمندی ابتدا با استفاده از یک ابزار تحلیل زمانی ایستامنتی بر بلوک^۹ (STA)، تاخیر مدار در اثر سالمندی محاسبه می‌شود. سپس مدار اصلی با استفاده از ساختارهای مخروطی به مجموعه‌ای از زیرمدارهای کوچکتر بخش‌بندی شده و برای هر زیر مدار، جدولی شامل تاخیر آن زیرمدار از هریک از ورودی‌های زیر مدار به هریک از خروجی‌های آن محاسبه می‌شود. با توجه به اینکه در اثر سالمندی فقط تاخیر گروهی از خروجی‌های مدار از محدودیت‌های زمانی موجود تجاوز می‌کند، گروهی از موثرترین زیر مدارها برای بهینه‌سازی انتخاب شده و تکنیک باز سنتز منطقی بر روی هریک از آن‌ها به صورت مستقل و مجزا اعمال می‌شود. سپس با استفاده از جداول تاخیر زیرمدارها، تاخیر مدار در اثر سالمندی محاسبه می‌گردد.

که در این معادله، CL نشان دهنده خازن بار، α نشان دهنده سرعت اشباع می‌باشد. V_{th} نمایانگر مقدار اولیه ولتاژ آستانه و V_{dd} ولتاژ تغذیه را نشان می‌دهد. همچنین β پارامتری است که به اندازه گیت بستگی دارد.

براساس [6]، تغییرات تاخیر با تغییرات ولتاژ آستانه رابطه خطی دارد، یعنی:

$$\Delta D_{gate} = \mu \Delta V_{th} \quad (۳)$$

$$\mu = \frac{\alpha D_{gate}}{V_{dd} - V_{th0}} \quad (۴)$$

که در این روابط، $V_{th}\Delta$ تغییرات ناشی از سالمندی را نشان می‌دهد که می‌توان آن‌را از طریق رابط (۵) تخمین زد [7]:

$$\Delta V_{th_nbt} = \left(\frac{\sqrt{K_p^2 s T_{clk}}}{1 - \beta_t^{2n}} \right)^{2n} \quad (۵)$$

$$\beta_t = 1 - \left(\frac{2\epsilon_1 t_e + \sqrt{\epsilon_2 C (1-s) T_{clk}}}{2t_{ox} + \sqrt{Ct}} \right) \quad (۶)$$

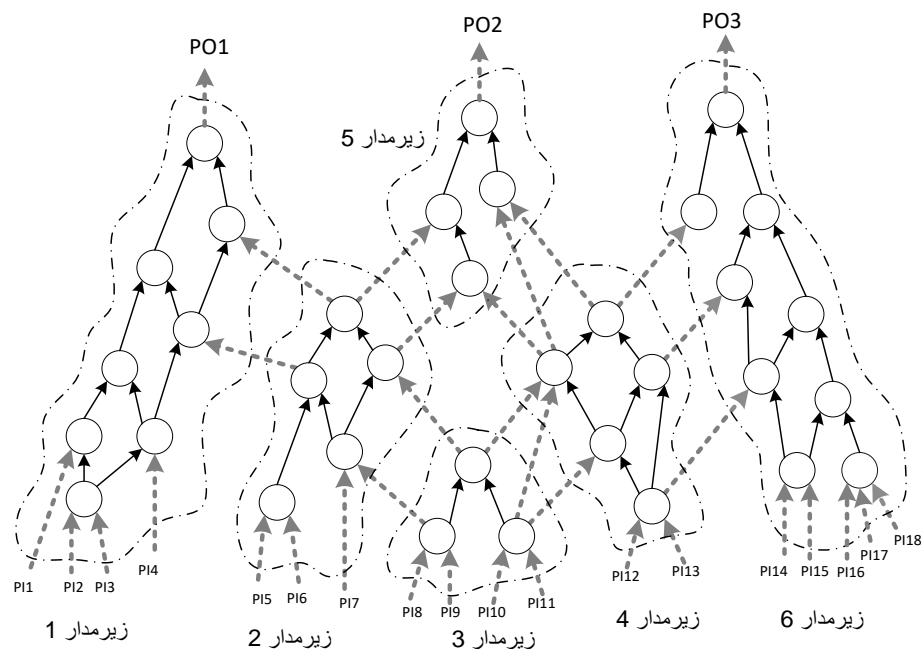
$$K_v = \left(\frac{qt_{ox}}{\epsilon_{ox}} \right)^3 K_1^2 C_{ox} (V_{gs} - V_{th}) \sqrt{C} e^{\left(\frac{2E_{ox}}{E_{o1}} \right)} \quad (۷)$$

$$C = T_0^{-1} e^{\left(-\frac{E_a}{kT} \right)} \quad (۸)$$

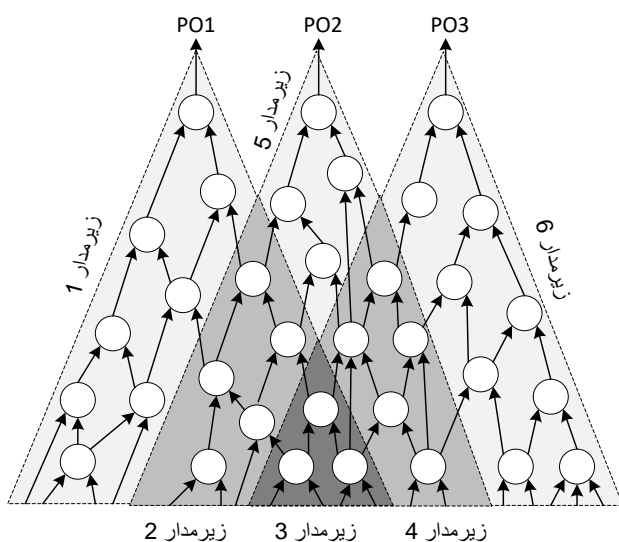
که در این مدل، t نشان دهنده طول عمر مدار، V_{th} مقدار ولتاژ آستانه در زمان $t=0$ ، s مشخص کننده دوره کاری ترانزیستور و T_{clk} مدت زمان یک سیکل ساعت ترانزیستور را نشان می‌دهد. n حدود 0.16 می‌باشد [7].

۳-۲- کارهای پیشین

تا کنون روش‌های متعددی به منظور کاهش اثرات سالمندی با استفاده از تکنیک باز سنتز منطقی در مدارهای دیجیتال ارائه شده است. در [8] یک روش سنتز با استفاده از کتابخانه آگاه از BTI ارائه شده است. برای بدست آوردن کتابخانه آگاه از BTI باید تمامی سلول‌ها به ازای دوره کاری مختلف در ورودی سلول توصیف شوند. مشکل این روش در این است که باید برای تمامی سلول‌ها و همچنین تمامی حالات ممکن برای دوره کاری ورودی هر سلول، سلول‌های مورد نظر را توصیف کنیم. در [9] با استفاده از همسان‌سازی مسیرها^{۱۰} یک روش سنتز آگاه از سالمندی با در نظر گرفتن یک باند محافظ^{۱۱} مشخص ارائه شده است. در این روش، در هر مرحله از فرآیند بهینه‌سازی ابتدا تاخیر ناشی از سالمندی برای هر خروجی مدار محاسبه شده و سپس با در نظر گرفتن این تاخیر، محدودیت‌های زمانی در مرحله سنتز مدار به گونه‌ای بهینه‌سازی می‌شوند که همه‌ی مسیرها در یک زمان مشخص به باند محافظ مورد نظر برسند. در [10,11] با استفاده از تکنیک‌های بازسازی منطقی مدار و همچنین مرتب-سازی مجدد پین‌های ورودی هر گیت، سعی شده تا تنزل تاخیر ناشی از سالمندی در مدار کاهش یابد. در [12] یک روش سنتز آگاه از سالمندی به منظور کاهش اثرات ناشی از سالمندی در یک مدار دیجیتال ارائه شده است. در این روش، ابتدا خروجی‌هایی از مدار اصلی که تاخیر ناشی از سالمندی در آن‌ها موجب نقض محدودیت‌های زمانی مدار می‌شوند، مشخص شده و مخروط



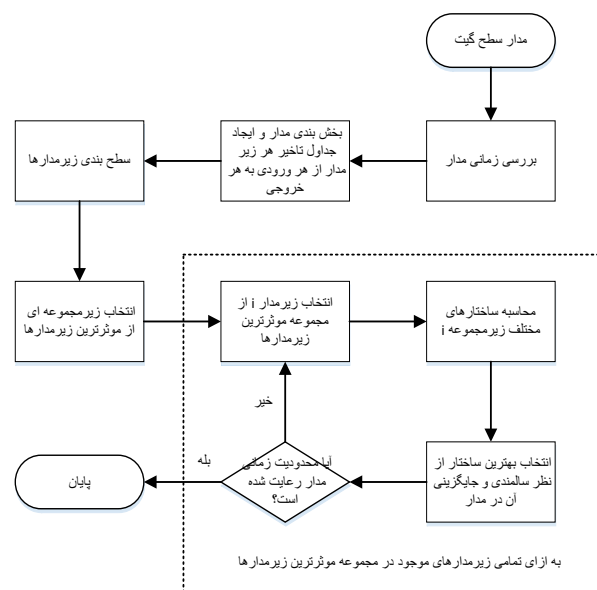
شکل (۶) زیرمدارهای ایجاد شده از شکل (۵)



شکل (۵) ساختار مخروطی گراف یک مدار

برای بخش‌بندی مدار به مجموعه‌ای از زیرمدارهای کوچکتر، بخش‌هایی از مدار که تنها در یک مخروط واقع شده‌اند، به عنوان خوشه‌های مدار در نظر گرفته می‌شوند. همچنین بخش‌هایی از مدار که به صورت مشترک بین چندین مخروط واقع شده‌اند به عنوان خوشه‌های جدید در نظر گرفته می‌شوند. بعد از اینکه ورودی‌ها و خروجی‌های مرتبط با هر خوشه به آن تخصیص داده شد، خوشه‌های استخراج شده، هر یک به عنوان مداری مستقل در نظر گرفته می‌شوند.

به منظور بخش‌بندی یک مدار ترکیبی به مجموعه‌ای از زیرمدارهای کوچکتر، ابتدا گراف مدار تشکیل شده و مرتب‌سازی توپولوژیکی بر روی آن اعمال می‌شود. سپس از هریک از خروجی‌های مدار شروع به پیمایش رو به عقب می‌کنیم. در طول هر پیمایش برچسبی متناظر با خروجی مربوطه مدار به گره‌هایی که ملاقات می‌شوند، تخصیص می‌دهیم. در نهایت هر یک از گره‌های گراف مدار دارای لیستی از برچسب‌ها خواهند بود. سپس خوشه‌های



شکل (۴) روش پیشنهادی به منظور کاهش سالمندی

۳-۱- بخش‌بندی مدار

بخش‌بندی مدار به مجموعه‌ای از زیرمدارهای کوچکتر از طریق ساختارهای مخروطی شکلی که از خروجی‌های نهایی مدار نشأت می‌گیرند، صورت می‌پذیرد. ساختارهای مخروطی به صورت مجموعه‌ای از دروازه‌های مدار که بین یک خروجی اصلی و ورودی‌های اولیه مدار واقع شده‌اند، تعریف می‌شود. با توجه به اینکه، برای ایجاد تغییر در تأخیر خروجی مدار فقط باید در ساختار مخروطی آن خروجی تغییر ایجاد کرد، در این مقاله از ساختارهای مخروطی به منظور بخش‌بندی مدار استفاده شده است. به عنوان مثال شکل (۵) را در نظر بگیرید. به منظور تغییر تأخیر PO1 در این مدار، باید تغییراتی در ساختار زیرمدار ۱، زیرمدار ۲ و زیرمدار ۳ ایجاد شود.

مدارها از مرتب سازی توپولوژیکی استفاده می شود. بدین صورت که هر زیر مدار معادل یک گره در نظر گرفته شده که ورودی های آن برابر ورودی های زیر مدار و خروجی های آن برابر خروجی های زیر مدار در نظر گرفته می شوند و سپس مرتب سازی توپولوژیکی بر روی این گره ها اعمال می گردد.

۳-۳- انتخاب مجموعه موثرترین زیر مدارها

با توجه به اینکه در اثر سالمندی فقط تاخیر گروهی از خروجی های مدار از محدودیت های زمانی موجود تجاوز می کند و تاخیر سایر خروجی ها باعث نقض محدودیت های زمانی مدار نمی شود، نیازی به تغییر ساختار تمامی زیر مدارهای حاصل از اعمال الگوریتم بخش بندی نمی باشد. بر این اساس در روش پیشنهادی و به منظور بهینه سازی سالمندی مدار، ابتدا با استفاده از نتایج بدست آمده از STA، خروجی های اصلی مدار که باعث نقض محدودیت های زمانی مدار می شوند، مشخص شده و سپس گروهی از زیر مدارها که در لیست برچسب آن ها برچسب متناظر با هر یک از این خروجی ها وجود دارد برای بهینه سازی انتخاب شده و در مجموعه موثرترین زیر مدارها قرار می گیرند. از سایر زیر مدارها می توان برای کاهش مساحت مدار استفاده کرد.

۳-۴- بازسنتز منطقی

به منظور کاهش سالمندی مدار، هر یک از زیر مدارهای موجود در مجموعه موثرترین زیر مدارها با حفظ عملکرد^۲ به نحوی تغییر ساختار می یابند که سالمندی مدار کاهش یابد. بدین منظور، پیاده سازی های منطقی متفاوتی از هر زیر مدار استخراج می شود. سپس هر یک از این پیاده سازی ها در مدار اصلی جایگزین شده و تاخیر مدار در اثر سالمندی محاسبه می شود و در نهایت پیاده سازی که منجر به کمترین تاخیر شود، انتخاب می گردد.

جایگزینی پیاده سازی های مختلف از هر زیر مدار در مدار اصلی و محاسبه تاخیر مدار به ازای هر یک از این پیاده سازی ها منجر به طولانی شدن زمان اجرای روش پیشنهادی می گردد. به منظور کاهش زمان اجرای روش پیشنهادی، ابتدا مخروط خروجی مربوط به هر زیر مدار در مدار اصلی استخراج می شود. سپس تاثیر هر پیاده سازی از زیر مدار بر روی مخروط خروجی آن محاسبه می گردد که در نهایت منجر به کاهش زمان اجرای روش پیشنهادی می گردد.

۴- نتایج شبیه سازی

روش پیشنهادی به زبان ++C پیاده سازی و بر روی مدارهای محک ISCAS'85 اعمال شده است. برای مدل کردن سالمندی در سطح گیت از کتابخانه 45nm Nangate [13] و در سطح ترانزیستور از کتابخانه PTM 45nm [14] استفاده شده است. به منظور ایجاد ساختارهای مختلف از هر زیر مدار از ابزار سنتز ABC [15] استفاده شده است.

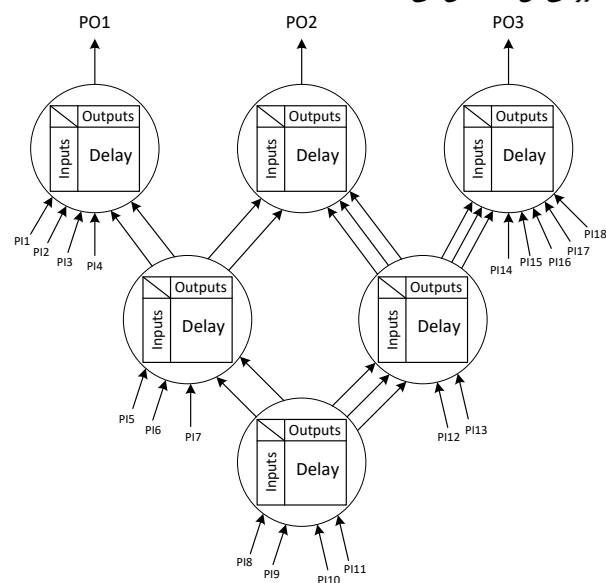
۴-۱- کارایی روش پیشنهادی

جدول (۱) نتایج حاصل از شبیه سازی را نشان می دهد. در این جدول ستون اول نام مدار و ستون دوم تاخیر اولیه مدار در زمان $t = 0$ را نشان می دهد. ستون سوم و چهارم به ترتیب درصد تغییرات تاخیر مدار در اثر سالمندی پس

گراف مدار استخراج می شوند. خوشه های گراف به صورت مجموعه گره هایی با لیست برچسب یکسان تعریف می شوند. شکل (۶) زیر مدارهای ایجاد شده با استفاده از روش بخش بندی ارائه شده را برای گراف مدار شکل (۵) نشان می دهد. در این شکل زیر مدار ۱ دارای لیست برچسب [PO1]، زیر مدار ۲ دارای لیست برچسب [PO1,PO2] و زیر مدار ۳ دارای لیست برچسب [PO1,PO2,PO3] می باشند.

پس از خوشه بندی مدار، ورودی ها و خروجی های مربوط به هر خوشه مشخص می شوند. بدین منظور، گره هایی در خوشه که دارای والدی با لیست برچسب متفاوت با لیست برچسب آن گره باشند به عنوان خروجی خوشه در نظر گرفته می شوند. همچنین یال های ورودی به یک گره که جز ورودی های اولیه مدار باشند و یا از گره های فرزندی نشأت بگیرند که دارای لیست برچسب متفاوتی با لیست برچسب آن گره باشند، به عنوان ورودی خوشه در نظر گرفته می شوند.

در هنگام بهینه سازی مدار پس از هر دور از فرآیند بهینه سازی نیازمند محاسبه مجدد تاخیر مدار هستیم که خود فرآیندی بسیار زمان بر است. از این رو، همانطور که در شکل (۷) مشخص شده به منظور کاهش سربار زمانی ناشی از محاسبه مجدد تاخیر مدار، قبل از اجرای فرآیند بهینه سازی ابتدا تاخیر ناشی از سالمندی هر زیر مدار محاسبه می شود و سپس هر زیر مدار به صورت یک ابر دروازه^۱ در نظر گرفته می شود که تاخیر آن از هر ورودی به هر خروجی آن مشخص می باشد.



شکل (۷) ابر دروازه های ایجاد شده از زیر مدارهای شکل (۶)

۳-۲- سطح بندی زیر مدارها

با توجه به اینکه تغییر ساختار هر زیر مدار منجر به تغییر زمان ورود^۱ دروازه های موجود در مخروط خروجی آن زیر مدار می شود، باید ابتدا تمامی زیر مدارها سطح بندی شده و سپس از ورودی های اصلی مدار به سمت خروجی های آن زیر مدارهای موجود در هر سطر بهینه سازی شوند. مخروط خروجی یک زیر مدار برابر مجموعه دروازه هایی از مدار اصلی است که از خروجی های زیر مدار مسیری به آن ها وجود دارد. به منظور سطح بندی زیر

جدول (۱) نتایج حاصل از شبیه‌سازی بر روی مدارهای محک

قبل از بهینه‌سازی		بعد از بهینه‌سازی		تعداد دروازه‌ها	مدار
درصد تغییرات تأخیر در اثر سالمندی	مساحت	درصد بهبود تغییرات تأخیر در اثر سالمندی	درصد تغییرات مساحت		
18.57	245.784	17.72	5.6	575	C499
14.67	341.544	5.92	-1.25	459	C880
18.12	437.304	20.65	7.73	588	C1355
16.91	609.14	12.85	-4.63	524	C1908
11.51	1013.99	11.23	5.37	834	C2670
10.27	1399.96	4.67	-3.14	1088	C3540
14.59	2070.28	19.59	6.45	1666	C5315
4.8	1987.55	3.48	4.66	2416	C6288
14.21	2877.59	20.04	8.26	3513	C7552
19.46	34231.18	23.68	10.57	54215	Sqrt
18.87	36158.74	22.94	7.29	55910	Multiplier
14.73		14.80	4.26		میانگین

است که روش [9] تغییرات تأخیر در اثر سالمندی را حدود ۱/۲ برابر بیشتر از روش پیشنهادی بهبود داده است.

۵- نتیجه‌گیری

با کاهش روزافزون ابعاد ترانزیستورها، سالمندی و تنزل تدریجی خصوصیات ترانزیستورها که باعث کاهش کارایی و تخریب عملکرد مدار می‌شود، به یک چالش اساسی در زمینه قابلیت اطمینان مدارهای مجتمع تبدیل شده است. در این مقاله، یک روش بازسنتر منطقی مبتنی بر بخش‌بندی به منظور برطرف کردن چالش‌های زمانی ناشی از سالمندی در یک مدار دیجیتال ارائه شده که به طور موثری زمان اجرای فرآیند بهینه‌سازی را کاهش می‌دهد. در روش پیشنهادی، مدار با استفاده از ساختارهای مخروطی به مجموعه‌ای از زیرمدارهای کوچکتر بخش‌بندی می‌شود. سپس این زیرمدارها سطح بندی شده و زیرمجموعه‌ای از موثرترین زیرمدارها به منظور بهینه‌سازی انتخاب شده و تکنیک بازسنتر منطقی بر روی هر زیر مدار به طور مستقل اعمال می‌شود که باعث کاهش فضای جستجو و کاهش زمان اجرای الگوریتم می‌شود. نتایج حاصل از شبیه‌سازی بر روی مدارهای محک ISCAS'85 نشان می‌دهد که روش پیشنهادی با سربار مساحت ۴/۲۶٪ تنزل کارایی ناشی از سالمندی را حدود ۱۴/۸٪ بهبود داده است.

از گذشت ۱۰ سال و مساحت مدار قبل از انجام بهینه‌سازی با استفاده از روش پیشنهادی را نشان می‌دهد. ستون پنجم و ششم نیز به ترتیب در صد بهبود تغییرات تأخیر مدار در اثر سالمندی پس از گذشت ۱۰ سال و مساحت مدار بعد از اعمال روش پیشنهادی را نشان می‌دهد. به عنوان مثال مدار C5315 را در نظر بگیرید. تأخیر اولیه این مدار ۱/۴۵ ns بوده که پس از گذشت ۱۰ سال و در اثر سالمندی تأخیر آن ۱۴/۵۹٪ افزایش یافته است. همچنین مساحت این مدار قبل از بهینه‌سازی $2877.59 \mu m^2$ بوده است. پس از بهینه‌سازی تغییرات تأخیر این مدار در اثر سالمندی و پس از گذشت ۱۰ سال ۱۹/۵۹٪ نسبت به تغییرات تأخیر اولیه (قبل از بهینه‌سازی) بهبود یافته است که این بهبود باعث ایجاد سربار مساحتی حدود ۶/۴۵٪ شده است. اعداد منفی در ستون آخر جدول نشان دهنده کاهش مساحت مدار پس از انجام بهینه‌سازی می‌باشند.

۲-۴- زمان اجرای روش پیشنهادی

به منظور ارزیابی مقیاس‌پذیری روش پیشنهادی برای کاهش سالمندی یک مدار دیجیتال، روش سنتز آگاه از سالمندی با استفاده از همسان‌سازی مسیرها [9]، پیاده‌سازی شده و زمان اجرای آن برای بعضی از مدارهای محک EPFL و ISCAS'85 با زمان اجرای روش پیشنهادی مقایسه شده است. جدول (۲) نتایج حاصل از روش ارائه شده در [9] و روش پیشنهادی را نشان می‌دهد. همان‌طور که در این جدول مشخص است، روش پیشنهادی زمان اجرای فرآیند بهینه‌سازی را به طور میانگین حدود ۱۱ برابر کاهش داده است. این در حالی

Conference on Computer-Aided Design (ICCAD), pp. 61-68, 2013.

- [5] I.C. Lin, C.H. Lin, and K.H. Li, "Leakage and Aging Optimization Using Transmission Gate-Based Technique", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, VOL. 32, NO. 1, pp.87-99, 2013.
- [6] T. Sakurai, A.R. Newton, "Alpha-power law mosfet model and its application to cmos logics", IEEE Journal of Solid-State Circuits, VOL. 25, NO. 2, pp. 584-594, 1990.
- [7] H. Amrouch, V. van Santen, T. Ebi, V. Wenzel, and J. Henkel, "Towards Interdependencies of Aging Mechanisms," IEEE/ACM International Conference on Computer-Aided Design (ICCAD), pp. 478-485, 2014.
- [8] Y. Wang, H. Luo, K. He, R. Luo, H. Yang, and Y. Xie, "Temperature-aware nbtii modeling and the impact of input vector control on performance degradation", Design Automation and Test in Europe Conference (DATE), pp. 546-551, 2007.
- [9] M.Ebrahimi, F.Oboril, S.Kiamehr, and M.B.Tahoori, "Aging-aware Logic Synthesis", IEEE/ACM International Conference on Computer-Aided Design (ICCAD), pp. 61-68, 2013.
- [10] K.-C. Wu and D. Marculescu, "Joint logic restructuring and pin reordering against NBTI-induced performance degradation", Design Automation and Test in Europe Conference (DATE), pp. 75-80, 2009.
- [11] K.-C. Wu and D. Marculescu, "Aging-aware timing analysis and optimization considering path sensitization", Design Automation and Test in Europe Conference (DATE), pp. 1-6, 2011.
- [12] C.H. Lin, S. Roy, C.Y. Wang, D.Z. Pan, and D. Chen, "CSL: Coordinated and Scalable Logic Synthesis Techniques for Effective NBTI Reduction", 33rd IEEE International Conference on Computer Design (ICCD), pp. 236-243, 2015.
- [13] Nangate Inc., Sunnyvale, CA, "Nangate Open Cell Library", 2008. Available: <http://www.nangate.com/>
- [14] Nanoscale Integration and Modeling (NIMO) Group, ASU, Tempe, AZ. "Predictive Technology Model (PTM)", 2009. Available: <http://www.eas.asu.edu/~ptm/>
- [15] Berkeley Logic Synthesis and Verification Group, ABC: "A System for Sequential Synthesis and Verification", <http://www.eecs.berkeley.edu/~alanmi/abc/>

جدول (۲) مقایسه روش پیشنهادی و روش همسان سازی مسیرها [9]

زمان اجرا بر حسب ثانیه		درصد بهبود تغییرات تاخیر		
مدار	روش پیشنهادی	روش [9]	روش پیشنهادی	روش [9]
C499	17.72	20.378	43.45	597.45
C880	5.92	6.98	33.97	469.93
C1355	20.65	21.6825	23.48	1308.42
C1908	12.85	20.986	51.32	789.64
C2670	11.23	15.385	71.31	806.51
C3540	4.67	6.258	119.77	1174.76
C5315	19.59	22.528	209.47	2909.93
C6288	3.48	3.897	170.77	2644.03
C7552	20.04	22.044	290.41	3226.51
Sqrt	23.68	24.056	1350.88	23684.17
Multiplier	22.94	25.15	1820.65	37325.65
میانگین	14.80	17.21	380.49	6812.45

مراجع

- [1] J. Fang, S. Gupta, S.V. Kumar, S.K. Marella, V. Mishra, P. Zhou, and S.S. Sapatnekar, "Circuit reliability: from physics to architectures", IEEE/ACM International Conference on Computer-Aided Design (ICCAD), pp. 243-246, 2012.
- [2] J. Henkel, L. Bauer, N. Dutt, P. Gupta, S. Nassif, M. Shafique, M. Tahoori, and N. When, "Reliable on-chip systems in the nano-era: lessons learnt and future trends", In Design Automation Conference (DAC), pp. 1-10, 2013.
- [3] W. Wang, S. Yang, S. Bhardwaj, R. Vattikonda, S. Vruthula, F. Liu, and Y. Cao, "The impact of NBTI on the performance of combinational and sequential circuits", In Design Automation Conference (DAC), pp. 364-369, 2007.
- [4] M.Ebrahimi, F.Oboril, S.Kiamehr, and M.B.Tahoori, "Aging-aware Logic Synthesis", IEEE/ACM International

Abstract: As CMOS devices become smaller, transistor aging due to Bias Temperature Instability (BTI) become a major issue for circuit reliability. Aging results in circuit performance degradation over time and eventually leads to a lifetime reduction of Integrated Circuits. There are a lot of works in the literature that aims to resynthesize the circuit but their main drawback is that they are expensive in term of run time. These methods require changes to adapt to large-scale circuits. In this paper, an efficient circuit partitioning-based optimization method based-on the resynthesizing is presented, which significantly speeds up the optimization process. In the proposed method, the circuit is divided into the topologically leveled small subcircuits by cone structures. Then, a group of critical subcircuits is extracted and resynthesis technique is applied to them. Experimental results show that the proposed method can improve the delay degradation of the circuit by 14.8% at the expense of 4.26% area overhead, on average.

- ⁷ Path Balancing
- ⁸ Guard Band
- ⁹ Block-Based Static Timing Analysis
- ¹⁰ Super Gate
- ¹¹ Arrival Time
- ¹² Functionality

- ¹ Reliability
- ² Process Variation
- ³ Aging
- ⁴ Negative Bias Temperature Instability
- ⁵ Velocity Saturation
- ⁶ Signal Probability