

VLSI Technology (4353206) - Summer 2025 Solution

Milav Dabgar

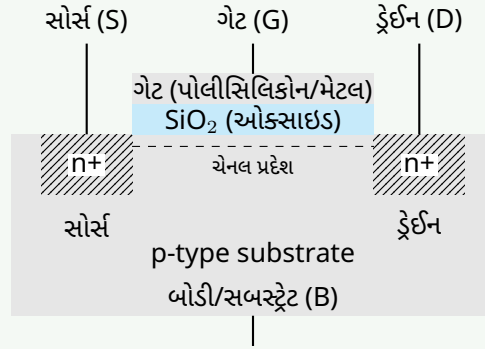
May 19, 2025

પ્રશ્ન 1(a) [3 ગુણ]

n-ચેનલ MOSFET ની ભૌતિક રચનાની સ્વચ્છ લેબલવાળી આકૃતિ દોરો.

જવાબ

n-ચેનલ MOSFET ની ભૌતિક રચના:



આકૃતિ 1. n-ચેનલ MOSFET માળખું

મુખ્ય ઘટકો:

- સોર્સ: n+ ડોપ્ડ પ્રદેશ જે ઇલેક્ટ્રોન પૂરા પાડે છે.
- ડ્રેઈન: n+ ડોપ્ડ પ્રદેશ જે ઇલેક્ટ્રોન એકત્રિત કરે છે.
- ગેટ: ચેનલને નિયંત્રિત કરતું મેટલ ઇલેક્ટ્રોડ.
- ઓક્સાઇડ: SiO₂ ઇન્સ્યુલેટિંગ લેયર.
- સબસ્ટ્રેટ: p-type સિલિકોન બોડી.

મેમરી ટ્રીક

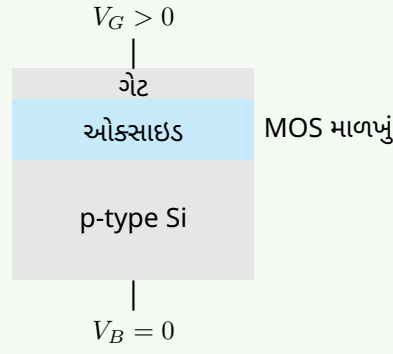
“SOGD - સોર્સ, ઓક્સાઇડ, ગેટ, ડ્રેઈન”

પ્રશ્ન 1(b) [4 ગુણ]

બાહ્ય બાયસ હેઠળ MOS ના ડિપ્લેશન અને ઇન્વર્ઝન માટે એનર્જી બેન્ડ ડાયાગ્રામ દોરો અને ઇન્વર્ઝન સમજાવો.

જવાબ

MOS બાયસિંગ સર્કિટ:



આકૃતિ 2. MOS બાયસિંગ

એનર્જી બેન્ડ ડાયાગ્રામ:

| ડિપ્લેશન | ઇન્વર્ઝન |
|-------------------|----------------------------|
| | |
| બેન્ડ નીચે વળે છે | E_i, E_F ને ક્રોસ કરે છે |

ઇન્વર્ઝન પ્રદેશની વિગતો:

- Strong inversion: $V_G > V_T$ (થ્રેસોલ્ડ વોલ્ટેજ)
- ઇલેક્ટ્રોન ચેનલ: Si-SiO₂ ઇન્ટરફેસ પર માઈનોરિટી કેરિયર્સ (ઇલેક્ટ્રોન) એકઠા થવાથી રચાય છે.
- ચેનલ વાહકતા: ગેટ વોલ્ટેજ સાથે વધે છે.
- થ્રેસોલ્ડ શરત: સપાટી પોટેન્શિયલ $\phi_s = 2\phi_F$.

મેમરી ટ્રીક

“DIVE - ડિપ્લેશન (Depletion), ઇન્વર્ઝન (Inversion), વોલ્ટેજ (Voltage), ઇલેક્ટ્રોન (Electrons)”

પ્રશ્ન 1(c) [7 ગુણ]

MOSFET ના I-V લક્ષણો સમજાવો.

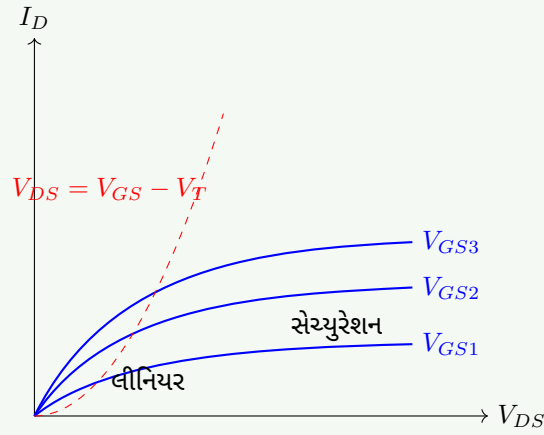
જવાબ

I-V લાક્ષણિકતા પ્રદેશો:

કોષ્ટક 1. ઓપરેટિંગ પ્રદેશો

| પ્રદેશ | શરત | ડ્રેઇન કરંટ (I_D) |
|-------------------------|--|--|
| કટઓફ (Cutoff) | $V_{GS} < V_T$ | $I_D \approx 0$ |
| લીનિયર (Linear) | $V_{GS} > V_T, V_{DS} < V_{GS} - V_T$ | $I_D = \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2}]$ |
| સેચ્યુરેશન (Saturation) | $V_{GS} > V_T, V_{DS} \geq V_{GS} - V_T$ | $I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2$ |

લાક્ષણિકતા વક્ર:



આકૃતિ 3. MOSFET I-V લાક્ષણિકતાઓ

મુખ્ય પરિમાણો:

- μ_n : ઇલેક્ટ્રોન મોબિલિટી
- C_{ox} : ગેટ ઓક્સાઇડ કેપેસિટન્સ પ્રતિ એકમ ક્ષેત્રફળ
- W/L : ચેનલ પહોળાઈ થી લંબાઈ ગુણોત્તર
- V_T : થ્રેસોલ્ડ વોલ્ટેજ

મેમરી ટ્રીક

“CLS - Cutoff, Linear, Saturation”

પ્રશ્ન 1(c) OR [7 ગુણ]

સ્કેલિંગ વ્યાખ્યાયિત કરો. સ્કેલિંગની જરૂરિયાત સમજાવો. સ્કેલિંગની નકારાત્મક અસરોની યાદી આપો અને સમજાવો.

જવાબ

વ્યાખ્યા: સ્કેલિંગ એ MOSFET પરિમાણોને વ્યવસ્થિત રીતે ઘટાડવાની પ્રક્રિયા છે જેથી કામગીરી (performance) અને ઘનતા (density) સુધારી શકાય.

સ્કેલિંગની જરૂરિયાત:

- ઉચ્ચ ઘનતા: ચિપ વિસ્તાર દીઠ વધુ ટ્રાન્ઝિસ્ટર (મૂરેનો નિયમ).
- ઝડપી સ્પીડ: ચેનલ લંબાઈ ઘટવાથી કેરિયર ટ્રાન્ઝિટ સમય ($t = L^2/\mu V$) ઘટે છે.
- ઓછો પાવર: નાના પરોપજીવી કેપેસિટન્સ સ્વિચિંગ એનર્જી ઘટાડે છે.
- ખર્ચ ઘટાડો: વેફર દીઠ વધુ ચિપ્સ મળવાથી કિંમત ઘટે છે.

સ્કેલિંગ પ્રકારો:**કોષ્ટક 2. સ્કેલિંગ વ્યૂહરચનાઓ**

| પ્રકાર | ગેટ લંબાઈ | સપ્લાય વોલ્ટેજ | ઓક્સાઇડ જાડાઈ |
|------------------|---------------------|---------------------|---------------------|
| Constant Voltage | $\downarrow \alpha$ | અચળ | $\downarrow \alpha$ |
| Constant Field | $\downarrow \alpha$ | $\downarrow \alpha$ | $\downarrow \alpha$ |

નકારાત્મક અસરો:

- **Short Channel Effects (SCE):** V_T roll-off અને DIBL.
- **Hot Carrier Effects:** હાઈ ઇલેક્ટ્રિક ફીલ્ડ ઇલેક્ટ્રોનને ઓક્સાઇડમાં ઇન્જેક્ટ કરે છે, જે ડિવાઇસને નુકસાન પહોંચાડે છે.
- **Gate Leakage:** પાતળું ઓક્સાઇડ ક્વોન્ટમ ટનલિંગ કરત તરફ દોરી જાય છે.
- **Process Variations:** નેનો-સ્કેલ પર પરિમાણોને નિયંત્રિત કરવામાં મુશ્કેલી.
- **Power Density:** એકમ વિસ્તાર દીઠ વધેલી ગરમી થર્મલ મેનેજમેન્ટ સમસ્યાઓ ઊભી કરે છે.

મેમરી ટ્રીક

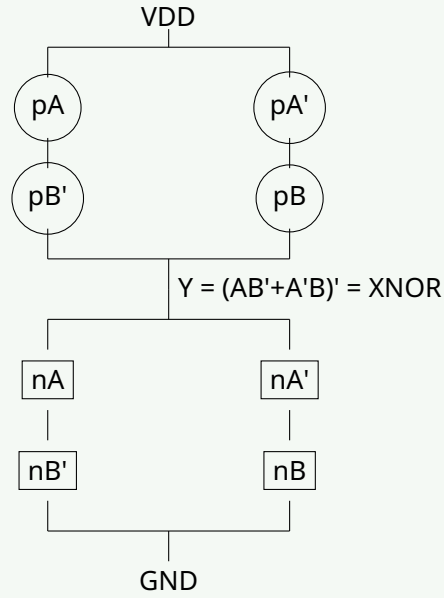
“SHGPP - Short channel, Hot carrier, Gate leakage, Process, Power”

પ્રશ્ન 2(a) [3 ગુણ]

CMOS નો ઉપયોગ કરીને $Y' = (AB' + A'B)$ અમલ કરો.

જવાબ

લોજિક વિશ્લેષણ: $Y' = AB' + A'B = A \oplus B$ (XOR ફંક્શન).
CMOS અમલીકરણ:



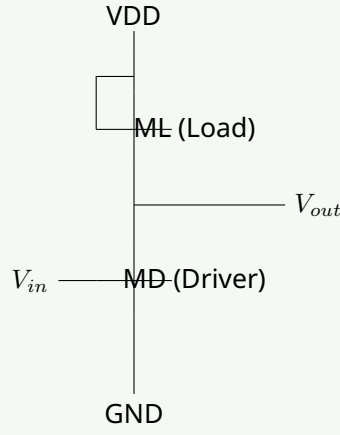
આકૃતિ 4. XNOR માટે સ્ટેટિક CMOS (ઇન્વર્ટેડ XOR)

પ્રશ્ન 2(b) [4 ગુણ]

તેના સર્કિટ ડાયાગ્રામ સાથે એન્હાન્સમેન્ટ લોડ ઇન્વર્ટર સમજાવો.

જવાબ

સર્કિટ ડાયાગ્રામ:



આકૃતિ 5. સેચ્યુરેટેડ એન્હાન્સમેન્ટ લોડ ઇન્વર્ટર

રચના:

- Load (ML): Enhancement NMOS જેનો ગેટ ડ્રેઈન સાથે જોડાયેલ છે ($V_{GS} = V_{DS}$).
- Driver (MD): Enhancement NMOS જેનો ગેટ ઇનપુટ તરીકે છે.

ઓપરેશન:

- હાઈ આઉટપુટ (V_{OH}): $V_{DD} - V_T$ સુધી મર્યાદિત.
- લો આઉટપુટ (V_{OL}): 0V ની નજીક (ગુણોત્તર પર આધારિત).
- ગેરફાયદો: લોજિક હાઈ લેવલ પૂરું V_{DD} નથી મળતું અને સતત પાવર વપરાશ થાય છે.

મેમરી ટ્રીક

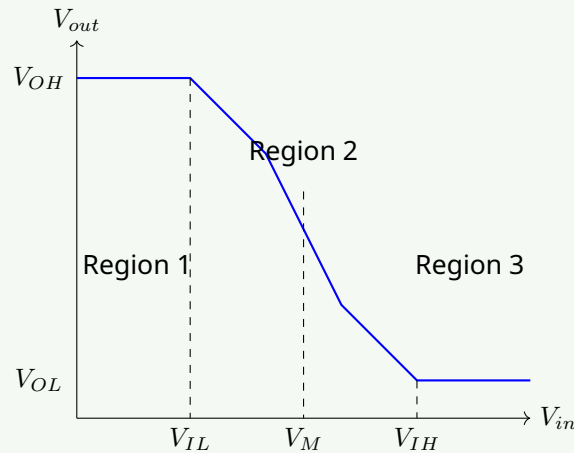
“ELI - એન્હાન્સમેન્ટ લોડ ઇન્વર્ટર બ્રેસોલ્ડ સમસ્યાઓ ધરાવે છે”

પ્રશ્ન 2(c) [7 ગુણ]

ઇન્વર્ટરની વોલ્ટેજ ટ્રાન્સફર લાક્ષણિકતા (VTC) સમજાવો.

જવાબ

VTC વક્ર:



આકૃતિ 6. આદર્શ ઇન્વર્ટર VTC

મુખ્ય પરિમાણો:

| પરિમાણ | વર્ણન | આદર્શ મૂલ્ય |
|----------|--------------------|--------------------|
| V_{OH} | આઉટપુટ હાઈ વોલ્ટેજ | V_{DD} |
| V_{OL} | આઉટપુટ લો વોલ્ટેજ | $0V$ |
| V_{IH} | ઇનપુટ હાઈ વોલ્ટેજ | $\approx V_{DD}/2$ |
| V_{IL} | ઇનપુટ લો વોલ્ટેજ | $\approx V_{DD}/2$ |
| V_M | સ્વિચિંગ થ્રેસોલ્ડ | $V_{DD}/2$ |

નોઈઝ માર્જિન:

- $NM_H = V_{OH} - V_{IH}$ (હાઈ નોઈઝ માર્જિન)
- $NM_L = V_{IL} - V_{OL}$ (લો નોઈઝ માર્જિન)

મેમરી ટ્રીક

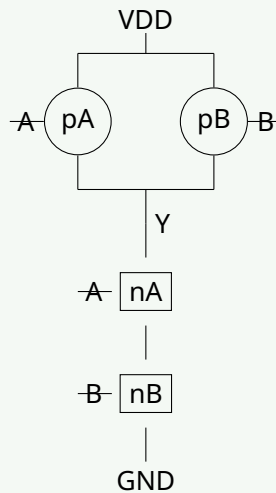
“VTC shows VOICE - VOH, VOL, ઇનપુટ થ્રેસોલ્ડ, લાક્ષણિકતાઓ”

પ્રશ્ન 2(a) OR [3 ગુણ]

CMOS નો ઉપયોગ કરીને NAND2 ગેટ સમજાવો.

જવાબ

CMOS NAND2 સર્કિટ:



આકૃતિ 7. CMOS NAND2 ગેટ

ઓપરેશન:

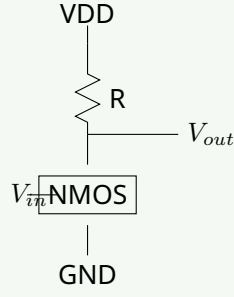
- **Pull-Up Network:** PMOS ઇનપુટ A અને B સમાંતરમાં (Parallel). જો $A=0$ અથવા $B=0$ હોય, તો આઉટપુટ V_{DD} પર જાય છે.
- **Pull-Down Network:** NMOS ઇનપુટ A અને B શ્રેણીમાં (Series). જો માત્ર $A=1$ અને $B=1$ હોય, તો આઉટપુટ GND પર જાય છે.

પ્રશ્ન 2(b) OR [4 ગુણ]

રેઝિસ્ટિવ લોડ ઇન્વર્ટર સર્કિટના ઓપરેટિંગ મોડ અને VTC સમજાવો.

જવાબ

સર્કિટ રૂપરેખાંકન:



આકૃતિ 8. રેઝિસ્ટિવ લોડ ઇન્વર્ટર

ઓપરેટિંગ મોડ્સ:

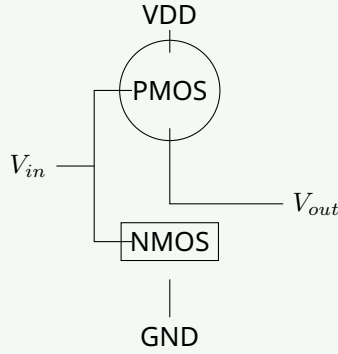
- $V_{in} = 0$ (Low): NMOS OFF. $V_{out} = V_{DD}$.
- $V_{in} = V_{DD}$ (High): NMOS ON (Linear). $V_{out} = V_{VOL}$.
- V_{OL} ગણતરી: $V_{OL} = \frac{R_{ON}}{R_{ON} + R} V_{DD}$.

પ્રશ્ન 2(c) OR [7 ગુણ]

CMOS ઇન્વર્ટર દોરો અને તેની કામગીરી VTC સાથે સમજાવો.

જવાબ

CMOS ઇન્વર્ટર સર્કિટ:



આકૃતિ 9. CMOS ઇન્વર્ટર

ઓપરેશન:

- **Region 1:** આઉટપુટ VDD પર ખેંચાય છે (PMOS ON, NMOS OFF).
- **Region 2:** બંને ટ્રાન્ઝિસ્ટર સેચ્યુરેશનમાં (steep drop).
- **Region 3:** આઉટપુટ GND પર ખેંચાય છે (PMOS OFF, NMOS ON).

મુખ્ય લાક્ષણિકતાઓ:

- **શૂન્ય સ્ટેટિક પાવર:** સ્થિર અવસ્થાઓમાં પાવર વપરાશ નહિવત.
- **Rail-to-Rail Swing:** લોજિક લેવલ ચોક્કસ VDD અને GND હોય છે.

મેમરી ટ્રીક

“CMOS એટલે શૂન્ય સ્ટેટિક પાવર સાથે ફૂલ સ્વિંગ”

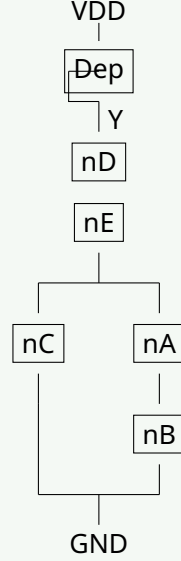
પ્રશ્ન 3(a) [3 ગુણ]

ડિપ્લેશન લોડનો ઉપયોગ કરીને $Y = (\overline{A} + \overline{B})\overline{C} + \overline{D} + \overline{E}$ નું અમલીકરણ કરો.

જવાબ

લોજિક સિમ્બલિકેશન: $\overline{Y} = \overline{(\overline{A} + \overline{B})\overline{C} + \overline{D} + \overline{E}} = (AB + C)DE$. PDN એ D અને E શ્રેણીમાં, અને (C સમાંતર (A શ્રેણી B)) સાથે જોડાયેલ છે.

ડિપ્લેશન લોડ અમલીકરણ:



આકૃતિ 10. Y માટે ડિપ્લેશન લોડ લોજિક

પ્રશ્ન 3(b) [4 ગુણ]

FPGA પર ટૂંકનોંધ લખો.

જવાબ

FPGA વ્યાખ્યા: Field Programmable Gate Array - એક પુનઃરૂપરેખાંકિત (reconfigurable) સંકલિત સર્કિટ જે ઉત્પાદન પછી ગ્રાહક દ્વારા પ્રોગ્રામ કરી શકાય છે.

આર્કિટેક્ચર ઘટકો:

- **CLB (Configurable Logic Block):** મૂળભૂત લોજિક એકમ (LUTs, Flip-flops).
- **IOB (Input/Output Block):** બાહ્ય પિન સાથે ઇન્ટરફેસ.
- **ઇન્ટરકનેક્ટ્સ:** પ્રોગ્રામેબલ રાઉટિંગ ચેનલો.
- **સ્વિચ મેટ્રિક્સ:** રાઉટિંગ ટ્રેક વચ્ચે પ્રોગ્રામેબલ જોડાણો.

પ્રોગ્રામિંગ ટેકનોલોજી:

- **SRAM-based:** અસ્થિર, ઝડપી પુનઃરૂપરેખાંકન.
- **Antifuse:** બિન-અસ્થિર, એક જ વાર પ્રોગ્રામેબલ.
- **Flash-based:** બિન-અસ્થિર, પુનઃપ્રોગ્રામેબલ.

મેમરી ટ્રીક

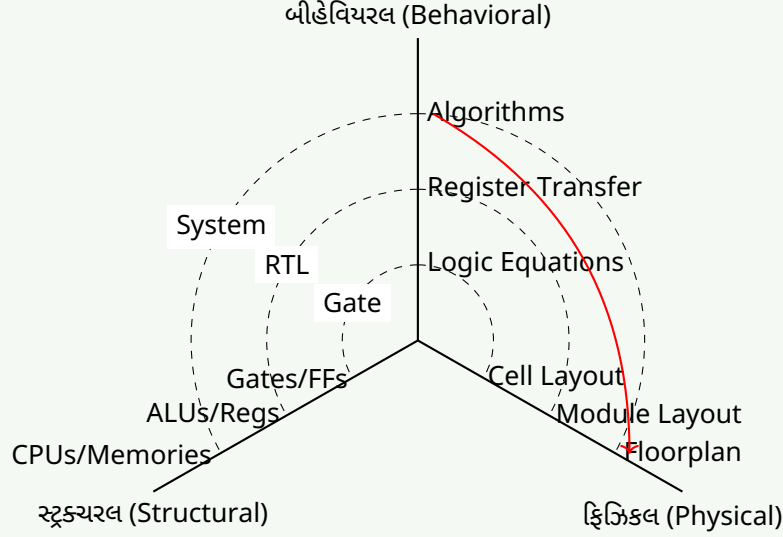
"FPGA - Flexible Programming Gives Advantages"

પ્રશ્ન 3(c) [7 ગુણ]

Y ચાર્ટ ડિઝાઇન ફલો દોરો અને સમજાવો.

જવાબ

Y-ચાર્ટ ડાયાગ્રામ:



આકૃતિ 11. Gajski-Kuhn Y-ચાર્ટ

ડિઝાઇન ડોમેન્સ:

- **બીહેવિયરલ:** સિસ્ટમ શું કરે છે તે વર્ણવે છે (અલ્ગોરિધમ્સ, સમીકરણો).
- **સ્ટ્રક્ચરલ:** ઘટકો કેવી રીતે જોડાયેલા છે તે વર્ણવે છે (નેટલિસ્ટ, ગેટ્સ).
- **ફિઝિકલ:** ઘટકો ક્યાં મૂકવામાં આવે છે તે વર્ણવે છે (લેઆઉટ, ભૂમિતિ).

મેમરી ટ્રીક

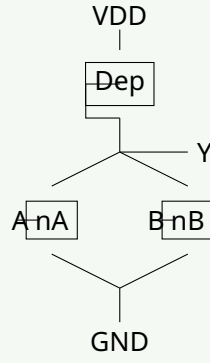
“Y-ચાર્ટ: બીહેવિયરલ, સ્ટ્રક્ચરલ, ફિઝિકલ - BSP domains”

પ્રશ્ન 3(a) OR [3 ગુણ]

ડિપ્લેશન લોડનો ઉપયોગ કરીને NOR2 ગેટ સમજાવો.

જવાબ

ડિપ્લેશન લોડ NOR2 સર્કિટ:



આકૃતિ 12. ડિપ્લેશન લોડ NOR2

ઓપરેશન:

- બંને ઇનપુટ લો (0,0): બંને Pull-Down NMOS બંધ. આઉટપુટ ડિપ્લેશન લોડ દ્વારા VDD પર ખેંચાય છે.
- કોઈપણ ઇનપુટ હાઈ: સંબંધિત Pull-Down NMOS ચાલુ થાય છે. આઉટપુટ GND પર ખેંચાય છે.

મેમરી ટ્રીક

“NOR સાથે Depletion - સમાંતર NMOS pull-down”

પ્રશ્ન 3(b) OR [4 ગુણ]

કુલ કસ્ટમ અને સેમી-કસ્ટમ ડિઝાઇન શૈલીઓની તુલના કરો.

જવાબ

તુલનાત્મક લેઆઉટ:

| પેરામીટર | કુલ કસ્ટમ | સેમી-કસ્ટમ |
|-------------|--------------------|-------------------|
| ડિઝાઇન સમય | લાંબો (6-18 મહિના) | ટૂંકો (2-6 મહિના) |
| પર્ફોર્મન્સ | શ્રેષ્ઠ (Optimal) | સારું (Good) |
| એરિયા | ન્યૂનતમ | મધ્યમ |
| પાવર | ઓપ્ટિમાઇઝ | સ્વીકાર્ય |
| કિંમત | વધુ NRE | ઓછી NRE |
| લવચીકતા | મહત્તમ | મર્યાદિત |
| જોખમ | ઉચ્ચ | ઓછું |

કુલ કસ્ટમ લાક્ષણિકતાઓ:

- દરેક ટ્રાન્ઝિસ્ટર: મેન્યુઅલી ડિઝાઇન અને પ્લેસ કરવામાં આવે છે.
- લેઆઉટ ઓપ્ટિમાઇઝેશન: મહત્તમ ઘનતા (density) પ્રાપ્ત થાય છે.
- એપ્લિકેશન્સ: હાઇ-વોલ્યુમ, પરફોર્મન્સ-ક્રિટિકલ (જેમ કે માઇક્રોપ્રોસેસર્સ).

સેમી-કસ્ટમ પ્રકારો:

- ગેટ એરે (Gate Array): પૂર્વ-વ્યાખ્યાયિત ટ્રાન્ઝિસ્ટર એરે.
- સ્ટાન્ડર્ડ સેલ (Standard Cell): પૂર્વ-ડિઝાઇન કરેલા સેલ્સની લાઈબ્રેરી.
- FPGA: ફિલ્ડ પ્રોગ્રામેબલ લોજિક.

મેમરી ટ્રીક

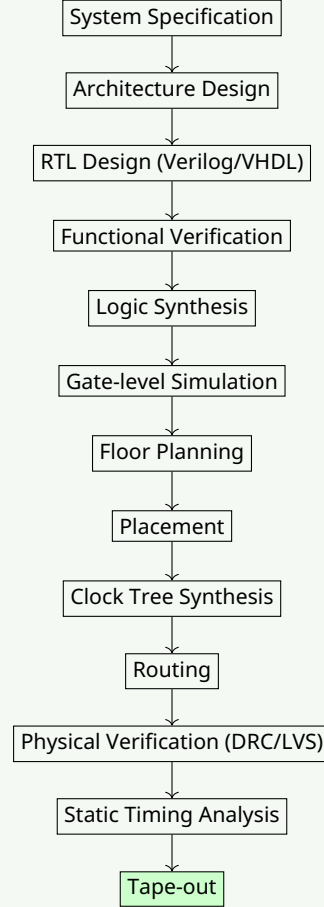
“Full Custom - મહત્તમ નિયંત્રણ, Semi-Custom - સ્પીડ સમાધાન”

પ્રશ્ન 3(c) OR [7 ગુણ]

ASIC ડિઝાઇન ફ્લો દોરો અને વિગતવાર સમજાવો.

જવાબ

ASIC ડિઝાઇન ફ્લો:



આકૃતિ 13. ASIC ડિઝાઇન ફ્લો

ડિઝાઇન તબક્કાઓ:

- **RTL Design:** HDL નો ઉપયોગ કરીને હાર્ડવેર વર્તણૂકનું વર્ણન.
- **Synthesis:** RTL ને ગેટ-લેવલ નેટલિસ્ટમાં રૂપાંતરિત કરવું.
- **Physical Design:** ફ્લોર પ્લાનિંગ, પ્લેસમેન્ટ અને રાઉટિંગ (P&R).
- **Verification:** કાર્યક્ષમતા (Functional) અને ઉત્પાદનક્ષમતા (Physical/Timing) સુનિશ્ચિત કરવી.

મેમરી ટ્રીક

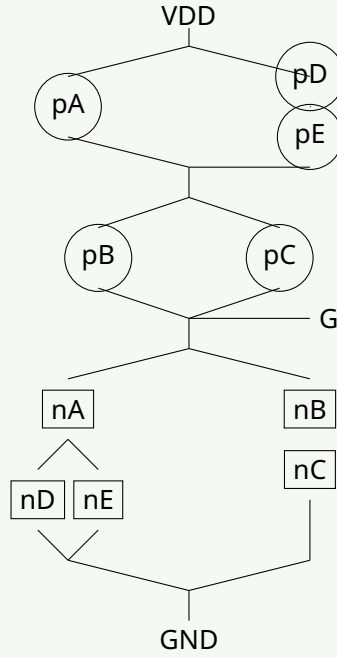
“ASIC flow: RTL થી GDSII”

પ્રશ્ન 4(a) [3 ગુણ]

CMOS નો ઉપયોગ કરીને $G = \overline{A(D + E)} + BC$ લોજિક ફંક્શન અમલ કરો.

જવાબ

CMOS અમલીકરણ:



આકૃતિ 14. કોમ્પ્લેક્સ CMOS ગેટ

મેમરી ટ્રીક

``Complex CMOS - PMOS શ્રેણી, NMOS સમાંતર``

પ્રશ્ન 4(b) [4 ગુણ]

3-બિટ પેરિટી ચેકર માટે વેરિલોગ કોડ લખો.

જવાબ

```

1 module parity_checker_3bit(
2     input [2:0] data_in,
3     output parity_even,
4     output parity_odd
5 );
6
7 // Even parity checker
8 assign parity_even = ^data_in;
9
10 // Odd parity checker
11 assign parity_odd = ~(^data_in);
12
13 endmodule

```

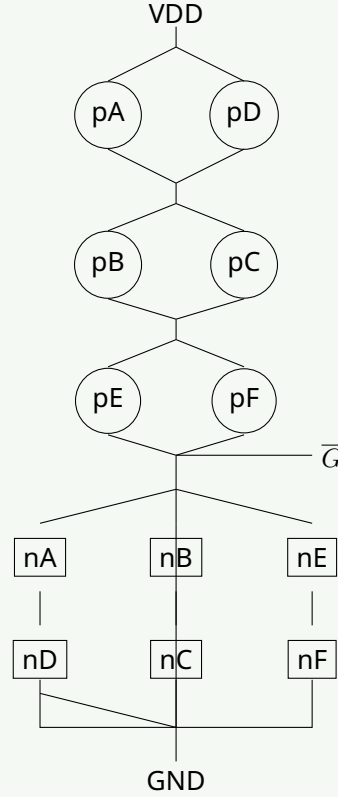
પ્રશ્ન 4(c) [7 ગુણ]

અમલીકરણ: 1) $G = (AD + BC + EF)$ CMOS નો ઉપયોગ કરીને [3 ગુણ] 2) $Y' = (ABCD + EF(G + H) + J)$ CMOS નો ઉપયોગ કરીને [4 ગુણ]

જવાબ

ભાગ 1: $G = (AD + BC + EF)$ [3 ગુણ]

CMOS સર્કિટ: CMOS સામાન્ય રીતે ઇન્વર્ટિંગ લોજિક અમલ કરે છે. G મેળવવા માટે, આપણે \overline{G} અમલ કરી શકીએ અને પછી ઇન્વર્ટર ઉમેરી શકીએ. અહીં આપણે $\overline{G} = \overline{AD + BC + EF}$ માટે Pull-Down Network બનાવીશું.



આકૃતિ 15. G માટે CMOS લોજિક

ભાગ 2: $Y' = (ABCD + EF(G + H) + J)$ [4 ગુણ] આ એક જટિલ ફંક્શન છે. મલ્ટી-સ્ટેજ અમલીકરણ શ્રેષ્ઠ છે.

પ્રશ્ન 4(a) OR [3 ગુણ]

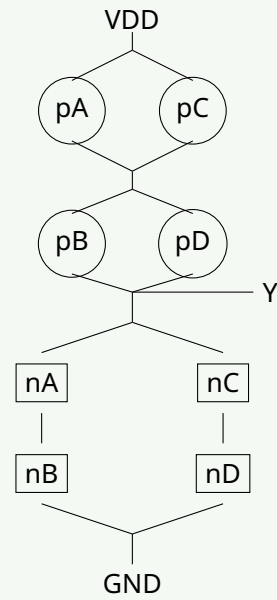
ઉદાહરણ સાથે AOI લોજિક સમજાવો.

જવાબ

AOI વ્યાખ્યા: AND-OR-Invert લોજિક આ પ્રકારના ફંક્શન્સ અમલીકરણ કરે છે: $Y = \overline{(AB + CD + \dots)}$

ઉદાહરણ: $Y = \overline{(AB + CD)}$

AOI અમલીકરણ:



આકૃતિ 16. AOI ગેટ અમલીકરણ

ફાયદા:

- સિંગલ સ્ટેજ: સીધું અમલીકરણ.
- ઝડપી: ઓછો ડીલે.
- એરિયા એફિશિયન્ટ: ઓછા ટ્રાન્ઝિસ્ટર.

મેમરી ટ્રીક

“AOI - AND-OR-Invert એક સ્ટેજમાં”

પ્રશ્ન 4(b) OR [4 ગુણ]

4-બિટ સીરિયલ IN પેરેલલ આઉટ શિફ્ટ રજિસ્ટર માટે વેરિલોગ કોડ લખો.

જવાબ

```

1 module sipo_4bit(
2   input clk,
3   input reset,
4   input serial_in,
5   output reg [3:0] parallel_out
6 );
7
8 always @(posedge clk or posedge reset) begin
9   if (reset) begin
10    parallel_out <= 4'b0000;
11  end else begin
12    // Shift left
13    parallel_out <= {parallel_out[2:0], serial_in};
14  end
15 end
16
17 endmodule

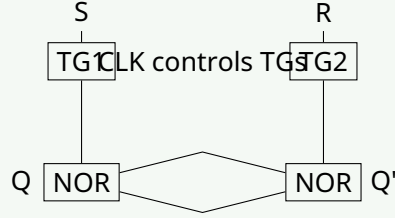
```

પ્રશ્ન 4(c) OR [7 ગુણ]

CMOS નો ઉપયોગ કરીને ક્લોકડ NOR2 SR લેચ અને D-લેચ અમલીકરણ કરો.

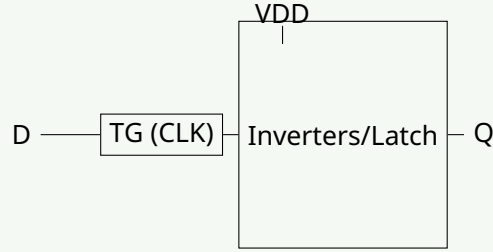
જવાબ

ક્લોકડ NOR2 SR લેચ:



આકૃતિ 17. ક્લોકડ SR લેચ કન્સેપ્ટ

CMOS D-લેચ:



આકૃતિ 18. D-લેચ

ઓપરેશન:

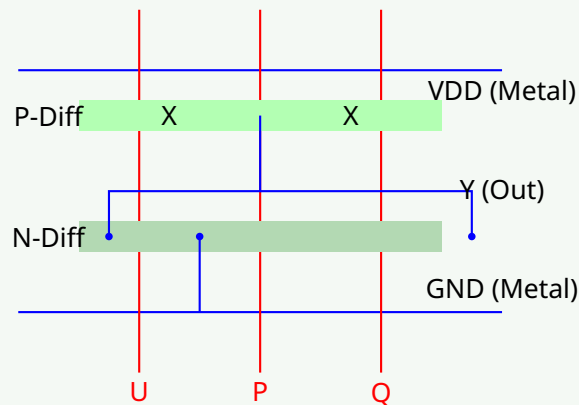
- CLK = 1: માસ્ટર ટ્રાન્સપેરન્ટ, ડેટા પસાર થાય છે.
- CLK = 0: માસ્ટર હોલ્ડ સ્થિતિમાં.

પ્રશ્ન 5(a) [3 ગુણ]

ચુલર પાથ એપ્રોચને ધ્યાનમાં લેતા CMOS નો ઉપયોગ કરીને $Y = \overline{PQ} + \overline{U}$ માટે સ્ટિક ડાયાગ્રામ દોરો.

જવાબ

સ્ટિક ડાયાગ્રામ:



આકૃતિ 19. Y માટે સ્ટિક ડાયાગ્રામ

મેમરી ટ્રીક

“સ્ટિક ડાયાગ્રામ યુલર પાથ ઓપ્ટિમાઇઝેશન સાથે ફિઝિકલ લેઆઉટ દર્શાવે છે”

પ્રશ્ન 5(b) [4 ગુણ]

વેરિલોગનો ઉપયોગ કરીને 8x1 મલ્ટિપ્લેક્સર અમલમાં મૂકો.

જવાબ

```

1 module mux_8x1(
2     input [7:0] data_in,
3     input [2:0] select,
4     output reg data_out
5 );
6
7 always @(*) begin
8     case (select)
9         3'b000: data_out = data_in[0];
10        3'b001: data_out = data_in[1];
11        3'b010: data_out = data_in[2];
12        3'b011: data_out = data_in[3];
13        3'b100: data_out = data_in[4];
14        3'b101: data_out = data_in[5];
15        3'b110: data_out = data_in[6];
16        3'b111: data_out = data_in[7];
17        default: data_out = 1'b0;
18    endcase
19 end
20
21 endmodule

```

પ્રશ્ન 5(c) [7 ગુણ]

વેરિલોગમાં બિહેવિયરલ મોડેલિંગ સ્ટાઇલનો ઉપયોગ કરીને ફુલ એડર અમલમાં મૂકો.

જવાબ

```

1 module full_adder_behavioral(
2     input A,
3     input B,
4     input Cin,
5     output reg Sum,
6     output reg Cout
7 );
8
9 always @(*) begin
10    case ({A, B, Cin})
11        3'b000: begin Sum = 0; Cout = 0; end
12        3'b001: begin Sum = 1; Cout = 0; end
13        3'b010: begin Sum = 1; Cout = 0; end
14        3'b011: begin Sum = 0; Cout = 1; end
15        3'b100: begin Sum = 1; Cout = 0; end
16        3'b101: begin Sum = 0; Cout = 1; end
17        3'b110: begin Sum = 0; Cout = 1; end

```



```

18 3'b111: begin Sum = 1; Cout = 1; end
19 default: begin Sum = 0; Cout = 0; end
20 endcase
21 end
22
23 endmodule

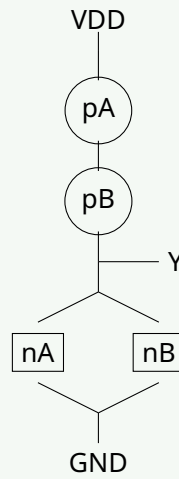
```

પ્રશ્ન 5(a) OR [3 ગુણ]

NOR2 ગેટ CMOS સર્કિટને તેના સ્ટિક ડાયાગ્રામ સાથે અમલમાં મૂકો.

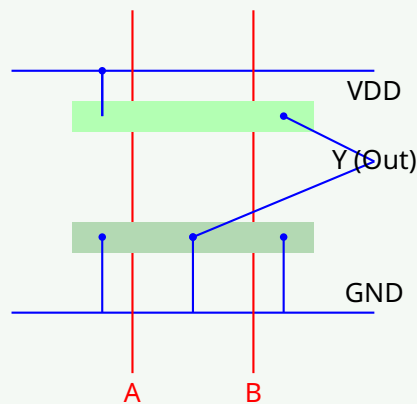
જવાબ

CMOS NOR2 સર્કિટ:



આકૃતિ 20. CMOS NOR2 સર્કિટ

સ્ટિક ડાયાગ્રામ:



આકૃતિ 21. NOR2 સ્ટિક ડાયાગ્રામ

પ્રશ્ન 5(b) OR [4 ગુણ]

વેરિલોગનો ઉપયોગ કરીને 4-બિટ અપ કાઉન્ટર અમલમાં મૂકો

જવાબ

```

1 module counter_4bit_up(
2     input clk,
3     input reset,
4     input enable,
5     output reg [3:0] count
6 );
7
8 always @(posedge clk or posedge reset) begin
9     if (reset) begin
10         count <= 4'b0000;
11     end else if (enable) begin
12         if (count == 4'b1111) begin
13             count <= 4'b0000;
14         end else begin
15             count <= count + 1;
16         end
17     end
18 end
19
20 endmodule

```

પ્રશ્ન 5(c) OR [7 ગુણ]

વેરિલોગમાં બિહેવિયરલ મોડેલિંગ સ્ટાઇલનો ઉપયોગ કરીને 3:8 ડીકોડર અમલમાં મૂકો.

જવાબ

```

1 module decoder_3x8_behavioral(
2     input [2:0] address,
3     input enable,
4     output reg [7:0] decode_out
5 );
6
7 always @(*) begin
8     if (enable) begin
9         case (address)
10             3'b000: decode_out = 8'b00000001;
11             3'b001: decode_out = 8'b00000010;
12             3'b010: decode_out = 8'b00000100;
13             3'b011: decode_out = 8'b00001000;
14             3'b100: decode_out = 8'b00010000;
15             3'b101: decode_out = 8'b00100000;
16             3'b110: decode_out = 8'b01000000;
17             3'b111: decode_out = 8'b10000000;
18             default: decode_out = 8'b00000000;
19         endcase
20     end else begin
21         decode_out = 8'b00000000;
22     end
23 end
24
25 endmodule

```