

VLSI Technology (4353206) - Winter 2024 Solution

Milav Dabgar

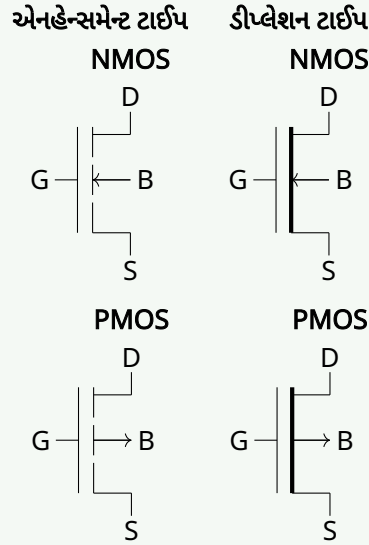
November 29, 2024

પ્રશ્ન 1(a) [3 ગુણ]

એનહેન્સમેન્ટ અને ડીપ્લેશન ટાઈપ MOSFET માટે બધા સિમ્બોલ દોરો.

જવાબ

MOSFET સિમ્બોલ:



મુખ્ય તફાવતો:

- એનહેન્સમેન્ટ: $V_{GS} = 0$ પર કોઈ ફિઝિકલ ચેનલ નથી (તૂટક રેખા).
- ડીપ્લેશન: $V_{GS} = 0$ પર પહેલેથી જ ફિઝિકલ ચેનલ અસ્તિત્વમાં છે (ઘાટી રેખા).
- એરો: NMOS માટે અંદર (p-substrate), PMOS માટે બહાર (n-substrate).

મેમરી ટ્રીક

“Enhancement ને વોલ્ટેજ જોઈએ, Depletion માં ડિફોલ્ટ ચેનલ”

પ્રશ્ન 1(b) [4 ગુણ]

વ્યાખ્યા આપો: 1) હાઈરાઈટ 2) રેગ્યુલારીટી

જવાબ

વ્યાખ્યાઓ:

| પરિભાષા | વ્યાખ્યા | ઉપયોગ |
|--------------|---|---|
| હાર્દરારકી | ટોપ-ડાઉન ડિઝાઇન અભિગમ જેમાં જટિલ સિસ્ટમને નાના, વ્યવસ્થિત મોડ્યુલમાં વિભાજિત કરાય છે. | VLSI ડિઝાઇન ફલોમાં સિસ્ટમ લેવલથી ટ્રાન્ઝિસ્ટર લેવલ સુધી વપરાય છે. |
| રેગ્યુલારીટી | જટિલતા ઘટાડવા માટે પુનરાવર્તિત સમાન સ્ટ્રક્ચરનો ઉપયોગ કરતી ડિઝાઇન તકનીક. | મેમરી અરે, પ્રોસેસર ડેટાપાથમાં નિયમિત સ્ટ્રક્ચર વપરાય છે. |

મુખ્ય મુદ્દા:

- હાર્દરારકીના ફાયદા: સરળ ડિઝાઇન વેરિફિકેશન, મોડ્યુલર ટેસ્ટિંગ, ટીમ કોલેબોરેશન.
- રેગ્યુલારીટીના ફાયદા: ઓછો ડિઝાઇન સમય, બહેતર યોલ્ડ, સરળ લેઆઉટ.
- ડિઝાઇન ફલો: સિસ્ટમ → બિહેવિયરલ → RTL → ગેટ → લેઆઉટ.

મેમરી ટ્રીક

“હાર્દરારકી હેલ્પ કરે ઓર્ગેનાઇઝ કરવામાં, રેગ્યુલારીટી રિડ્યુસ કરે કોમ્પ્લેક્સિટી”

પ્રશ્ન 1(c) [7 ગુણ]

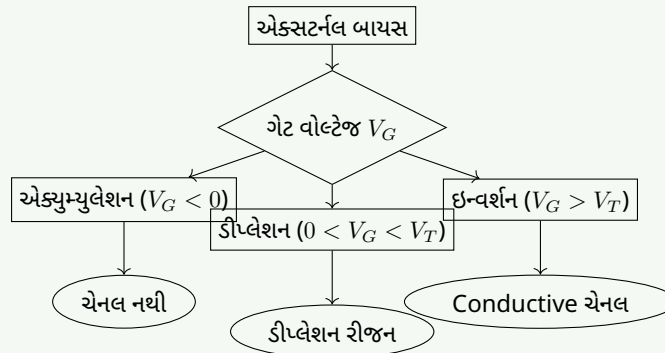
MOS અન્ડર એક્સટર્નલ બાયસ સમજાવો.

જવાબ

MOS બાયસ કન્ડિશન:

| બાયસ કન્ડિશન | ગેટ વોલ્ટેજ | ચેનલ નિર્માણ | કરંટ ફલો |
|-----------------|------------------|--------------------------------|-----------------|
| એક્ઝ્યુમ્યુલેશન | $V_G < 0$ (NMOS) | મેજોરિટી કેરિયર એક્ટ્ર થાય છે | ચેનલ નથી |
| ડીપ્લેશન | $0 < V_G < V_T$ | ડીપ્લેશન રીજન બને છે | ન્યૂનતમ કરંટ |
| ઇન્વર્શન | $V_G > V_T$ | માઇનોરિટી કેરિયર ચેનલ બનાવે છે | ચેનલ વહન કરે છે |

ઓપરેશન ફલો:



આકૃતિ 1. MOS ઓપરેટિંગ મોડ

મુખ્ય ખ્યાલો:

- બેન્ડ બેન્ડિંગ: એક્સટર્નલ વોલ્ટેજ ઓક્સાઇડ-સિલિકોન ઇન્ટરફેસ પર એનર્જી બેન્ડ વાળે છે.
- થ્રેશોલ્ડ વોલ્ટેજ (V_T): ચેનલ બનવા માટે જરૂરી ન્યૂનતમ વોલ્ટેજ.
- ઇન્વર્શન: જ્યારે સર્ફેસ પોટેન્શિયલ $\phi_s = 2\phi_F$.

મેમરી ટ્રીક

“એક્યુમ્યુલેશન આકર્ષે, ડીપ્લેશન ડિપ્લીટ કરે, ઇન્વર્શન ઇન્વર્ટ કરે કેરિયર”

પ્રશ્ન 1(c) OR [7 ગુણ]

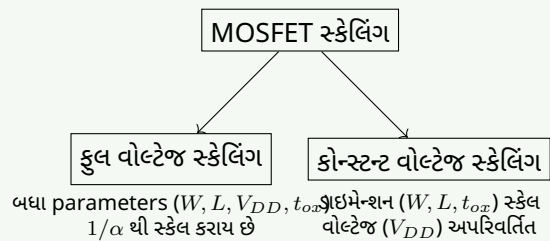
સ્કેલિંગની શું જરૂરિયાત છે? સ્કેલિંગના ટાઈપ તેની ઈફેક્ટ સાથે સમજાવો.

જવાબ

સ્કેલિંગની જરૂરિયાત:

| પેરામીટર | ફાયદો | પ્રભાવ |
|----------------|--------------------------|---------------------------|
| એરિયા રિડક્શન | ચિપ દીઠ વધુ ટ્રાન્ઝિસ્ટર | ઊંચી ઇન્ટિગ્રેશન ડેન્સિટી |
| સ્પીડ ઇન્ક્રીઝ | ઓછી ડીલે | બહેતર પર્ફોર્મન્સ |
| પાવર રિડક્શન | ઓછો પાવર વપરાશ | પોર્ટેબલ ડિવાઇસ |
| કોસ્ટ રિડક્શન | ફેબ્રિકેશન દીઠ સસ્તું | માર્કેટ કોમ્પિટિટિવનેસ |

સ્કેલિંગના પ્રકાર:



સ્કેલિંગ અસરો:

- ફુલ વોલ્ટેજ સ્કેલિંગ: ઇલેક્ટ્રિક ફીલ્ડ અચળ રહે છે. પાવર ડેન્સિટી અચળ રહે છે.
- કોન્સ્ટન્ટ વોલ્ટેજ સ્કેલિંગ: ઇલેક્ટ્રિક ફીલ્ડ વધે છે. પાવર ડેન્સિટી નોંધપાત્ર રીતે વધે છે.

મેમરી ટ્રીક

“સ્કેલિંગ સેવ કરે સ્પેસ, સ્પીડ અને સ્પેન્ડિંગ”

પ્રશ્ન 2(a) [3 ગુણ]

FPGA પર ટૂંકનોંધ લખો.

જવાબ

FPGA લાક્ષણિકતાઓ:

| લક્ષણ | વર્ણન | ફાયદો |
|--------------------|---------------------------------|-----------------------|
| ફીલ્ડ પ્રોગ્રામેબલ | મેન્યુફેક્ચરિંગ પછી કોન્ફિગરેબલ | ડિઝાઇનમાં લવચીકતા |
| ગેટ એરે | લોજિક બ્લોક્કનું એરે | પેરેલલ પ્રોસેસિંગ |
| રિકોન્ફિગરેબલ | ફરીથી પ્રોગ્રામ કરી શકાય | પ્રોટોટાઇપ ડેવલપમેન્ટ |

વિગતો:

- એપ્લિકેશન: ડિજિટલ સિગ્નલ પ્રોસેસિંગ, એમ્બેડેડ સિસ્ટમ, પ્રોટોટાઇપિંગ.
- આર્કિટેક્ચર: CLBs (Configurable Logic Blocks) જે પ્રોગ્રામેબલ રાઉટિંગથી જોડાયેલા હોય છે.

- પ્રોગ્રામિંગ: સામાન્ય રીતે SRAM-આધારિત (વોલેટાઇલ).

મેમરી ટ્રીક

“FPGA: ફ્લેક્સિબલ પ્રોગ્રામિંગ ફોર ગેટ એરે”

પ્રશ્ન 2(b) [4 ગુણ]

સેમી કસ્ટમ અને ફુલ કસ્ટમ ડિઝાઇન મેથોડોલોજી સરખાવો.

જવાબ

સરખામણી:

| પેરામીટર | સેમી-કસ્ટમ | ફુલ કસ્ટમ |
|------------------|-------------------------|------------------------------------|
| ડિઝાઇન ટાઇમ | ઓછો (અઠવાડિયા) | વધુ (મહિના) |
| કોસ્ટ | ઓછો ડેવલપમેન્ટ કોસ્ટ | વધુ ડેવલપમેન્ટ કોસ્ટ |
| પરફોર્મન્સ | મધ્યમ પરફોર્મન્સ | સર્વોચ્ચ પરફોર્મન્સ |
| એરિયા એફિશિયન્સી | ઓછી કાર્યક્ષમ | સૌથી કાર્યક્ષમ |
| એપ્લિકેશન | ASICs, મધ્યમ વોલ્યુમ | માઇક્રોપ્રોસેસર, ઊંચો વોલ્યુમ |
| ડિઝાઇન એફર્ટ | સ્ટાન્ડર્ડ સેલ વપરાય છે | દરેક ટ્રાન્ઝિસ્ટર મેન્યુઅલી ડિઝાઇન |

મેમરી ટ્રીક

“સેમી-કસ્ટમ છે સ્ટાન્ડર્ડ, ફુલ કસ્ટમ છે ફાઇનેસ્ટ”

પ્રશ્ન 2(c) [7 ગુણ]

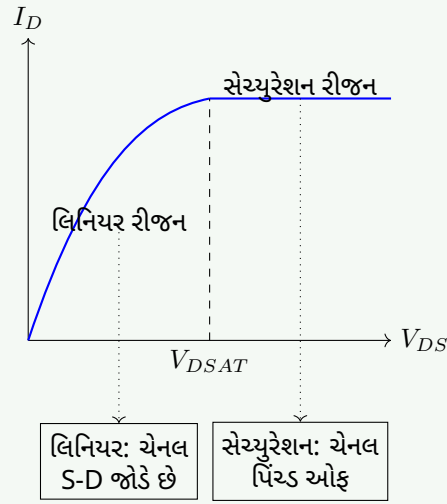
1) $0 < V_{DS} < V_{DSAT}$ 2) $V_{DS} = V_{DSAT}$ 3) $V_{DS} > V_{DSAT}$ માટે MOSFET ઓપરેશન સમજાવો.

જવાબ

ઓપરેટિંગ રીજન:

| રીજન | કન્ડિશન | ચેનલ સ્થિતિ | કરંટ (I_D) |
|-------------------|---------------------|---------------------------|----------------------|
| લિનિયર | $V_{DS} < V_{DSAT}$ | યુનિફોર્મ ચેનલ | $\propto V_{DS}$ |
| સેચ્યુરેશન ઓન્સેટ | $V_{DS} = V_{DSAT}$ | ટ્રેઇન પર પિંચ-ઓફ શરૂ થાય | મેક્સિમમ લિનિયર કરંટ |
| સેચ્યુરેશન | $V_{DS} > V_{DSAT}$ | પિંચ ઓફ ચેનલ | અચળ (Constant) |

આકૃતિ:



આકૃતિ 2. MOSFET I-V લાક્ષણિકતા

વિશ્લેષણ:

- **લિનિયર રીજન:** ચેનલ વોલ્ટેજ-કંટ્રોલ્ડ રેઝિસ્ટર તરીકે વર્તે છે. I_D , V_{DS} સાથે લિનિયરલી વધે છે.
- **સેચ્યુરેશન રીજન:** ડ્રેઈન છેડે ચેનલ પિંચ ઓફ થાય છે. કરંટ ઇલેક્ટ્રિક ફીલ્ડ ડ્રિફ્ટને લીધે વહે છે. I_D , V_{DS} થી સ્વતંત્ર બને છે.
- V_{DSAT} : સેચ્યુરેશન વોલ્ટેજ, સામાન્ય રીતે $V_{GS} - V_T$.

મેમરી ટ્રીક

“લિનિયર લાઇક્સ V_{DS} , સેચ્યુરેશન સેઝ નો મોર”

પ્રશ્ન 2(a) OR [3 ગુણ]

સ્ટાન્ડર્ડ સેલ બેઝડ ડિઝાઇન સમજાવો.

જવાબ**ઓવરવ્યુ:**

| કમ્પોનન્ટ | વર્ણન | ફાયદો |
|-----------------|---|--------------------------|
| સ્ટાન્ડર્ડ સેલ | પ્રી-ડિઝાઇનડ લોજિક ગેટ (AND, OR, FF) | ઝડપી ડિઝાઇન સાઇકલ |
| સેલ લાઇબ્રેરી | ફિઝિકલ લેઆઉટ સાથે લાક્ષણિક સેલનો સંગ્રહ | અનુમાનિત પરફોર્મન્સ |
| પ્લેસ એન્ડ રાઉટ | ઓટોમેટેડ લેઆઉટ જનરેશન | મેન્યુઅલ પ્રયાસમાં ઘટાડો |

ડિઝાઇન ફ્લો:

- લોજિક સિન્થેસિસ → પ્લેસમેન્ટ → રાઉટિંગ → વેરિફિકેશન.
- EDA ટૂલ્સ જટિલ ભૌતિક અમલીકરણ સંભાળે છે.
- પરફોર્મન્સ, એરિયા અને પાવર વચ્ચે સંતુલન પૂરું પાડે છે.

મેમરી ટ્રીક

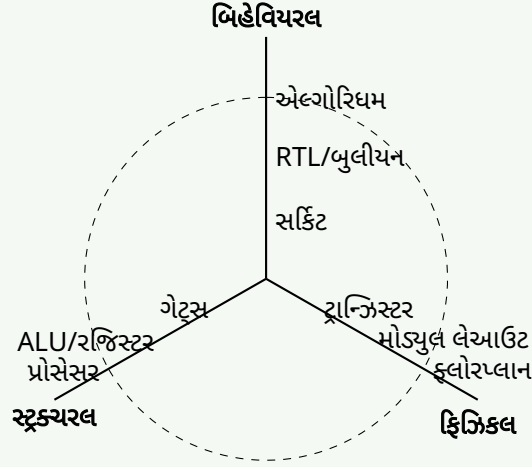
“સ્ટાન્ડર્ડ સેલ સ્પીડ અપ કરે સિન્થેસિસ”

પ્રશ્ન 2(b) OR [4 ગુણ]

Y ચાર્ટ દોરો અને સમજાવો.

જવાબ

ગાજસકી-કુહન Y-ચાર્ટ:



આકૃતિ 3. Y-ચાર્ટ રજૂઆત

ડોમેઇન:

- બિહેવિયરલ: સિસ્ટમ શું કરે છે તે વર્ણવે છે (કાર્યક્ષમતા).
- સ્ટ્રક્ચરલ: ઘટકો કેવી રીતે જોડાયેલા છે તે વર્ણવે છે.
- ફિઝિકલ: અમલીકરણની ભૂમિતિ અને લેઆઉટ વર્ણવે છે.

મેમરી ટ્રીક

“Y-ચાર્ટ: બિહેવિયર, સ્ટ્રક્ચર, ફિઝિકલ”

પ્રશ્ન 2(c) OR [7 ગુણ]

MOSFET કરંટ-વોલ્ટેજ કેરેક્ટરિસ્ટિક માટે ગ્રેજુઅલ ચેનલ એપ્રોક્સિમેશન સમજાવો.

જવાબ

ગ્રેજુઅલ ચેનલ એપ્રોક્સિમેશન (GCA):

ધારણાઓ:

| ધારણા | વર્ણન | જસ્ટિફિકેશન |
|---------------|--|---|
| ગ્રેજુઅલ ચેનલ | ચેનલ સાથે ફીલ્ડનો ફેરફાર (y) \ll લંબ ફેરફાર (x). | લોંગ ચેનલ ડિવાઇસ ($L \gg t_{ox}$) માટે માન્ય. |
| 1D એનાલિસિસ | કરંટ મુખ્યત્વે y -દિશામાં (સોર્સથી ડ્રેઇન) વહે છે. | પોટેન્શિયલ એનાલિસિસ સરળ બનાવે છે. |
| ડ્રિફ્ટ કરંટ | ડિફ્યુઝન કરંટ અવગણવામાં આવે છે. | સ્ટ્રોંગ ઇન્વર્શનમાં મુખ્ય મિકેનિઝમ. |

ડેરિવેશન સારાંશ:

- ઇન્ડ્યુસ્ડ ચાર્જ ડેન્સિટી: $Q_n(y) = -C_{ox}[V_{GS} - V(y) - V_T]$.
- ડ્રેઇન કરંટ: $I_D = -W\mu_n Q_n(y) \frac{dV}{dy}$.

- $y = 0$ થી L અને $V = 0$ થી V_{DS} સુધી ઇન્ટિગ્રેટ કરતા:

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

મર્યાદાઓ:

- શોર્ટ ચેનલ ઇફેક્ટ: જ્યારે L અને ડ્રીપ્લેશન વિડથ સરખાવી શકાય ત્યારે GCA નિષ્ફળ જાય છે.
- વેલોસિટી સેચ્યુરેશન: હાઇ ફીલ્ડ સાથે કેરિયર વેલોસિટી લિનિયરલી વધતી નથી.

મેમરી ટ્રીક

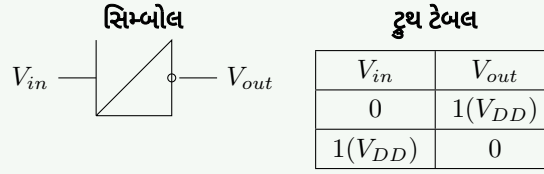
“ગ્રેજુઅલ ચેન્જ ગિવ સિમ્પલ ગેઇન એક્વેશન”

પ્રશ્ન 3(a) [3 ગુણ]

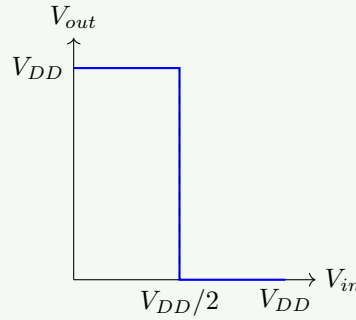
આઈડલ ઇન્વર્ટરનો સિમ્બોલ દોરો અને ટ્રુથ ટેબલ લખો. આઈડલ ઇન્વર્ટર માટે VTC દોરો અને સમજાવો.

જવાબ

આઈડલ ઇન્વર્ટર:



વોલ્ટેજ ટ્રાન્સફર કેરેક્ટરિસ્ટિક (VTC):



આકૃતિ 4. આઈડલ VTC

લાક્ષણિકતાઓ:

- સ્વિચિંગ થ્રેશોલ્ડ $(V_{DD}/2)$ પર અનંત ગેઇન.
- નોઇઝ માર્જિન $NM_H = NM_L = V_{DD}/2$.
- સ્ટેડી સ્ટેટમાં શૂન્ય પાવર વપરાશ.

મેમરી ટ્રીક

“આઈડલ ઇન્વર્ટર: અનંત ગેઇન, ઇન્સ્ટન્ટ સ્વિચિંગ”

પ્રશ્ન 3(b) [4 ગુણ]

જનરાલાઇઝ્ડ ઇન્વર્ટર સર્કિટ VTC સાથે સમજાવો.

જવાબ

જનરાલાઇઝ્ડ ઇન્વર્ટર સ્ટ્રક્ચર:

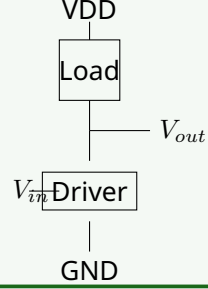
ઘટકો:

1. ડ્રાઇવર: પુલ-ડાઉન NMOS ટ્રાન્ઝિસ્ટર.
2. લોડ: પુલ-અપ ડિવાઇસ (રેઝિસ્ટર/ટ્રાન્ઝિસ્ટર).
3. ઓપરેશન: ઇનપુટ ડ્રાઇવરની ON/OFF સ્થિતિ અલગ કરે છે.

VTC રીજન:

- રીજન 1 (હાઇ આઉટપુટ): $V_{in} < V_T$. ડ્રાઇવર OFF, લોડ $V_{OH} \approx V_{DD}$ સુધી ખેંચે છે.
- રીજન 2 (ટ્રાન્ઝિશન): બંને ડિવાઇસ કન્ડક્ટિંગ. વોલ્ટેજ તીવ્ર રીતે ઘટે છે.
- રીજન 3 (લો આઉટપુટ): V_{in} હાઇ. ડ્રાઇવર ON (લિનિયર). $V_{out} = V_{OL}$.

સર્કિટ:



મેમરી ટ્રીક

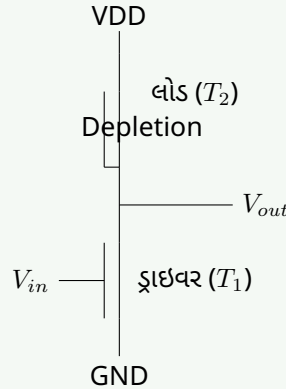
“જનરાલાઇઝ્ડ ડિઝાઇન: ડ્રાઇવર પુલ ડાઉન, લોડ લિફ્ટ અપ”

પ્રશ્ન 3(c) [7 ગુણ]

ડીપ્લેશન લોડ nMOS ઇન્વર્ટર તેની સર્કિટ, ઓપરેટિંગ રીજન અને VTC સાથે સમજાવો.

જવાબ

ડીપ્લેશન લોડ NMOS ઇન્વર્ટર:



આકૃતિ 5. ડીપ્લેશન લોડ ઇન્વર્ટર સર્કિટ

ઓપરેટિંગ રીજન:

| ઇનપુટ સ્ટેટ | ડ્રાઇવર (T_1) | લોડ (T_2) | આઉટપુટ |
|--------------------------|-------------------|-----------------|-------------------|
| $V_{in} < V_{TN}$ (Low) | OFF (કટઓફ) | ON (લિનિયર) | $V_{OH} = V_{DD}$ |
| V_{in} ટ્રાન્ઝિશન | સેચ્યુરેશન | સેચ્યુરેશન | Falling |
| $V_{in} > V_{IH}$ (High) | ON (લિનિયર) | ON (સેચ્યુરેશન) | V_{OL} (નાનું) |

VTC લાક્ષણિકતાઓ:

- હાઇ આઉટપુટ: કુલ V_{DD} કારણ કે ડીપ્લેશન લોડ સંપૂર્ણ પુલ-અપ કરે છે.

- ટ્રાન્ઝિશન: તીવ્ર, સારા નોઇઝ માર્જિન પ્રદાન કરે છે.
- લો આઉટપુટ: નોન-ઝીરો $V_{OL} \approx 0$.

મેમરી ટ્રીક

“ડીપ્લેશન ડિવાઇસ ડિલિવર કરે ડીસેન્ટ ડ્રાઇવ”

પ્રશ્ન 3(a) OR [3 ગુણ]

નોઇઝ માર્જિન સમજાવો.

જવાબ

વ્યાખ્યા: નોઇઝ માર્જિન એ ઇનપુટ સિગ્નલમાં ઉમેરી શકાતો મેક્સિમમ નોઇઝ વોલ્ટેજ છે જે આઉટપુટની લોજિક સ્ટેટમાં ફેરફાર કરતું નથી. તે નોઇઝ ઇમ્યુનિટી માપે છે.

પેરામીટર:

| પેરામીટર | ફોર્મ્યુલા | વર્ણન |
|----------|-------------------|----------------------------|
| NMH | $V_{OH} - V_{IH}$ | હાઇ નોઇઝ માર્જિન |
| NML | $V_{IL} - V_{OL}$ | લો નોઇઝ માર્જિન |
| V_{OH} | - | મિનિમમ આઉટપુટ હાઇ વોલ્ટેજ |
| V_{OL} | - | મેક્સિમમ આઉટપુટ લો વોલ્ટેજ |
| V_{IH} | - | મિનિમમ ઇનપુટ હાઇ વોલ્ટેજ |
| V_{IL} | - | મેક્સિમમ ઇનપુટ લો વોલ્ટેજ |

મેમરી ટ્રીક

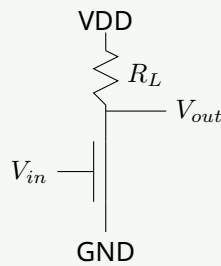
“નોઇઝ માર્જિન મેઇન્ટેઇન કરે સિગ્નલ ઇન્ટેગ્રિટી”

પ્રશ્ન 3(b) OR [4 ગુણ]

રેઝિસ્ટિવ લોડ ઇન્વર્ટર સમજાવો.

જવાબ

સર્કિટ અને એનાલિસિસ:



આકૃતિ 6. રેઝિસ્ટિવ લોડ ઇન્વર્ટર

ઓપરેશન:

- ઇનપુટ લો: NMOS OFF. આઉટપુટ R_L દ્વારા V_{DD} પર ખેંચાય છે.
- ઇનપુટ હાઇ: NMOS ON. કરંટ R_L અને NMOS માં વહે છે. આઉટપુટ $V_{OL} = V_{DD} \frac{R_{MN}}{R_{MN} + R_L}$.

ગેરફાયદા:

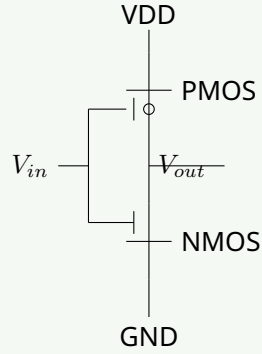
- ચિપ પર રેજિસ્ટર માટે મોટો વિસ્તાર જરૂરી.
- આઉટપુટ લો હોય ત્યારે સ્ટેટિક પાવર વપરાશ (V_{DD}^2/R_L).

મેમરી ટ્રીક

“રેજિસ્ટર રિસ્ટ્રિક્ટ કરે કરંટ, રિડ્યુસ કરે પર્ફોર્મન્સ”

પ્રશ્ન 3(c) OR [7 ગુણ]

CMOS ઇન્વર્ટર તેની VTC સાથે સમજાવો.

જવાબ**CMOS ઇન્વર્ટર:**

આકૃતિ 7. CMOS ઇન્વર્ટર સર્કિટ

VTC રીજન અને ઓપરેશન:

| રીજન | ઇનપુટ રેન્જ | PMOS | NMOS | આઉટપુટ |
|------|---------------------------------------|-------------|-------------|-----------|
| 1 | $V_{in} < V_{TN}$ | ON (લિનિયર) | OFF | V_{DD} |
| 2 | $V_{TN} < V_{in} < V_{DD}/2$ | ON (Lin) | ON (Sat) | હાઇ ટ્રોપ |
| 3 | $V_{in} \approx V_{DD}/2$ | સેચ્યુરેશન | સેચ્યુરેશન | સ્વિચ |
| 4 | $V_{DD}/2 < V_{in} < V_{DD} + V_{TP}$ | ON (Sat) | ON (Lin) | લો ટ્રોપ |
| 5 | $V_{in} > V_{DD} + V_{TP}$ | OFF | ON (લિનિયર) | 0 |

ફાયદા: - શૂન્ય સ્ટેટિક પાવર. - કુલ રેલ-ટુ-રેલ લોજિક સ્વિંગ. - હાઇ નોઇઝ માર્જિન.

મેમરી ટ્રીક

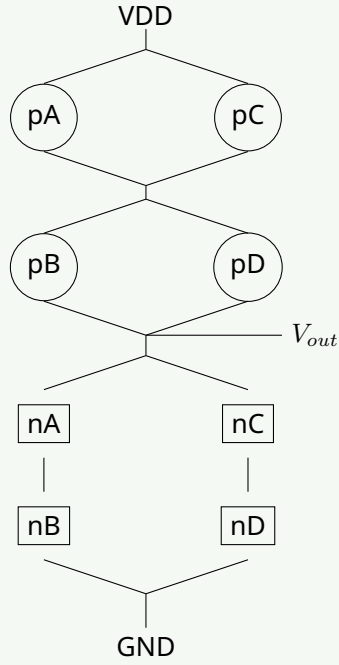
“CMOS: કોમ્પ્લિમેન્ટરી ફોર કોમ્પ્લીટ પર્ફોર્મન્સ”

પ્રશ્ન 4(a) [3 ગુણ]

AOI CMOS ઇમ્પ્લિમેન્ટેશન સાથે દોરો.

જવાબ

AOI લોજિક: $Y = \overline{AB + CD}$
 CMOS ઇમ્પ્લિમેન્ટેશન:



આકૃતિ 8. AOI CMOS સર્કિટ

મેમરી ટ્રીક

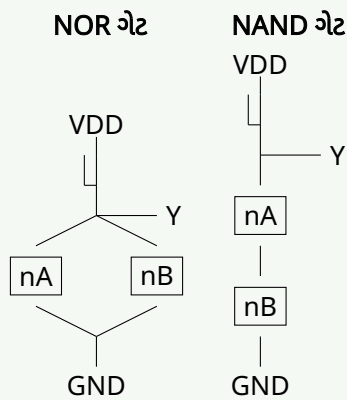
“AOI: AND-OR પછી ઇન્વર્ટ”

પ્રશ્ન 4(b) [4 ગુણ]

બે ઇનપુટ NOR અને NAND ગેટ ડીપ્લેશન લોડ nMOS થી બનાવો.

જવાબ

ડીપ્લેશન લોડ ગેટ્સ:



ટ્રુથ ટેબલ:

| A | B | NOR | NAND |
|---|---|-----|------|
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 |

મેમરી ટ્રીક

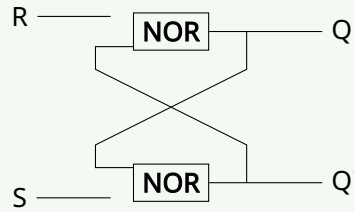
“NOR ને કંઈ હાઇ નહીં જોઈએ, NAND ને બધું હાઇ જોઈએ લો થવા માટે”

પ્રશ્ન 4(c) [7 ગુણ]

NOR2 અને NAND2 ગેટનો ઉપયોગ કરીને CMOS SR લેચ ઇમ્પ્લિમેન્ટ કરો.

જવાબ

NOR ગેટ વડે SR લેચ:



આકૃતિ 9. SR લેચ લોજિક સિમ્બોલ

CMOS ઇમ્પ્લિમેન્ટેશન (NOR લેચ): બે CMOS NOR2 ગેટ ક્રોસ-કપ્લડ ઇનપુટ સાથે.

- ટોપ NOR: ઇનપુટ R અને Q'. આઉટપુટ Q'.
- બોટમ NOR: ઇનપુટ S અને Q. આઉટપુટ Q'.

સ્ટેટ ટેબલ:

| S | R | Q(n+1) | એક્શન |
|---|---|--------|--------|
| 0 | 0 | Q(n) | હોલ્ડ |
| 0 | 1 | 0 | રીસેટ |
| 1 | 0 | 1 | સેટ |
| 1 | 1 | 0 | અમાન્ય |

મેમરી ટ્રીક

“SR લેચ: સેટ-રીસેટ વિથ ક્રોસ-કપ્લડ ગેટ”

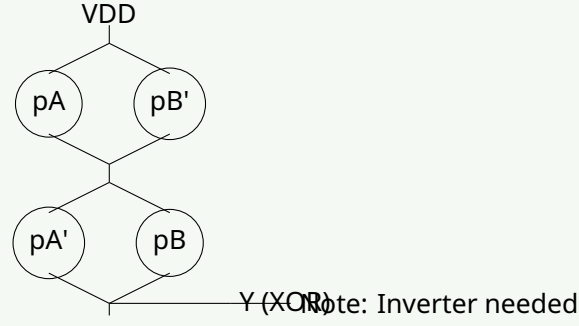
પ્રશ્ન 4(a) OR [3 ગુણ]

CMOS નો ઉપયોગ કરીને XOR ફંક્શન ઇમ્પ્લિમેન્ટ કરો.

જવાબ

XOR ફંક્શન: $Y = A \oplus B = A\bar{B} + \bar{A}B$. ઇન્વર્ટેડ લોજિક: $\bar{Y} = \overline{A\bar{B} + \bar{A}B} = (A + B)(\bar{A} + \bar{B}) = XNOR$. સામાન્ય રીતે XOR 12 ટ્રાન્ઝિસ્ટર (ઇન્વર્ટર સાથે) અથવા ટ્રાન્સમિશન ગેટ (6-8 ટ્રાન્ઝિસ્ટર) નો ઉપયોગ કરીને બનાવવામાં આવે છે.

સ્ટેટિક CMOS (12T): PDN માં XNOR બનાવો અને ઇન્વર્ટ કરો. PDN: પેરેલલ (A સીરીઝ B') અને (A' સીરીઝ B). PUN: સીરીઝ (A પેરેલલ B') અને (A' પેરેલલ B).



આકૃતિ 10. CMOS સ્ટ્રક્ચર (લોજિક એનાલિસિસ)

મેમરી ટ્રીક

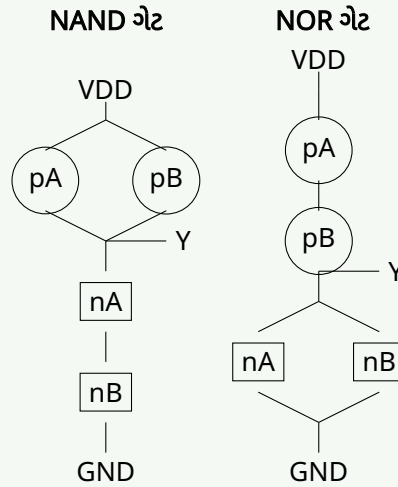
"XOR: એક્સક્લુસિવ OR, અલગ ઇનપુટ આપે 1"

પ્રશ્ન 4(b) OR [4 ગુણ]

બે ઇનપુટ NOR અને NAND ગેટ CMOS થી બનાવો.

જવાબ

CMOS ગેટ્સ:



મેમરી ટ્રીક

"NAND: પેરેલલ PMOS, સીરીઝ NMOS. NOR: સીરીઝ PMOS, પેરેલલ NMOS."

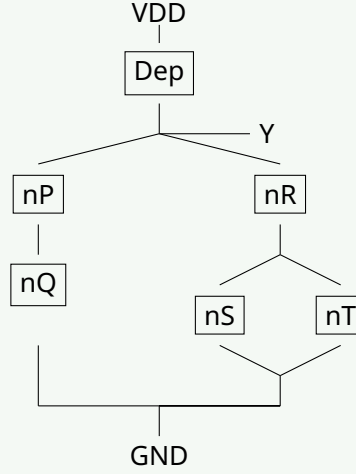
પ્રશ્ન 4(c) OR [7 ગુણ]

$Y = [PQ + R(S+T)]$ બુલિયન સમીકરણ ડીપ્લેશન લોડ nMOS અને CMOS થી ઇમ્પ્લિમેન્ટ કરો.

જવાબ

ફંક્શન: $Y = \overline{PQ} + R(S + T)$

1. ડીપ્લેશન લોડ nMOS: PDN ઇન્વર્શન વગર ફંક્શન ઇમ્પ્લિમેન્ટ કરે છે. સ્ટ્રક્ચર: S સમાંતરમાં T , R સાથે શ્રેણીમાં. આ બ્લોક P શ્રેણીમાં Q સાથે સમાંતરમાં.



આકૃતિ 11. ડીપ્લેશન લોડ ઇમ્પ્લિમેન્ટેશન

2. CMOS ઇમ્પ્લિમેન્ટેશન: PDN ઉપર મુજબ જ છે. PUN ડ્યુઅલ છે. સ્ટ્રક્ચર: $(P||Q)$ સીરીઝમાં $(R||(S \text{ શ્રેણી } T))$.

પ્રશ્ન 5(a) [3 ગુણ]

વેરિલોગમાં ઉપયોગ થતી ડિઝાઇન સ્ટાઇલ સમજાવો.

જવાબ

વેરિલોગ ડિઝાઇન સ્ટાઇલ:

| સ્ટાઇલ | વર્ણન | ઉદાહરણ |
|-----------|--|------------------------|
| ગેટ લેવલ | પ્રિમિટિવ ગેટ (and, or, not) નો ઉપયોગ કરીને સ્ટ્રક્ચરલ મોડેલિંગ. | and g1(y, a, b); |
| ડેટા ફ્લો | કંટિન્યુઅસ એસાઇનમેન્ટનો ઉપયોગ કરીને સિગ્નલ ફ્લો વર્ણવે છે. | assign y = a & b; |
| બિહેવિયરલ | પ્રોસિજરલ બ્લોકનો ઉપયોગ કરીને કાર્યક્ષમતા વર્ણવે છે. | always @(*) y = a & b; |

મેમરી ટ્રીક: ગેટ-ડેટા-બિહેવિયર: મોડેલ કરવાની ત્રણ રીત

પ્રશ્ન 5(b) [4 ગુણ]

બિહેવિયરલ મોડેલિંગ થી કુલ એડર માટે વેરિલોગ પ્રોગ્રામ લખો.

જવાબ

```

1 module full_adder_behavioral (
2     input wire a, b, cin,
3     output reg sum, cout
4 );
5
6 always @(*) begin
7     case ({a, b, cin})

```

```

8      3'b000: {cout, sum} = 2'b00;
9      3'b001: {cout, sum} = 2'b01;
10     3'b010: {cout, sum} = 2'b01;
11     3'b011: {cout, sum} = 2'b10;
12     3'b100: {cout, sum} = 2'b01;
13     3'b101: {cout, sum} = 2'b10;
14     3'b110: {cout, sum} = 2'b10;
15     3'b111: {cout, sum} = 2'b11;
16     default: {cout, sum} = 2'b00;
17 endcase
18 end
19 endmodule

```

પ્રશ્ન 5(c) [7 ગુણ]

CASE સ્ટેટમેન્ટનું ફંક્શન વર્ણવો. CASE સ્ટેટમેન્ટનો ઉપયોગ કરીને 3x8 ડિકોડરનો વેરિલોગ કોડ લખો.

જવાબ

CASE સ્ટેટમેન્ટ: મલ્ટિ-વે બ્રાન્ચિંગ કન્સ્ટ્રક્ટ. લક્ષણો:

- એક્સપ્રેશનને કેસ આર્ગ્યુમેન્ટ સાથે સરખાવે છે.
- પ્રથમ મેચિંગ આર્ગ્યુમેન્ટ એક્ઝિક્યુટ કરે છે.
- default આર્ગ્યુમેન્ટ અનમેચ કેસોને કવર કરે છે.

3x8 ડિકોડર:

```

1 module decoder_3x8 (
2     input wire [2:0] sel,
3     input wire en,
4     output reg [7:0] y
5 );
6 always @(*) begin
7     if (en) begin
8         case (sel)
9             3'b000: y = 8'b00000001;
10            3'b001: y = 8'b00000010;
11            3'b010: y = 8'b00000100;
12            3'b011: y = 8'b00001000;
13            3'b100: y = 8'b00010000;
14            3'b101: y = 8'b00100000;
15            3'b110: y = 8'b01000000;
16            3'b111: y = 8'b10000000;
17            default: y = 8'b00000000;
18        endcase
19    end else y = 0;
20 end
21 endmodule

```

પ્રશ્ન 5(a) OR [3 ગુણ]

2:1 મલ્ટિપ્લેક્સર ઇમ્પ્લિમેન્ટ કરતો વેરિલોગ કોડ લખો.

જવાબ

```

1 // Behavioral
2 module mux21 (input a, b, s, output reg y);
3     always @(*) begin
4         if(s) y = b;
5         else y = a;
6     end
7 endmodule
8
9 // Data Flow
10 module mux21_df (input a, b, s, output y);
11     assign y = s ? b : a;
12 endmodule

```

પ્રશ્ન 5(b) OR [4 ગુણ]

બિહેવિયરલ મોડેલિંગ થી D ફ્લિપ-ફ્લોપ માટે વેરિલોગ પ્રોગ્રામ લખો.

જવાબ

```

1 module d_ff (
2     input clk, rst, d,
3     output reg q, qbar
4 );
5 always @(posedge clk or posedge rst) begin
6     if (rst) begin
7         q <= 0;
8         qbar <= 1;
9     end else begin
10        q <= d;
11        qbar <= ~d;
12    end
13 end
14 endmodule

```

પ્રશ્ન 5(c) OR [7 ગુણ]

ટેસ્ટબેચ ટૂંકમાં વર્ણવો. 4-બિટ ડાઉન કાઉન્ટર ઇમ્પ્લિમેન્ટ કરવાનો વેરિલોગ કોડ લખો.

જવાબ

ટેસ્ટબેચ: ડિઝાઇન ફંક્શનલિટી ચકાસવા માટે વપરાતું મોડ્યુલ, જે ઉત્તેજના (ઇનપુટ) આપે છે અને પ્રતિભાવો (આઉટપુટ) મોનિટર કરે છે. તે નોન-સિન્થેસાઇઝેબલ છે.

4-બિટ ડાઉન કાઉન્ટર:

```

1 module down_counter (
2     input clk, rst, en,
3     output reg [3:0] count
4 );
5 always @(posedge clk or posedge rst) begin
6     if (rst) count <= 4'b1111;
7     else if (en) count <= count - 1;
8 end

```



```
9  endmodule
```

ટેસ્ટબેચ કોડ:

```
1  module tb_counter;  
2      reg clk, rst, en;  
3      wire [3:0] count;  
4  
5      down_counter dut (clk, rst, en, count);  
6  
7      always #5 clk = ~clk;  
8  
9      initial begin  
10         clk=0; rst=1; en=0;  
11         #10 rst=0; en=1;  
12         #200 $finish;  
13     end  
14  
15     initial $monitor("T=%t C=%b", $time, count);  
16 endmodule
```