

Subject Name (Gujarati)

4353206 -- Winter 2024

Semester 1 Study Material

Detailed Solutions and Explanations

પ્રશ્ન 1(અ) [3 ગુણ]

એનહેન્સમેન્ટ અને ડિપ્લેશન ટાઇપ MOSFET માટે બધા સિમ્બોલ દોરો.

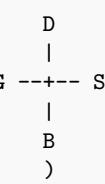
જવાબ

આકૃતિ:

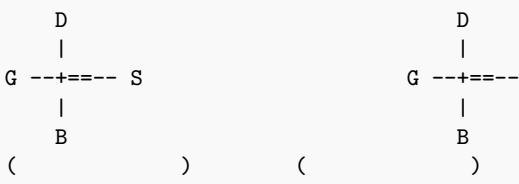
Enhancement Type NMOS:



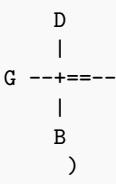
Enhancement Type PMOS:



Depletion Type NMOS:



Depletion Type PMOS:



- એનહેન્સમેન્ટ MOSFET: સોર્સ અને ફ્રેન્ચ વચ્ચે સામાન્ય કનેક્શન લાઈન
- ડિપ્લેશન MOSFET: અસ્થિત્વમાં રહેલ ચેનલ દર્શાવતી જાડી લાઈન
- એરો દિશા: NMOS માટે અંદરની તરફ, PMOS માટે બહારની તરફ

મેમરી ટ્રીક

"Enhancement ને વોલ્ટેજ જોઈએ, Depletion માં ડિફોલ્ટ ચેનલ"

પ્રશ્ન 1(બ) [4 ગુણ]

વ્યાખ્યા આપો: 1) હાઈરારકી 2) રેગ્યુલારીટી

જવાબ

પરિભાષા

વ્યાખ્યા

ઉપયોગ

હાઈરારકી

ટોપ-ડાઉન ડિઝાઇન અભિગમ જેમાં જટિલ સિસ્ટમને નાના, વ્યવસ્થિત મોડ્યુલમાં વિભાજિત કરાય છે

VLSI ડિઝાઇન ફ્લોમાં સિસ્ટમ લેવલથી ટ્રાન્ઝિસ્ટર લેવલ સુધી વપરાય છે

રેગ્યુલારીટી

જટિલતા ઘટાડવા માટે પુનરાવર્તિત સમાન સ્ટ્રક્ચરનો ઉપયોગ કરતો ડિઝાઇન તકનીક

મેમરી એરે, પ્રોસેસર ડેટાપાથમાં નિયમિત સ્ટ્રક્ચર વપરાય છે

- હાઈરારકીના ફાયદા: સરળ ડિઝાઇન વેરિફિકેશન, મોડ્યુલર ટેસ્ટિંગ, ટીમ કોલેબોરેશન
- રેગ્યુલારીટીના ફાયદા: ઓછો ડિઝાઇન સમય, બહેતર ચોલ, સરળ લેઆઉટ
- ડિઝાઇન ફ્લો: સિસ્ટમ \rightarrow RTL \rightarrow
- નિયમિત સ્ટ્રક્ચર: ROM એરે, કેશ મેમરી, ALU બ્લોક

મેમરી ટ્રીક

“હાઈરારકી હેલ્પ કરે ઓર્ગેનાઇઝ કરવામાં, રેઝુલારીટી રિજ્યુસ કરે કોમ્પ્લેક્સટી”

પ્રશ્ન 1(ક) [7 ગુણ]

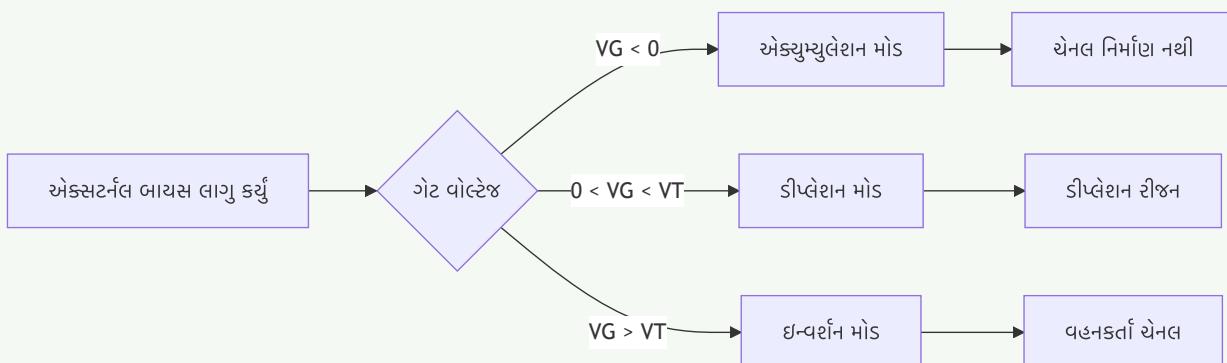
MOS અનડર એક્સટર્નલ બાયસ સમજાવો.

જવાબ

MOS બાયસ કન્ડિશન કોષ્ટક:

બાયસ કન્ડિશન	ગેટ વોલ્ટેજ	ચેનલ નિર્માણ	કરંટ ફ્લો
એક્યુમ્યુલેશન	$VG < 0$ (NMOS)	મેજોરિટી કેરિયર એક્ટ્રાયાન્ડ થાય છે	ચેનલ નથી
ડીપ્લેશન	$0 < VG < VT$	ડીપ્લેશન રીજન બને છે	ન્યૂનતમ કરંટ
ઇન્વર્શન	$VG > VT$	માઇનોરિટી કેરિયર ચેનલ બનાવે છે	ચેનલ વહન કરે છે

આફ્ટિંગ:



- બેન્ડ બેન્ડિંગ: એક્સટર્નલ વોલ્ટેજ ઓક્સાઇડ-સિલિકોન ઇન્ટરફેસ પર એનજી બેન્ડ વાળે છે
- શ્રેશોદ વોલ્ટેજ: ચેનલ નિર્માણ માટે જરૂરી ન્યૂનતમ ગેટ વોલ્ટેજ
- સરફેસ પોટેન્શિયલ: સિલિકોન સરફેસ પર કેરિયર કોન્સ્ટ્રેશન કંટ્રોલ કરે છે
- કેપેસિટન્સ વેરિએશન: બાયસ કન્ડિશન સાથે બદલાય છે

મેમરી ટ્રીક

“એક્યુમ્યુલેશન આકર્ષ, ડીપ્લેશન ડિપ્લીટ કરે, ઇન્વર્શન ઇન્વર્ટ કરે કેરિયર”

પ્રશ્ન 1(ક) OR [7 ગુણ]

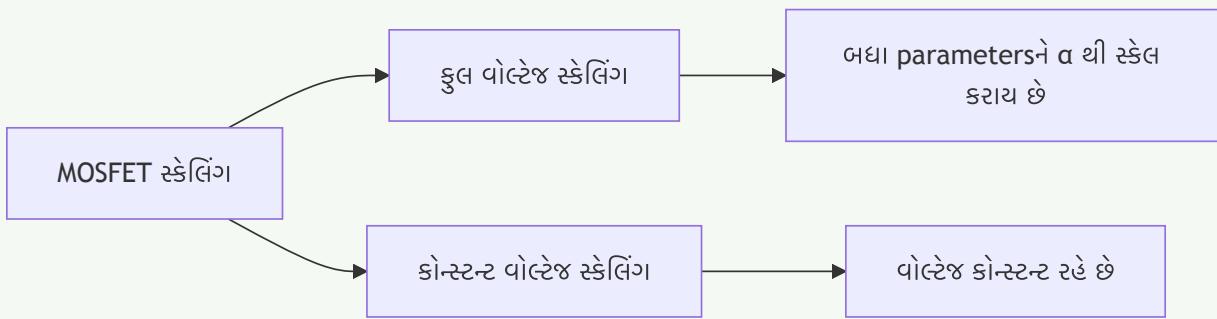
સ્કેલિંગની શું જરૂરિયાત છે? સ્કેલિંગના ટાઈપ તેની ઈફેક્ટ સાથે સમજાવો.

જવાબ

સ્કેલિંગની જરૂરિયાત:

પેરામીટર	કાયદો	પ્રભાવ
એરિયા રિડક્શન	ચિપ દીઠ વધુ ટ્રાન્ઝિસ્ટર	ઊંચી ઇન્ટ્રેશન ડેન્સિટી
સ્પીડ ઇન્કીઝ	ઓછી ડીલે	બહેતર પરફોર્માન્સ
પાવર રિડક્શન	ઓછો પાવર વપરાશ	પોર્ટબલ ડિવાઇસ
કોસ્ટ રિડક્શન	ફુક્શન દીઠ સસ્તું	માર્કેટ કોમ્પ્લેટિભનેસ

સ્કેલિંગના પ્રકાર:



- કુલ વોલ્ટેજ સ્કેલિંગ: લેન્થ, વિડથ, વોલ્ટેજ બધું હશે ફેક્ટર દ્વારા સ્કેલ
- કોન્સ્ટન્ટ વોલ્ટેજ સ્કેલિંગ: ડાઇમેન્શન સ્કેલ, વોલ્ટેજ અપરિવર્તિત
- પાવર ડેન્સિટી: કુલ સ્કેલિંગમાં કોન્સ્ટન્ટ રહે, કોન્સ્ટન્ટ વોલ્ટેજમાં વધે
- ઇલેક્ટ્રિક ફીલ્ડ: કુલ સ્કેલિંગમાં મેન્ટેઇન થાય છે

મેમરી ટ્રીક

"સ્કેલિંગ સેવ કરે સ્પેસ, સ્પીડ અને સ્પેન્ડિંગ!"

પ્રશ્ન 2(અ) [3 ગુણ]

FPGA પર ટૂંકનોંધ લખો.

જવાબ

FPGA લાક્ષણિકતાઓ કોષ્ટક:

લક્ષણ	વર્ણન	ફાયદો
ફીલ્ડ પ્રોગ્રામેબલ ગેટ એરે	મેન્યુફુક્ચરિંગ પછી કોન્ફિગરેબલ લોજિક બ્લોકનું એરે	ડિઝાઇનમાં લવચીકતા પેરેલલ પ્રોસેસિંગ
રિકોન્ફિગરેબલ	ફરીથી પ્રોગ્રામ કરી શકાય	પ્રોટોટાઇપ ડેવલપમેન્ટ

- એપ્લિકેશન: ડિજિટલ સિચલ પ્રોસેસિંગ, એમ્બેડ્ડ સિસ્ટમ, પ્રોટોટાઇપિંગ
- આર્કિટેક્ચર: CLBs (કોન્ફિગરેબલ લોજિક બ્લોક) રાઉટિંગ મેટ્રિક્સ દ્વારા કનેક્ટેડ
- પ્રોગ્રામ્બિંગ: SRAM-આધારિત કોન્ફિગરેશન મેમરી
- વેન્ડર: Xilinx, Altera (Intel), Microsemi

મેમરી ટ્રીક

"FPGA: ફ્લોક્સબલ પ્રોગ્રામ્બિંગ ફોર ગેટ એરે"

પ્રશ્ન 2(બ) [4 ગુણ]

સેમી કસ્ટમ અને કુલ કસ્ટમ ડિઝાઇન મેથોડોલોજી સરખાવો.

જવાબ

પેરામીટર	સેમી-કસ્ટમ	કુલ કસ્ટમ
ડિઝાઇન ટાઈમ	ઓછો (અઠવાડિયા)	વધુ (મહિના)
કોસ્ટ	ઓછો ડેવલપમેન્ટ કોસ્ટ	વધુ ડેવલપમેન્ટ કોસ્ટ
પરફોર્મન્સ	મધ્યમ પરફોર્મન્સ	સર્વોચ્ચ પરફોર્મન્સ
એરિયા એફિશિયન્સી	ઓછી કાર્યક્ષમ	સૌથી કાર્યક્ષમ
એપ્લિકેશન	ASICs, મધ્યમ વોલ્યુમ	માઇકોપોસેસર, ઊંચો વોલ્યુમ

ડિજાઇન એફ્ક્ટ

સ્ટાન્ડર્ડ સેલ વપરાય છે દરેક ટ્રાન્ઝિસ્ટર ડિજાઇન કરાય છે

- સેમી-કસ્ટમ: પ્રી-ડિજાઇન સ્ટાન્ડર્ડ સેલ અને ગેટ એરેનો ઉપયોગ કરે છે
- કુલ કસ્ટમ: સંપૂર્ણ ટ્રાન્ઝિસ્ટર-લેવલ ડિજાઇન ઓપ્ટિમાઇઝેશન
- ડ્રેન-ઓફ: સમય વર્સિસ પરફોર્મન્સ, કોસ્ટ વર્સિસ એફીશિયન્સી
- માર્કેટ ફિલ્ડ: મોટાભાગના એપ્લિકેશન માટે સેમી-કસ્ટમ, સ્પેશિયલાઇઝ જરૂરિયાત માટે કુલ કસ્ટમ

મેમરી ટ્રીક

"સેમી-કસ્ટમ છે સ્ટાન્ડર્ડ, કુલ કસ્ટમ છે ફાઇનેસ્ટ"

પ્રશ્ન 2(ક) [7 ગુણ]

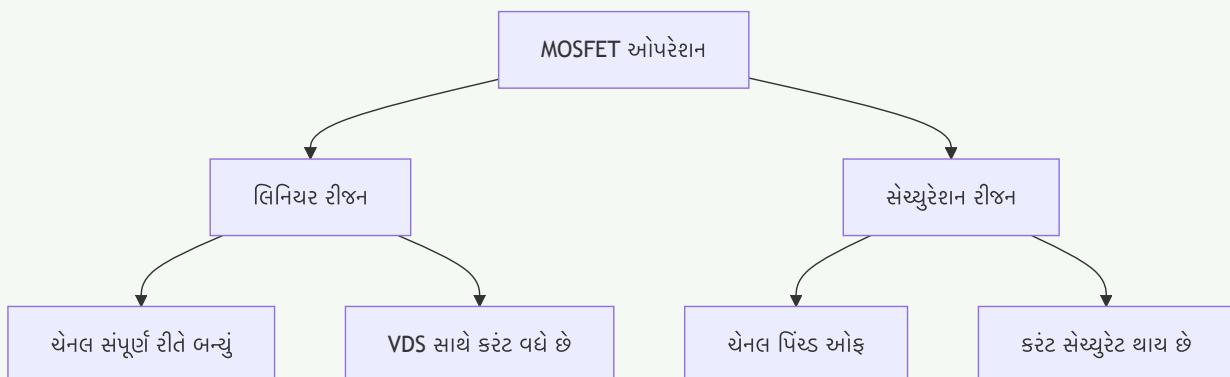
1) $0 < VDS < VDSAT$ 2) $VDS = VDSAT$ 3) $VDS > VDSAT$ માટે MOSFET ઓપરેશન સમજાવો.

જવાબ

ઓપરેટિંગ રીજન:

રીજન	કન્ડિશન	ચેનલ	કરંટ બિહેવિયર
લિનિયર	$0 < VDS < VDSAT$	યુનિફોર્મ ચેનલ	$ID \propto VDS$
સેચ્યુરેશન ઓન્-સેટ	$VDS = VDSAT$	પિંચ-ઓફ શરૂ થાય છે	મેક્સિમમ લિનિયર કરંટ
સેચ્યુરેશન	$VDS > VDSAT$	પિંચ ચેનલ	$ID \text{ કોન્સ્ટન્ટ}$

આફ્ટિસ:



- લિનિયર રીજન: ચેનલ વોલ્ટેજ-કંટ્રોલ રેજિસ્ટર તરીકે કામ કરે છે
- સેચ્યુરેશન રીજન: કરંટ માત્ર ગેટ વોલ્ટેજ દ્વારા કંટ્રોલ થાય છે
- $VDSAT$ કેલ્ક્યુલેશન: $VDSAT = VGS - VT$
- કરંટ સમીકરણો: દરેક રીજન માટે અલગ મેથેમેટિકલ મોડેલ

મેમરી ટ્રીક

"લિનિયર લાઇકસ VDS , સેચ્યુરેશન સેઝ નો મોર"

પ્રશ્ન 2(અ) OR [3 ગુણ]

સ્ટાન્ડર્ડ સેલ વેગા ડિજાઇન સમજાવો.

જવાબ

સ્ટાન્ડર્ડ સેલ ડિજાઇન કોષ્ટક:

કમ્પોનેન્ટ	વર્ણન	ફાયદો
સ્ટાન્ડર્ડ સેલ	પ્રી-ડિજાઇન લોજિક ગેટ	જડપી ડિજાઇન

- પ્રોસેસ: લોજિક સિન્થેસિસ → → →
- સેલ પ્રકાર: બેસિક ગેટ, ફિલિપ-ફ્લોપ, લેય, કોમ્પ્લેક્સ ફ્લોપ
- ઓટોમેશન: EDA ટૂલ ફિઝિકલ ઇમ્પિલમેન્ટેશન હેન્ડલ કરે છે
- કવોલિટી: બેલેન્ડ પરફોર્મન્સ, એરિયા અને પાવર

મેમરી ટ્રીક

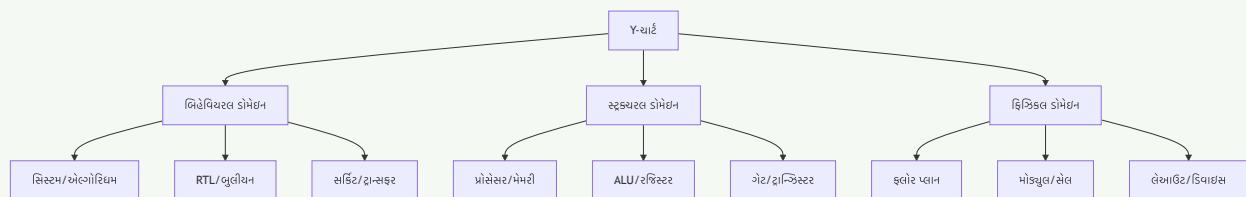
"સ્ટાન્ડર્ડ સેલ સ્પીડ અપ કરે સિન્થેસિસ"

પ્રશ્ન 2(બ) OR [4 ગુણ]

Y ચાર્ટ દ્વારો અને સમજાવો.

જવાબ

આફ્ટિ:



ડોમેઇન	વર્ણન	ઉદાહરણ
બિહેવિયરલ	સિસ્ટમ શું કરે છે	એલોરિધમ, RTL કોડ
સ્ટ્રક્ચરલ	સિસ્ટમ કેવી રીતે બને છે	ગેટ, મોડ્યુલ, પ્રોસેસર
ફિઝિકલ	ફિઝિકલ ઇમ્પિલમેન્ટેશન	લેઆઉટ, ફ્લોરપ્લાન, માસ્ક

- ડિઝાઇન ફ્લો: બાધ્ય રિંગ (સિસ્ટમ) થી અંદરની રિંગ (ડિવાઇસ) તરફ જવું
- એબ્સ્ટ્રેક્શન લેવલ: દરેક રિંગ અલગ વિગતનું સ્તર દર્શાવે છે
- ડોમેઇન ઇન્ટરેક્શન: સમાન એબ્સ્ટ્રેક્શન પર ડોમેઇન વચ્ચે મૂવ થઈ શકાય
- VLSI ડિઝાઇન: ત્રણોય ડોમેઇન અને એબ્સ્ટ્રેક્શન લેવલ કવર કરે છે

મેમરી ટ્રીક

"Y-ચાર્ટ: બિહેવિયર, સ્ટ્રક્ચર, ફિઝિકલ"

પ્રશ્ન 2(ક) OR [7 ગુણ]

MOSFET કર્નટ-વોલ્ટેજ કેરેક્ટરિસ્ટિક માટે ગ્રેજુઅલ ચેનલ એપ્રોક્સિમેશન સમજાવો.

જવાબ

ધારણાઓ:

ધારણા	વર્ણન	જસ્ટિફિકેશન
ગ્રેજુઅલ ચેનલ	ચેનલ લેન્થ >> ચેનલ ડેપ્થ	લોંગ ચેનલ ડિવાઇસ
1D એનાલિસિસ	કર્નટ માત્ર X-દિશામાં ફ્લો થાય છે	મેથેમેટિકસ સરળ બનાવે છે
ડિફ્ફ્રેક્ટ કર્નટ	ડિફ્ફ્રેક્ટ કર્નટ નેગેલેક્ટ કરવો	હાઇ ફીલ્ડ કન્ડિશન
ચાર્જ શીટ	મોબાઇલ ચાર્જ પાતળી શીટમાં	નાની ઇન્વર્શન લેયર

કરંટ ડેરિવેશન:

- ડ્રેઇન કરંટ: $ID = nCox(W/L) [(VGS-VT)VDS - VDS^2/2]$
- લિનિયર રીજન: જ્યારે $VDS < VGS - VT$
- સેચ્યુરેશન: જ્યારે $VDS \geq VGS - VT, ID = nCox(W/2L)(VGS - VT)^2$
- ચેનલ ચાર્જ: સોર્સથી ડ્રેઇન સુધી લિનિયર રીતે વેરી થાય છે

મર્યાદાઓ:

- શોર્ટ ચેનલ ઇફ્ક્યુન્ટ: ગ્રેજુઅલ એપ્રોક્સિમેશન બ્રેક ડાઉન થાય છે
- વેલોસિટી સેચ્યુરેશન: હાઇ ફીલ્ડ ઇફ્ક્યુન્ટ ઇન્કલુડ નથી
- 2D ઇફ્ક્યુન્ટ: સિમ્પલ મોડેલમાં અવગણાય છે

મેમરી ટ્રીક

"ગ્રેજુઅલ ચેન્જ ગિવ સિમ્પલ ગેઇન એક્વેશન"

પ્રશ્ન 3(અ) [3 ગુણ]

આઈડલ ઇન્વર્ટરનો સિમ્બોલ દોરો અને ટુથ ટેબલ લખો. આઈડલ ઇન્વર્ટર માટે VTC દોરો અને સમજાવો.

જવાબ

સિમ્બોલ અને ટુથ ટેબલ:

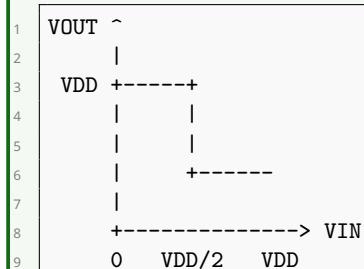
```

1   VIN ----->|>0----- VOUT
2           NOT

```

VIN	VOUT
0	1
1	0

VTC (વોલ્ટેજ ટ્રાન્સફર કેરેક્ટરિસ્ટિક):



- આઈડલ લાક્ષણિકતા: $VDD/2$ પર તીવ્ર સંક્રમણ
- નોઇઝ માર્જિન: $NMH = NML = VDD/2$
- ગેઇન: સ્વચ્છ પોઇન્ટ પર અનંત
- પાવર કંજામ્પશન: શૂન્ય સ્ટેટિક પાવર

મેમરી ટ્રીક

"આઈડલ ઇન્વર્ટર: અનંત ગેઇન, ઇન્સ્ટન્ટ સ્વચ્છા"

પ્રશ્ન 3(બ) [4 ગુણ]

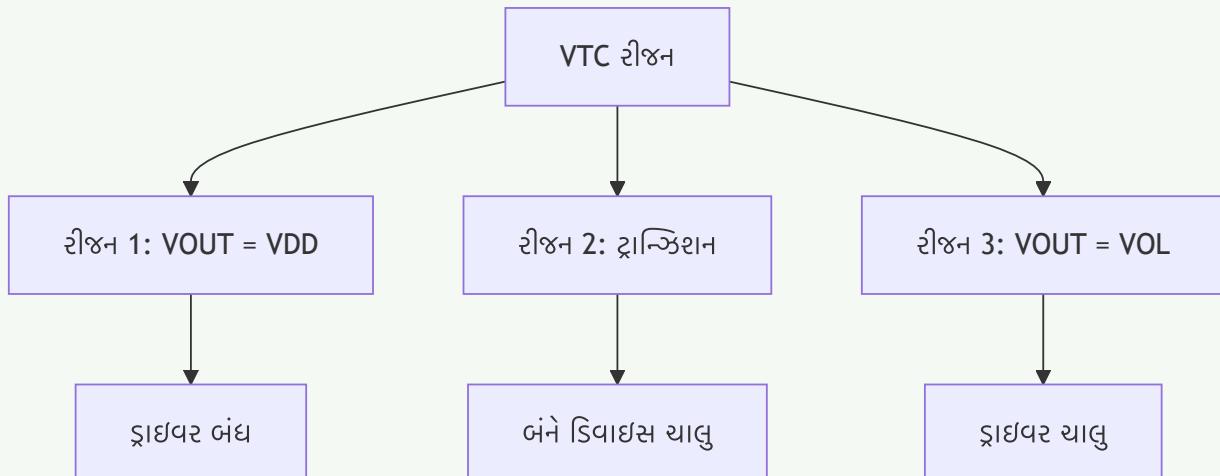
જનરાલાઈડ ઇન્વર્ટર સર્કિટ VTC સાથે સમજાવો.

જવાબ

સર્કિટ કોન્ફિગરેશન:

ક્રમોનન્ટ	ફુંક્શન	લાક્ષણિકતા
ડ્રાઇવર ટ્રાન્ઝિસ્ટર લોડ ડિવાઇસ સપ્લાય વોલ્ટેજ	પુલ-ડાઉન ડિવાઇસ પુલ-અપ એલિમેન્ટ પાવર સોર્સ	સ્વચિંગ કંટ્રોલ કરે છે હાઇ આઉટપુટ પ્રદાન કરે છે લોજિક લેવલ નક્કી કરે છે

VTC રીજન:



- લોડ લાઇન એનાલિસિસ: ડ્રાઇવર અને લોડની લાક્ષણિકતાઓનું આંતરછેદ
- સ્વચિંગ થ્રેશોલ્ડ: ડિવાઇસ સાઇઝનો દ્વારા નક્કી થાય છે
- નોઇજ માર્જિન: ટ્રાન્ઝિશન શાપનેસ પર આધાર રાખે છે
- પાવર ડિસિપેશન: ટ્રાન્ઝિશન દરમિયાન સ્ટેટિક કરું

મેમરી ટ્રીક

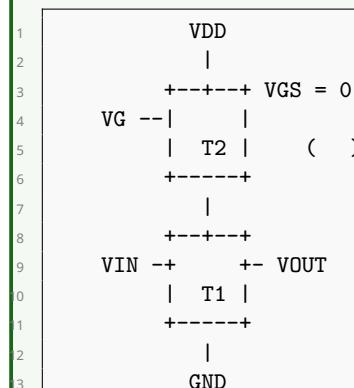
“જનરાલાઈઝડ ડિઝાઇન: ડ્રાઇવર પુલ ડાઉન, લોડ લિફ્ટ અપ”

પ્રશ્ન 3(ક) [7 ગુણ]

ડીપ્લેશન લોડ nMOS ઇન્વર્ટર તેની સર્કિટ, ઓપરેટિંગ રીજન અને VTC સાથે સમજાવો.

જવાબ

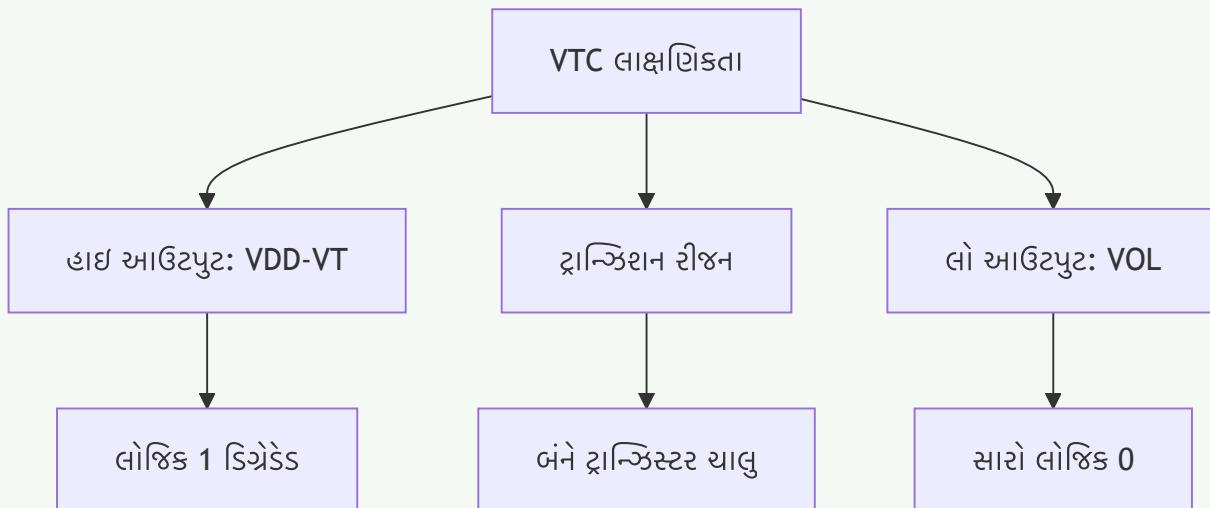
સર્કિટ આકૃતિ:



ઓપરેટિંગ રીજન:

ઇનપુટ સ્ટેટ	T1 સ્ટેટ	T2 સ્ટેટ	આઉટપુટ
$VIN = 0$	બંધ	ચાલુ (ડીપ્લેશન)	$VOUT = VDD - VT$
$VIN = VDD$	ચાલુ	ચાલુ (રેજિસ્ટ્રિવ)	$VOUT = VOL$

VTC એનાલિસિસ:



- ફાયદા: સિમ્પલ ફેબ્રિકેશન, સારી ડ્રાઇવ કેપેબિલિટી
- નુકસાન: ડિગ્રેડ હાઇ આઉટપુટ, સ્ટેટિક પાવર કન્જમ્પશન
- એપ્લિકેશન: પ્રારંભિક NMOS લોજિક ફેમિલી
- ડિઝાઇન વિચારણા: વિડથ રેશિયો સ્વિચિંગ પોઇન્ટને અસર કરે છે

મેમરી ટ્રીક

“ડીપ્લેશન ડિવાઇસ ડિલિવર કરે ડીસેન્ટ ડ્રાઇવ”

પ્રશ્ન 3(અ) OR [3 ગુણ]

નોઇજ માર્જિન સમજાવો.

જવાબ

વ્યાખ્યા અને પેરામીટર:

પેરામીટર	વર્ણન	ફોર્મ્યુલા
NMH	હાઇ નોઇજ માર્જિન	$NMH = VOH - VIH$
NML	લો નોઇજ માર્જિન	$NML = VIL - VOL$
VOH	આઉટપુટ હાઇ વોલ્ટેજ	મિનિમમ હાઇ આઉટપુટ
VOL	આઉટપુટ લો વોલ્ટેજ	મેક્સિમમ લો આઉટપુટ
VIH	ઇનપુટ હાઇ થ્રેશોલ્ડ	મિનિમમ ઇનપુટ હાઇ
VIL	ઇનપુટ લો થ્રેશોલ્ડ	મેક્સિમમ ઇનપુટ લો

- મહત્વ: સક્રિયની નોઇજ સામે પ્રતિરોધકતાનું માપ
- ડિઝાઇન લક્ષ્ય: NMH અને NML બત્તેને મેક્સિમમાઇઝ કરો
- ટ્રેક-ઓફ: નોઇજ માર્જિન વર્સિસ સ્પીડ વર્સિસ પાવર
- એપ્લિકેશન: ડિજિટલ સિસ્ટમ ડિઝાઇનમાં મહત્વપૂર્ણ

મેમરી ટ્રીક

“નોઇજ માર્જિન મેન્ટેનન કરે સિશ્રલ ઇન્ટેગ્રિટી”

પ્રશ્ન 3(બ) OR [4 ગુણ]

રેજિસ્ટર લોડ ઇન્વર્ટર સમજાવો.

જવાબ

સર્કિટ અને એનાલિસિસ:

ક્રમોનન્ટ	ફુંક્શન	લાક્ષણિકતા
NMOS ટ્રાન્ઝિસ્ટર લોડ રેજિસ્ટર પાવર સખાય	સ્વિચિંગ ડિવાઇસ પુલ-અપ એલિમેન્ટ વોલ્ટેજ સોર્સ	વેરિએબલ રેજિસ્ટન્સ ફિક્સડ રેજિસ્ટન્સ RL VDD પ્રદાન કરે છે

ઓપરેટિંગ પ્રિન્સિપલ:

- હાઇ ઇનપુટ: ટ્રાન્ઝિસ્ટર ચાલુ, $V_{OUT} = ID \times RL()$
- લો ઇનપુટ: ટ્રાન્ઝિસ્ટર બંધ, $V_{OUT} = V_{DD}$ (હાઇ)
- કરંટ પાથ: આઉટપુટ લો હોય ત્યારે હુમેશા રેજિસ્ટર દ્વારા
- પાવર કન્જામ્પશન: સ્ટેટિક પાવર = V_{DD}^2 / RL

ફાયદા અને નુકસાન:

- સિમ્પલ ડિગ્રાઇન: સમજવામાં અને ઇમ્પિલમેન્ટ કરવામાં સરળ
- ખરાબ પરફોર્મન્સ: હાઇ સ્ટેટિક પાવર, સલો સ્વિચિંગ
- મર્યાદિત ઉપયોગ: મુખ્યત્વે કોન્સેપ્ટ સમજવા માટે

મેમ્સ્ટ્રી ટ્રીક

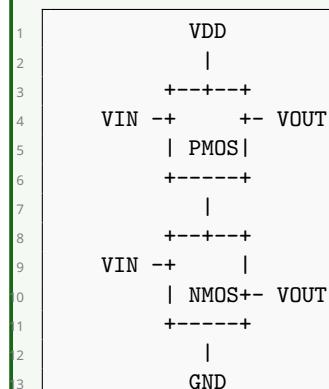
"રેજિસ્ટર રિસ્ટ્રિક્ટ કરે કરંટ, રિઝ્યુસ કરે પરફોર્મન્સ"

પ્રશ્ન 3(ક) OR [7 ગુણ]

CMOS ઇન્વાર્ટર તેની VTC સાથે સમજાવો.

જવાબ

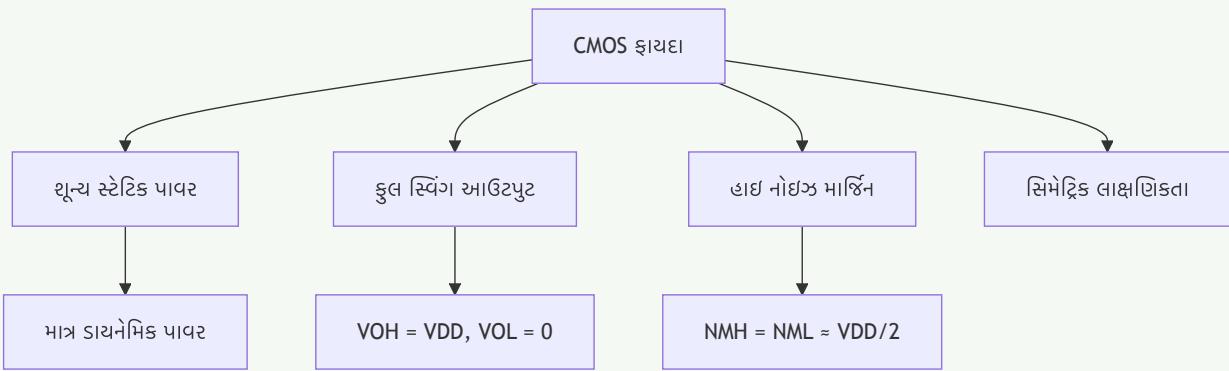
સર્કિટ કોન્ફિગરેશન:



VTC રીજન:

રીજન	ઇનપુટ રેઝ	PMOS સ્ટેટ	NMOS સ્ટેટ	આઉટપુટ
1	$V_{IN} < V_{TN}$	ચાલુ	બંધ	V_{DD}
2	$V_{TN} < V_{IN} < V_{DD}/2$	ચાલુ	ચાલુ	ટ્રાન્ઝિશન
3	$V_{DD}/2 < V_{IN} < V_{DD}+V_{TP}$	ચાલુ	ચાલુ	ટ્રાન્ઝિશન
4	$V_{IN} > V_{DD}+V_{TP}$	બંધ	ચાલુ	0

મુખ્ય લાક્ષણિકતાઓ:



- કોમ્પ્લિમેન્ટરી ઓપરેશન: સ્ટેડી સ્ટેટમાં માત્ર એક ટ્રાન્ઝિસ્ટર વહન કરે છે
- સ્વિંગ પોઇન્ટ: PMOS/NMOS રેશિયો દ્વારા નક્કી થાય છે
- પાવર એફિચિયન્સી: ન્યૂનતમ સ્ટેટિક પાવર કન્જમ્પશન
- નોઇજ ઇમ્પુનિટી: ઉત્તમ નોઇજ માર્જિન

મેમરી ટ્રીક

“CMOS: કોમ્પ્લિમેન્ટરી ફોર કોમ્પ્લીટ પરફોર્મન્સ”

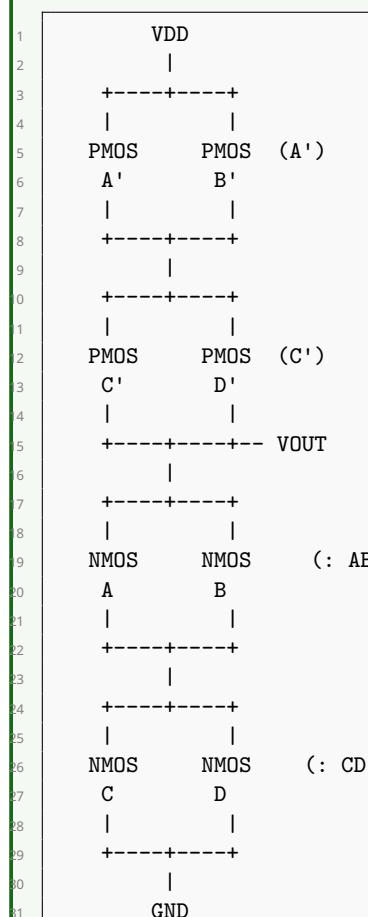
પ્રશ્ન 4(અ) [3 ગુણ]

AOI CMOS ઇમ્પ્લિકેશન સાથે દોરો.

જવાબ

AOI (AND-OR-INVERT) લોજિક: $Y = (AB + CD)'$

CMOS ઇમ્પ્લિમેન્ટેશન:



- પુલ-અપ નેટવર્ક: PMOS ટ્રાન્ઝિસ્ટર સીરીજ-પેરેલલમાં
- પુલ-ડાઉન નેટવર્ક: NMOS ટ્રાન્ઝિસ્ટર પેરેલલ-સીરીજમાં
- ડ્યુઆલિટી: પુલ-અપ અને પુલ-ડાઉન કોમ્પ્લેમેન્ટ છે

મેમરી ટ્રીક

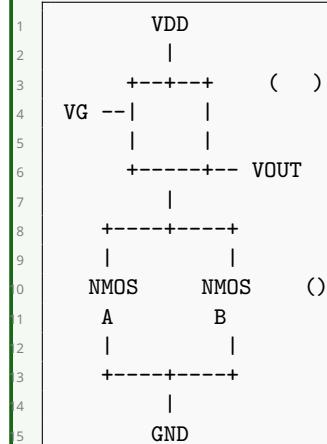
“AOI: AND-OR પછી ઇન્વર્ટ”

પ્રશ્ન 4(બ) [4 ગુણા]

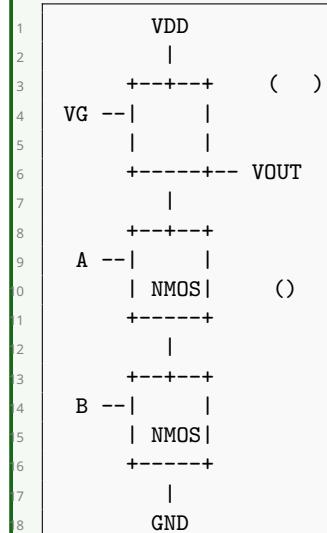
એ ઇનપુટ NOR અને NAND ગેગ કીએલેશન લોડ nMOS થી બનાવો.

જવાબ

NOR ગેગ:



NAND ગેગ:



ટુથ ટેબલ:

A	B	NOR	NAND
0	0	1	1
0	1	0	1
1	0	0	1
1	1	0	0

મેમરી ટ્રીક

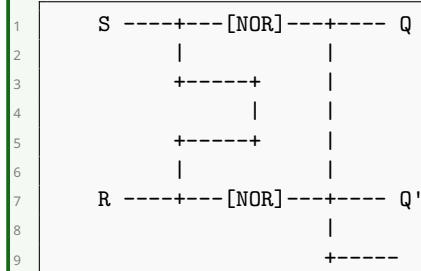
“NOR ને કંઈ હાઇ નહીં જોઈએ, NAND ને બધું હાઇ જોઈએ લો થવા માટે”

પ્રશ્ન 4(ક) [7 ગુણ]

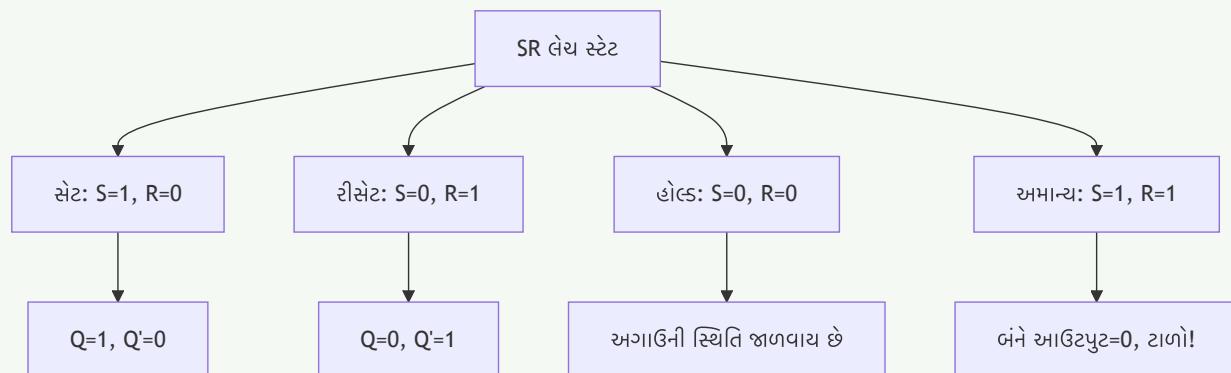
NOR2 અને NAND2 ગેટનો ઉપયોગ કરીને CMOS SR લેચ ઇમ્પિલમેન્ટ કરો.

જવાબ

NOR ગેટ વડે SR લેચ:



CMOS NOR ગેટ ઇમ્પિલમેન્ટેશન:



સ્ટેટ ટેબલ:

S	R	Q(n+1)	Q'(n+1)	એકશન
0	0	Q(n)	Q'(n)	હોફ્ટ
0	1	0	1	રીસેટ
1	0	1	0	સેટ
1	1	0	0	અમાન્ય

- કોસ-કપદ સ્ક્ર્યુર: દરેક ગેટનું આઉટપુટ બીજાના ઇનપુટને ફીડ કરે છે
- બાઇસ્ટેબલ ઓપરેશન: બે સ્થિર અવસ્થા (સેટ અને રીસેટ)
- મેમરી એલિમેન્ટ: એક બિટ માહિતી સ્ટોર કરે છે
- કલોક ઇન્ડિપેન્નન્સ: એસિન્કોન્સ ઓપરેશન

મેમરી ટ્રીક

“SR લેચ: સેટ-રીસેટ વિથ કોસ-કપદ ગેટ”

પ્રશ્ન 4(બ્ય) OR [3 ગુણ]

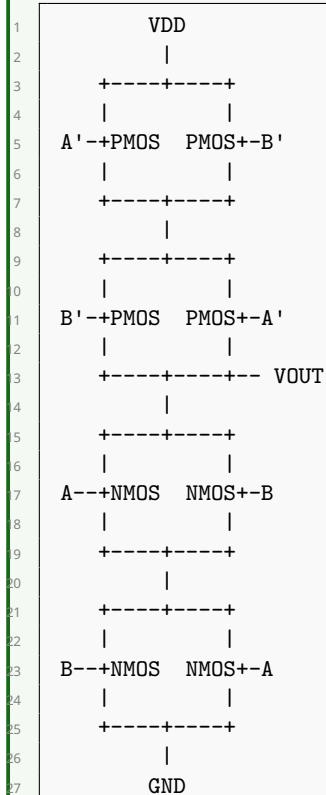
CMOS નો ઉપયોગ કરીને XOR ફંક્શન ઇમ્પિલમેન્ટ કરો.

જવાબ

XOR ટુથ ટેબલ:

A	B	$Y = A$
0	0	0
0	1	1
1	0	1
1	1	0

CMOS XOR ઇમ્પિલમેન્ટેશન:



- ફક્શન: $Y = AB' + A'B$
- ટ્રાન્ઝિસ્ટર કાઉન્ટ: 8 ટ્રાન્ઝિસ્ટર (4 PMOS + 4 NMOS)
- વિકલ્પ: ટ્રાન્સમિશન ગેટ ઇમ્પિલમેન્ટેશન

મેમરી ટ્રીક

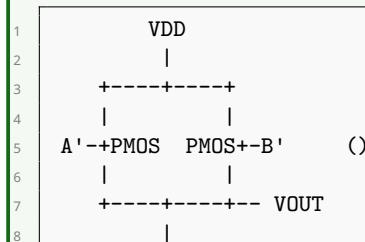
“XOR: એકસકલુસિવ OR, અલગ ઇનપુટ આપે 1”

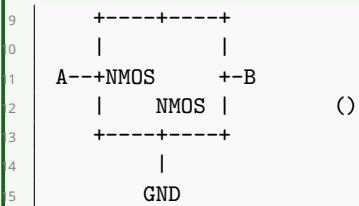
પ્રશ્ન 4(બ) OR [4 ગુણ]

બે ઇનપુટ NOR અને NAND ગેટ CMOS થી બનાવો.

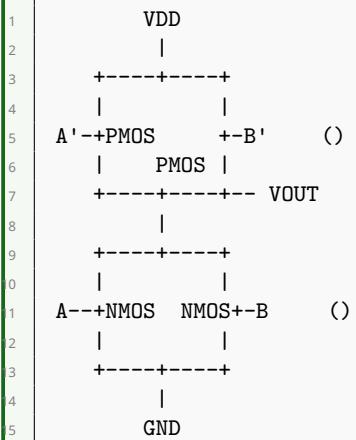
જવાબ

CMOS NOR ગેટ:





CMOS NAND ગેટ:



ડિજાઇન નિયમો:

ગેટ	પુલ-અપ નેટવર્ક	પુલ-ડાઉન નેટવર્ક
NAND	PMOS પેરેલલમાં	NMOS સીરીઝમાં
NOR	PMOS સીરીઝમાં	NMOS પેરેલલમાં

મેમરી ટ્રીક

“NAND: નોટ AND, NOR: નોટ OR - નેટવર્ક કોમ્પિલમેન્ટ કરો”

પ્રશ્ન 4(ક) OR [7 ગુણ]

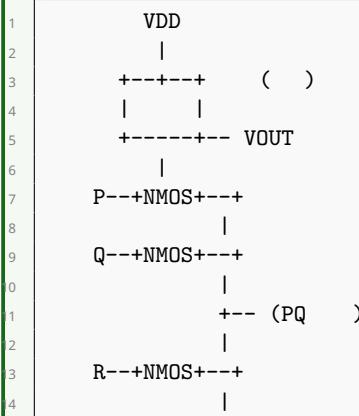
$Y=[PQ+R(S+T)]'$ બુલિયન સમીકરણ ડિપ્લેશન લોડ nMOS અને CMOS થી ઇમ્પિલમેન્ટ કરો.

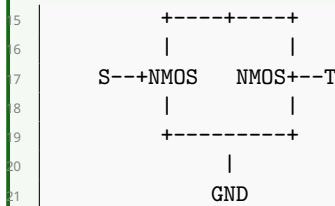
જવાબ

બુલિયન એનાલિસિસ:

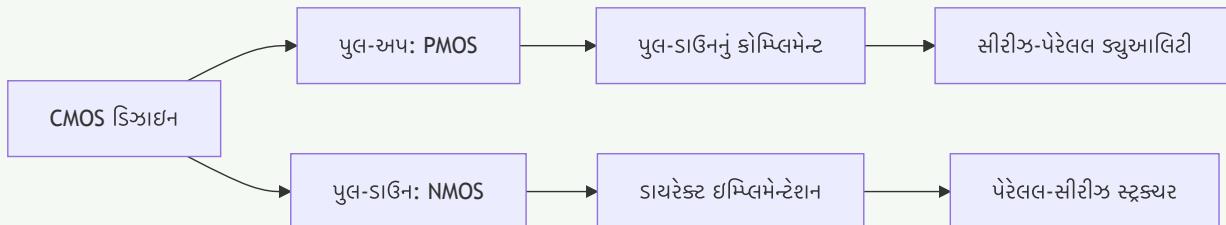
- ફુકશન: $Y = [PQ + R(S+T)]'$
- વિસ્તૃત: $Y = [PQ + RS + RT]'$
- ડે મોર્ગન: $Y = (PQ)' \cdot (RS)' \cdot (RT)'$
- અંતિમ: $Y = (P'+Q') \cdot (R'+S') \cdot (R'+T)'$

nMOS ઇમ્પિલમેન્ટેશન:





CMOS ઇમ્પલેમેન્ટેશન:



- nMOS લાક્ષણિકતા: સિમ્પલ પણ સ્ટેટિક પાવર સાથે
- CMOS ફાયદા: સ્ટેટિક પાવર નથી, કુલ સ્વિંગ
- જટિલતા: nMOS માટે 7 ટ્રાન્ઝિસ્ટર, CMOS માટે 14
- પરફોર્માન્સ: CMOS ઝડપી અને વધુ કાર્યક્ષમ

મેમરી ટ્રીક

“બુલિયન ટુ સર્કિટ: nMOS સિમ્પલ, CMOS કોમ્પલીટ”

પ્રશ્ન 5(અ) [3 ગુણ]

વેરિલોગમાં ઉપયોગ થતી ડિઝાઇન સ્ટાઇલ સમજાવો.

જવાબ

વેરિલોગ ડિઝાઇન સ્ટાઇલ:

સ્ટાઇલ	વર્ણન	અપ્લિકેશન
ગેટ લેવલ	પ્રિમિટિવ ગેટનો ઉપયોગ	લો-લેવલ હાર્ડવેર મોડેલિંગ
ડેટા ફ્લો	assign સ્ટેટમેન્ટનો ઉપયોગ	કોમ્પિનેશનલ લોજિક
બિહેવિયરલ	always બ્લોકનો ઉપયોગ	સિક્વેન્શિયલ અને કોમ્પ્લેક્સ લોજિક
મિક્રો	સ્ટાઇલનું કોમ્પિનેશન	સંપૂર્ણ સિસ્ટમ ડિઝાઇન

- ગેટ લેવલ: and, or, not, nand, nor પ્રિમિટિવ
- ડેટા ફ્લો: ઓપરેટર સાથે કંટિન્યુઅસ એસાઇનમેન્ટ
- બિહેવિયરલ: always બ્લોકમાં પ્રોસ્િજરલ એસાઇનમેન્ટ
- હાઈરારકી: મોડ્યુલ અલગ સ્ટાઇલ વાપરી શકે છે

મેમરી ટ્રીક

“ગેટ-ડેટા-બિહેવિયર: મોડેલ કરવાની ત્રણ રીત”

પ્રશ્ન 5(બ) [4 ગુણ]

બિહેવિયરલ મોડેલિંગ થી કુલ એડર માટે વેરિલોગ પ્રોગ્રામ લખો.

જવાબ

```

1 module full_adder_behavioral (
2   input wire a, b, cin,
3   output reg sum, cout

```

```

4 );
5
6 always @(*) begin
7   case ({a, b, cin})
8     3'b000: {cout, sum} = 2'b00;
9     3'b001: {cout, sum} = 2'b01;
10    3'b010: {cout, sum} = 2'b01;
11    3'b011: {cout, sum} = 2'b10;
12    3'b100: {cout, sum} = 2'b01;
13    3'b101: {cout, sum} = 2'b10;
14    3'b110: {cout, sum} = 2'b10;
15    3'b111: {cout, sum} = 2'b11;
16    default: {cout, sum} = 2'b00;
17   endcase
18 end
19
20 endmodule

```

મુખ્ય લક્ષણો:

- Always બ્લોક: બિહેવિયરલ મોડેલિંગ કન્સ્ટ્રક્ટ
- Case સ્ટેમેન્ટ: ટૃથ ટેબલ ઇમ્પિલમેન્ટેશન
- કોનક્રેનેશન: કોમ્બાઇનેશન આઉટપુટ માટે {cout, sum}
- સેન્સિટિવિટી લિસ્ટ: કોમ્બિનેશનલ લોજિક માટે @(*)

મેમરી ટ્રીક

"બિહેવિયરલ ચુઝ કરે Always વિથ Case સ્ટેમેન્ટ"

પ્રશ્ન 5(ક) [7 ગુણ]

CASE સ્ટેમેન્ટનું ફંક્શન વર્ણવો. CASE સ્ટેમેન્ટનો ઉપયોગ કરીને 3x8 ડિકોડરનો વેરિલોગ કોડ લખો.

જવાબ

CASE સ્ટેમેન્ટ ફંક્શનનાં:

લક્ષણ	વર્ણન	ઉપયોગ
માલ્ટિ-વે ભાણ્ય	અનેક વિકલ્પોમાંથી એક પસંદ કરે	C માં switch જેવું
પેટર્ન મેયિંગ	એક્સપ્રેશનને કોન્સ્ટન્ટ સાથે કોમ્પેર કરે	બરાબર બિટ મેયિંગ
પ્રાયોરિટી એન્કોડિંગ	પહેલું મેય જીતે છે	ટોપ-ડાઉન ઇવેલ્વુઅએશન
ડિફોલ્ટ કલોઝ	અન્સ્પેસિફિક કેસ હેન્ડલ કરે	લેન્ઘ અટકાવે છે

3x8 ડિકોડર વેરિલોગ કોડ:

```
1 module decoder_3x8 (
2     input wire [2:0] select,
3     input wire enable,
4     output reg [7:0] out
5 );
6
7 always @(*) begin
8     if (enable) begin
9         case (select)
10             3'b000: out = 8'b00000001;
11             3'b001: out = 8'b00000010;
12             3'b010: out = 8'b00000100;
13             3'b011: out = 8'b00001000;
14             3'b100: out = 8'b00010000;
15             3'b101: out = 8'b00100000;
16             3'b110: out = 8'b01000000;
17             3'b111: out = 8'b10000000;
18             default: out = 8'b00000000;
19         endcase
20     end else begin
21         out = 8'b00000000;
22     end
23 end
24
25 endmodule
```

CASE સ્ટેટમેન્ટ લક્ષણો:

- બરાબર મેચિંગ: બધા બિટ બરાબર મેચ થવા જોઈએ
- પેરેલલ ઇવેલ્યુઓશન: હડ્કવેર ઇમ્પિલમેન્ટેશન પેરેલલ છે
- સંપૂર્ણ સ્પેસિફિકેશન: બધા શક્ય ઇનપુટ કોમ્પિનેશન કવર કર્યાં
- ડિફોલ્ટ ક્લોઝ: સિન્થેસિસમાં અનઇન્ટેન્ડ લેચ અટકાવે છે

મેમરી ટ્રીક

"CASE કોમ્પેર કરે બધું સ્પેસિફિકેશન અક્ષેકટલી"

પ્રશ્ન 5(અ) OR [3 ગુણ]

2:1 માલ્ટિપ્લિક્સર ઇમ્પિલમેન્ટ કરતો વેરિલોગ કોડ લખો.

જવાબ

```
1 module mux_2to1 (
2     input wire a, b, sel,
3     output wire y
4 );
5
6     assign y = sel ? b : a;
7
8 endmodule
```

વિકલ્પિત ઇમ્પિલમેન્ટેશન:

સ્ટાઇલ	કોડ	ઉપયોગ કેસ
ડેટા ફ્લો	assign y = sel ? b : a;	સિમ્પલ લોજિક
ગેટ લેવલ	and, or, not ગેટ વાપરે	શીખવાનો હેતુ
બિહેવિયરલ	if-else સાથે always બ્લોક	કોમ્પ્લેક્સ કન્ડિશન

- કન્ડિશનલ ઓપરેટર: ? : માટિલેક્સર ફૂક્શન પ્રદાન કરે
- કંટિન્યુઅસ એસાઇનમેન્ટ: કોમ્પ્યુનેશનલ લોજિક માટે assign
- સિન્થેસિસ: ટૂલ ગેટ-લે I/O ઇમ્પિલમેન્ટેશનમાં કન્વર્ટ કરે

મેમરી ટ્રીક

“MUX: sel ? b : a - ઇનપુટ વર્ચ્યે પસંદગી”

પ્રશ્ન 5(બ) OR [4 ગુણ]

બિહેવિયરલ મોડેલિંગ થી D ફિલપ-ફ્લોપ માટે વેરિલોગ પ્રોગ્રામ લખો.

જવાબ

```

1 module d_flipflop (
2     input wire clk, reset, d,
3     output reg q, qbar
4 );
5
6     always @ (posedge clk or posedge reset) begin
7         if (reset) begin
8             q <= 1'b0;
9             qbar <= 1'b1;
10        end else begin
11            q <= d;
12            qbar <= ~d;
13        end
14    end
15
16 endmodule

```

મુખ્ય લક્ષણો:

એલિમેન્ટ	ફૂક્શન	સિન્ટેક્સ
posedge clk	રાઇઝિંગ એજ ટ્રિગાર	કલોક સિંકોનાઇઝેશન
posedge reset	એસિંકોનસ રીસેટ	તાત્કાલિક રીસેટ એક્શન
નોન-બ્લોકિંગ	<= ઓપરેટર	સિક્વેન્શિયલ લોજિક
કોમ્પિલમેન્ટરી	qbar = ~q	સાચી ફિલપ-ફ્લોપ બિહેવિયર

- એજ સેન્સિટિવિટી: માત્ર કલોક એજ પર પ્રતિભાવ આપે
- એસિંકોનસ રીસેટ: રીસેટ કલોક કરતાં પ્રાથમિકતા લે
- સિક્વેન્શિયલ લોજિક: નોન-બ્લોકિંગ એસાઇનમેન્ટ વાપરે
- સ્ટેટ સ્ટોરેજ: કલોક સાઇકલ વર્ચ્યે ડેટા જાળવે

મેમરી ટ્રીક

“D ફિલપ-ફ્લોપ: ડેટા ફોલો કરે કલોક વિથ રીસેટ”

પ્રશ્ન 5(ક) OR [7 ગુણ]

ટેસ્ટબોય ટૂંકમાં વર્ણવો. 4-બિટ ડાઉન કાઉન્ટર ઇમ્પિલમેન્ટ કરવાનો વેરિલોગ કોડ લખો.

જવાબ

ટેસ્ટબોય ઓવરવ્યુ:

કમ્પોનન્ટ	ઉદ્દેશ્ય	ઇમ્પિલમેન્ટેશન
સ્ટેમ્પુલસ જનરેશન	ટેસ્ટ ઇનપુટ પ્રદાન કરવું	કલોક, રીસેટ, કંટ્રોલ સિગ્નલ

રિસ્પોન્સ મોનિટરિંગ
કવરેજ એનાલિસિસ
ડિબર્જિંગ સપોર્ટ

આઉટપુટ ચેક કરવું
સંપૂર્ણતા ચકાસવી
સમસ્યા ઓળખવી

અપેક્ષિત મૂલ્ય સાથે સરખાવો
બધી સ્ટેટ અને ટ્રાન્ઝિશન
વેવફોર્મ એનાલિસિસ

4-બિટ ડાઉન કાઉન્ટર:

```
1 module down_counter_4bit (
2     input wire clk, reset, enable,
3     output reg [3:0] count
4 );
5
6 always @(posedge clk or posedge reset) begin
7     if (reset) begin
8         count <= 4'b1111; //
9     end else if (enable) begin
10        if (count == 4'b0000)
11            count <= 4'b1111; //
12        else
13            count <= count - 1; //
14    end
15 end
16
17 endmodule
18
19 /**
20 module tb_down_counter;
21     reg clk, reset, enable;
22     wire [3:0] count;
23
24     down_counter_4bit dut (
25         .clk(clk),
26         .reset(reset),
27         .enable(enable),
28         .count(count)
29     );
30
31 /**
32     always #5 clk = ~clk;
33
34     initial begin
35         clk = 0;
36         reset = 1;
37         enable = 0;
38
39         #10 reset = 0;
40         #10 enable = 1;
41
42         #200 $finish;
43     end
44
45 /**
46     initial begin
47         $monitor("Time=%0t, Reset=%b, Enable=%b, Count=%b",
48                  $time, reset, enable, count);
49     end
50
51 endmodule
```

ટેસ્ટબોય કમ્પોનેન્ટ:

- કલોક જનરેશન: always બ્લોક વડે કંટિન્યુઅસ કલોક
- સિમ્યુલસ: રીસેટ અને enable સિચલ કંટ્રોલ
- મોનિટરિંગ: કંટિન્યુઅસ આઉટપુટ ડિસ્પ્લે
- સિમ્યુલેશન કંટ્રોલ: સિમ્યુલેશન અંત કરવા માટે \$finish

કાઉન્ટર લક્ષણો:

- ડાઉન કાઉન્ટિંગ: 15 થી 0 સુધી ડેક્ઝિમેન્ટ
- રેપ અરાઉન્ડ: 0 પહોંચા પછી 15 પર પાછું ફરે
- enable કંટ્રોલ: માત્ર enable હોય ત્યારે જ કાઉન્ટિંગ
- સિક્લોનિક અપરેશન: કલોક એજ પર બધા ફેરફાર

મેમરી ટ્રીક

“ટેસ્ટબેચ ટેસ્ટ કરે કલોક, સ્ટિમ્યુલસ અને મોનિટર સાથે”