

VLSI Technology (4353206) - Winter 2024 Solution

Milav Dabgar

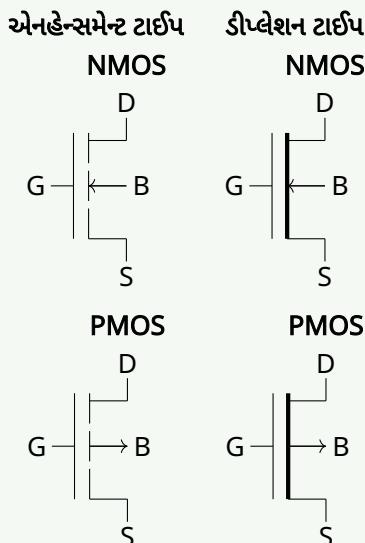
November 29, 2024

પ્રશ્ન 1(a) [3 ગુણ]

અનહેન્સમેન્ટ અને ડીપ્લેશન ટાઇપ MOSFET માટે બધા સિમ્બોલ દોરો.

જવાબ

MOSFET સિમ્બોલ:



મુખ્ય તકાવતો:

- અનહેન્સમેન્ટ: $V_{GS} = 0$ પર કોઈ ફિઝિકલ ચેનલ નથી (તૂટક રેખા).
- ડીપ્લેશન: $V_{GS} = 0$ પર પહેલથી જ ફિઝિકલ ચેનલ અરિત્તત્વમાં છે (ઘાટી રેખા).
- એરો: NMOS માટે અંદર (p-substrate), PMOS માટે બહાર (n-substrate).

મેમરી ટ્રીક

"Enhancement ને વોલ્ટેજ જોઈએ, Depletion માં ડિફોલ્ટ ચેનલ"

પ્રશ્ન 1(b) [4 ગુણ]

વ્યાખ્યા આપો: 1) હાર્દિક્રકી 2) રેગ્યુલારીટી

જવાબ

વ્યાખ્યાઓ:

પરિભાષા	વ્યાખ્યા	ઉપયોગ
હાઈરાર્કી	ટોપ-ડાઉન ડિજાઇન અલિંગમ જેમાં જટિલ સિસ્ટમને નાના, વ્યવસ્થિત મોડ્યુલમાં વિભાજિત કરાય છે.	VLSI ડિજાઇન ફ્લોમાં સિસ્ટમ લેવલથી ટ્રાન્ઝિસ્ટર લેવલ સુધી વપરાય છે.
રેગ્યુલારીટી	જટિલતા ઘટાડવા માટે પુનરાવર્તિત સમાન સ્ટ્રક્ચરનો ઉપયોગ કરતી ડિજાઇન તકનીક.	મેમરી એરે, પ્રોસેસર ડેટાપાથમાં નિયમિત સ્ટ્રક્ચર વપરાય છે.

મુખ્ય મુદ્દા:

- હાઈરાર્કીના ફાયદા: સરળ ડિજાઇન વેરિફિકેશન, મોડ્યુલર ટેસ્ટિંગ, ટીમ કોલેબોરેશન.
- રેગ્યુલારીટીના ફાયદા: ઓછો ડિજાઇન સમય, બહેતર ચોલ, સરળ લેઆઉટ.
- ડિજાઇન ફ્લો: સિસ્ટમ \rightarrow બિહેવિયરલ \rightarrow RTL \rightarrow ગેટ \rightarrow લેઆઉટ.

મેમરી ટ્રીક

“હાઈરાર્કી હેલ્પ કરે ઓર્ગોનાઇઝ કરવામાં, રેગ્યુલારીટી રિડ્યુસ કરે કોમ્પ્લેક્સટી”

પ્રશ્ન 1(ચ) [7 ગુણ]

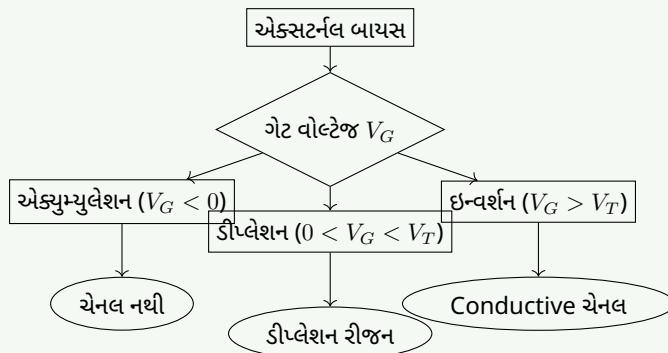
MOS અન્ડર એક્સ્ટર્નલ બાયસ સમજાવો.

જવાબ

MOS બાયસ કન્ડિશન:

બાયસ કન્ડિશન	ગેટ વોલ્ટેજ	ચેનલ નિર્માણ	કરંટ ફ્લો
એક્સ્ટ્રીન્યુલેશન	$V_G < 0$ (NMOS)	મેન્ઝોરિટી કેરિયર એક્ત્રા થાય છે	ચેનલ નથી
ડીપ્લેશન	$0 < V_G < V_T$	ડીપ્લેશન રીજન બને છે	ન્યૂનતમ કરંટ
ઇન્વર્શન	$V_G > V_T$	માઇનોરિટી કેરિયર ચેનલ બનાવે છે	ચેનલ વહન કરે છે

ઓપરેશન ફ્લો:



આકૃતિ 1. MOS ઓપરેટિંગ મોડ

મુખ્ય ખ્યાલો:

- બેન્ડ વેન્ડિંગ: એક્સ્ટર્નલ વોલ્ટેજ ઓક્સાઇડ-સિલિકોન ઇન્ટરફેસ પર એનર્જી બેન્ડ વાળે છે.
- શ્રેષ્ઠ વોલ્ટેજ (V_T): ચેનલ બનવા માટે જરૂરી ન્યૂનતમ વોલ્ટેજ.
- ઇન્વર્શન: જ્યારે સરફેસ પોટેન્શિયલ $\phi_s = 2\phi_F$.

મેમરી ટ્રીક

“એક્સ્યુલ્યુલેશન આકર્ષે, ડીપ્લેશન ડિપ્લીટ કરે, ઇન્વર્શન ઇન્વર્ટ કરે કેરિયર”

પ્રશ્ન 1(c) OR [7 ગુણ]

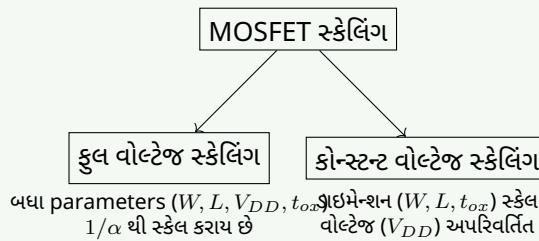
સ્કેલિંગની શું જરૂરિયાત છે? સ્કેલિંગના ટાઈપ તેની ઈફેક્ટ સાથે સમજાવો.

જવાબ

સ્કેલિંગની જરૂરિયાત:

પેરામીટર	ફાયદો	પ્રભાવ
ઓરિયા રિડક્શન	ચિપ દીઠ વધુ ટ્રાન્ઝિસ્ટર	ઉંચી ઇન્ટિગ્રેશન ડેન્સિટી
સ્પીડ ઈન્કીઝ	ઓછી ડીલે	બહેતર પરફોર્માન્સ
પાવર રિડક્શન	ઓછો પાવર વપરાશ	પોર્ટબલ ડિવાઇસ
કોસ્ટ રિડક્શન	ફેન્કશન દીઠ સસ્તું	માર્કેટ કોમ્પ્ટિટિવનેસ

સ્કેલિંગના પ્રકાર:



સ્કેલિંગ અસરો:

- કુલ વોલટેજ સ્કેલિંગ: ઇલેક્ટ્રિક ફીલ્ડ અચળ રહે છે. પાવર ડેન્સિટી અચળ રહે છે.
- કોન્સ્ટન્ટ વોલટેજ સ્કેલિંગ: ઇલેક્ટ્રિક ફીલ્ડ વધે છે. પાવર ડેન્સિટી નોંધપાત્ર રીતે વધે છે.

મેમરી ટ્રીક

“સ્કેલિંગ સેવ કરે સ્પેસ, સ્પીડ અને સ્પેન્ડિંગ!”

પ્રશ્ન 2(a) [3 ગુણ]

FPGA પર ટૂંકનોંધ લખો.

જવાબ

FPGA લાક્ષણિકતાઓ:

લક્ષણ	વર્ણન	ફાયદો
ફીલ્ડ પ્રોગ્રામેબલ	મેન્યુફેક્ચરિંગ પછી કોન્ફિગરેબલ	ડિઝાઇનમાં લવચીકતા
ગેર એરે	લોજિક બ્લોકનું એરે	પેરેલબ પ્રોસેસિંગ
રિકોન્ફિગરેબલ	ફરીથી પ્રોગ્રામ કરી શકાય	પ્રોટોટાઇપ ડેવલપમેન્ટ

વિગતો:

- એપ્લિકેશન: ડિજિટલ સિચલ પ્રોસેસિંગ, એમ્બેડ્ડ સિસ્ટમ, પ્રોટોટાઇપિંગ.
- આર્કિટેક્ચર: CLBs (Configurable Logic Blocks) જે પ્રોગ્રામેબલ રાઉટિંગથી જોડાયેલા હોય છે.

- પ્રોગ્રામિંગ: સામાન્ય રીતે SRAM-આધારિત (વોલેટાઇલ).

મેમરી ટ્રીક

"FPGA: ફ્લેક્સિબલ પ્રોગ્રામિંગ ફ્લોર ગેટ એરે"

પ્રશ્ન 2(b) [4 ગુણ]

સેમી કસ્ટમ અને કુલ કસ્ટમ ડિજાઇન મેથોડોલોજી સરખાવો.

જવાબ

સરખામણી:

પેરામીટર	સેમી-કસ્ટમ	કુલ કસ્ટમ
ડિજાઇન ટાઇમ	ઓછો (અઠવાડિયા)	વધુ (મહિના)
કોર્સ	ઓછો ડેવલપમેન્ટ કોર્સ	વધુ ડેવલપમેન્ટ કોર્સ
પરફોર્મન્સ	મધ્યમ પરફોર્મન્સ	સર્વોચ્ચ પરફોર્મન્સ
એરિયા એફિશિયન્સી	ઓછી કાર્યક્ષમ	સૌથી કાર્યક્ષમ
એપ્લિકેશન	ASICs, મધ્યમ વોલ્યુમ	માઇકોપ્રોસેસર, ઊંચો વોલ્યુમ
ડિજાઇન એફર્ટ	સ્ટાન્ડર્ડ સેલ વપરાય છે	દરેક ટ્રાન્ઝિસ્ટર મેન્યુઅલી ડિજાઇન

મેમરી ટ્રીક

"સેમી-કસ્ટમ છે સ્ટાન્ડર્ડ, કુલ કસ્ટમ છે ફાઇનેસ્ટ"

પ્રશ્ન 2(c) [7 ગુણ]

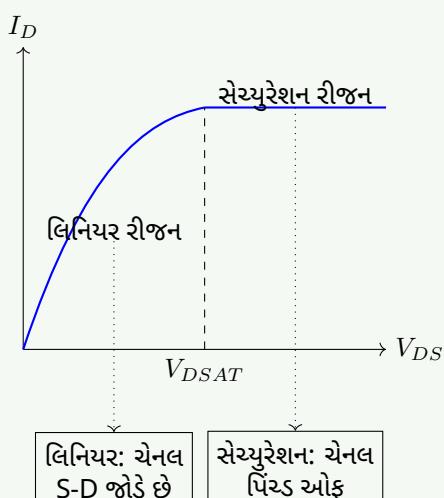
1) $0 < V_{DS} < V_{DSAT}$ 2) $V_{DS} = V_{DSAT}$ 3) $V_{DS} > V_{DSAT}$ માટે MOSFET ઓપરેશન સમજાવો.

જવાબ

ઓપરેટિંગ રીજન:

રીજન	કન્ડિશન	ચેનલ સ્થિતિ	કરંટ (I_D)
લિનિયર	$V_{DS} < V_{DSAT}$	યુનિફોર્મ ચેનલ	$\propto V_{DS}$
સેચ્યુરેશન ઓન્-સેટ	$V_{DS} = V_{DSAT}$	ફ્રેન્ન પર પિંચ-ઓફ શરૂ થાય	મેક્સિમમ લિનિયર કરંટ
સેચ્યુરેશન	$V_{DS} > V_{DSAT}$	પિંચ ઓફ ચેનલ	અચળ (Constant)

આફ્ટિસ્ટિક્સ:



આફ્ટિ 2. MOSFET I-V લાક્ષણિકતા

ਵਿਸ਼ਲੇਖਣਾ:

- **લિનિયર રીજન:** ચેનલ વોલ્ટેજ-કંટ્રોલ રેઝિસ્ટર તરીકે વર્તે છે. I_D , V_{DS} સાથે લિનિયરલી વધે છે.
 - **સેર્વુરેશન રીજન:** ડ્રેઇન છેડે ચેનલ પિંચ ઓફ થાય છે. કર્ટ ઇલોક્ટ્રિક ફીલ્ડ ડ્રિફ્ટને લીધે વહે છે. I_D , V_{DS} થી સ્વતંત્ર બને છે.
 - V_{DSAT} : સેર્વુરેશન વોલ્ટેજ, સમાન્ય રીતે $V_{GS} - V_T$.

ਮੇਮਰੀ ਟ੍ਰੀਕ

“લિનિયર લાઇક્સ VDS, સેચ્યુરેશન સેઝ નો મોર”

પ્રશ્ન 2(a) OR [૩ ગુણી]

સ્ટાન્ડર્ડ સેલ બેઝડ ડિઝાઇન સમજાવો.

ଜ୍ଵାବୁ

ઓવરવ્યુ:

કાર્યપોનન્ટ	વર્ણન	ફિયદો
સ્ટાર્ક્ડ સેલ	પ્રી-ડિજાઇન લોજિક ગેટ (AND, OR, FF)	જડપી ડિજાઇન સાઈકલ
સેલ લાઇબ્રેરી	ફિઝિકલ લેઆઉટ સાથે લાક્ષણિક સેલનો સંગ્રહ	અનુમાનિત પરફોર્મન્સ
પ્લેસ એન્ડ રાઉટ	ઓટોમેટેડ લેઆઉટ જનરેશન	મેન્યુઅલ પ્રચાસમાં ઘટાડો

ડિઝાઇન ફ્લો:

- લોજિક સિન્થેસિસ → પ્લેસમેન્ટ → રાઉટિંગ → વેરિફિકેશન.
 - EDA ટૂલ્સ જાટિલ ભૌતિક અમલીકરણ સંભાળે છે.
 - પરફોર્મન્સ, એરિયા અને પાવર વર્ચયે સંતુલન પૂર્ણ પાડે છે.

ਮੈਮਰੀ ਵੀਕ

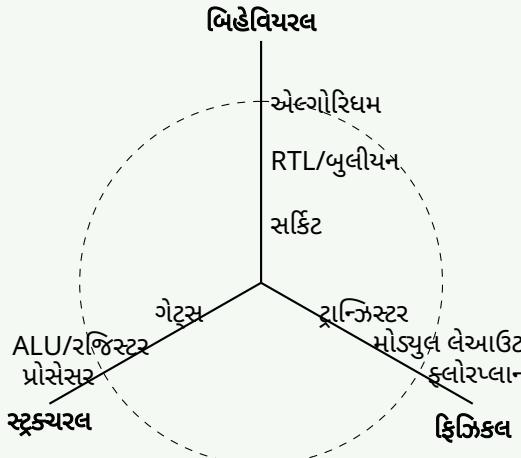
“ਸਾਨ੍ਦੂ ਸੇਲ ਰੂਪੀਂ ਅਪ ਕਰੋ ਸਿਨ੍ਧੇਸਿਸ”

પ્રશ્ન 2(b) OR [4 ગુણ]

Y ચાર્ટ દોરો અને સમજાવો.

જવાબ

ગાજસ્કીન્ઝન Y-ચાર્ટ:



આકૃતિ 3. Y-ચાર્ટ રજૂઆત

ડોમેઇન:

- બિહેવિયરલ: સિસ્ટમ શું કરે છે તે વર્ણવે છે (કાર્યક્ષમતા).
- સ્ક્રક્ચરલ: ઘટકો કેવી રીતે જોડાયેલા છે તે વર્ણવે છે.
- ફિઝિકલ: અમલીકરણની ભૂમિતિ અને લેઆઉટ વર્ણવે છે.

મેમરી ટ્રીક

"Y-ચાર્ટ: બિહેવિયર, સ્ક્રક્ચર, ફિઝિકલ"

પ્રશ્ન 2(c) OR [7 ગુણ]

MOSFET કરંટ-વોલ્ટેજ કેરેક્ટરિસ્ટિક માટે ગ્રેજુઅલ ચેનલ એપ્રોક્સિમેશન સમજાવો.

જવાબ

ગ્રેજુઅલ ચેનલ એપ્રોક્સિમેશન (GCA):

ધારણાઓ:

ધારણા	વર્ણન	જસ્ટિફિકેશન
ગ્રેજુઅલ ચેનલ	ચેનલ સાથે ફીલ્ડનો ફેરફાર (y) \ll લંબ ફેરફાર (x).	લોંગ ચેનલ ડિવાઇસ ($L \gg t_{ox}$) માટે માન્ય.
1D એનાલિસિસ	કરંટ મુખ્યત્વે y -દિશામાં (સોસથી ડ્રેઇન) વહે છે.	પોટેન્શિયલ એનાલિસિસ સરળ બનાવે છે.
ડિફ્રેક્ટ	ડિફ્રેક્ટ કરંટ અવગાણવામાં આવે છે.	સ્ટ્રોંગ ઇન્વર્શનમાં મુખ્ય મિકેનિઝમ.

ડેરિવેશન સારાંશ:

- ઇન્ડ્યુસ્ટ્રિયાર્જ ડેન્સિટી: $Q_n(y) = -C_{ox}[V_{GS} - V(y) - V_T]$.
- ડ્રેઇન કરંટ: $I_D = -W\mu_n Q_n(y) \frac{dV}{dy}$.

- $y = 0$ થી L અને $V = 0$ થી V_{DS} સુધી ઇન્ટિગ્રેટ કરતાઃ

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

મહાદાયો:

- શૉર્ટ ચેનલ ઇફ્ફેક્ટ: જ્યારે L અને ડીપ્લેશન વિડ્ય સરખાવી શકાય ત્યારે GCA નિષ્ફળ જાય છે.
- વેલોસિટી સેચ્યુરેશન: હાઇ ફીલ્ડ સાથે કેરિયર વેલોસિટી લિનિયરલી વધતી નથી.

મેમરી ટ્રીક

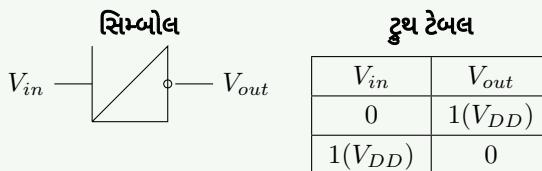
“ગ્રેજુઅલ ચેન્જ ગિવ સિમ્પલ ગેઇન એક્વેશન”

પ્રશ્ન 3(a) [3 ગુણ]

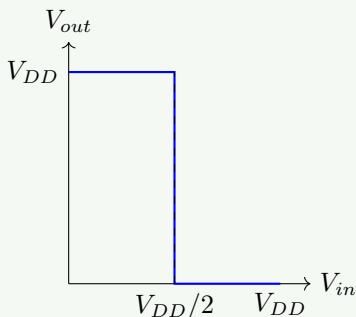
આઈડલ ઇન્વર્ટરનો સિમ્બોલ દોરો અને ટૂથ ટેબલ લખો. આઈડલ ઇન્વર્ટર માટે VTC દોરો અને સમજાવો.

જવાબ

આઈડલ ઇન્વર્ટર:



વોલ્ટેજ ટ્રાન્સફર કેરેક્ટરિસ્ટિક (VTC):



અકૃતિ 4. આઈડલ VTC

લાક્ષણિકતાઓ:

- સ્વચિંગ થ્રેશોલ્ડ ($V_{DD}/2$) પર અનંત ગેઇન.
- નોઇડ માર્જિન $NM_H = NM_L = V_{DD}/2$.
- સ્ટેડી રેટમાં શૂન્ય પાવર વપરાશ.

મેમરી ટ્રીક

“આઈડલ ઇન્વર્ટર: અનંત ગેઇન, ઇન્સ્ટન્ટ સ્વચિંગ”

પ્રશ્ન 3(b) [4 ગુણ]

જનરાલાઇઝડ ઇન્વર્ટર સર્કિટ VTC સાથે સમજાવો.

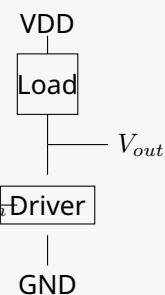
જવાબ

જનરાલાઇઝડ ઇન્વર્ટર સ્ક્રોક્યર:

ઘટકો:

- દ્રાઇવર: પુલ-ડાઉન NMOS ટ્રાન્ઝિસ્ટર.
- લોડ: પુલ-અપ ડિવાઇસ (રેજિસ્ટર/ટ્રાન્ઝિસ્ટર).
- ઓપરેશન: ઇનપુટ દ્રાઇવરની ON/OFF સ્થિતિ અલગ કરે છે.

સર્કિટ:



VTC રીજન:

- રીજન 1 (હાઇ આઉટપુટ): $V_{in} < V_T$. દ્રાઇવર OFF, લોડ $V_{OH} \approx V_{DD}$ સુધી ખેંચે છે. V_{in} હાઇ. દ્રાઇવર ON (લિનિયર). $V_{out} = V_{OL}$.
- રીજન 2 (ટ્રાન્ઝિશન): બંને ડિવાઇસ કન્ડક્ટિંગા. વોલ્ટેજ તીવ્ર રીતે ઘટે છે.
- રીજન 3 (લો આઉટપુટ): V_{in} લો. દ્રાઇવર ON (લિનિયર). $V_{out} = V_{OL}$.

મેમરી ટ્રીક

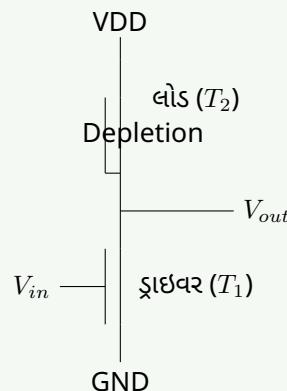
“જનરાલાઇઝડ ડિજાઇન: દ્રાઇવર પુલ ડાઉન, લોડ લિફ્ટ અપ”

પ્રશ્ન 3(c) [7 ગુણ]

ડીપ્લેશન લોડ nMOS ઇન્વર્ટર તેની સર્કિટ, ઓપરેટિંગ રીજન અને VTC સાથે સમજાવો.

જવાબ

ડીપ્લેશન લોડ NMOS ઇન્વર્ટર:



આકૃતિ 5. ડીપ્લેશન લોડ ઇન્વર્ટર સર્કિટ

ઓપરેટિંગ રીજન:

ઇનપુટ સ્ટેટ	દ્રાઇવર (T_1)	લોડ (T_2)	આઉટપુટ
$V_{in} < V_{TN}$ (Low)	OFF (કટાડોફ)	ON (લિનિયર)	$V_{OH} = V_{DD}$
V_{in} ટ્રાન્ઝિશન	સેચ્યુરેશન	સેચ્યુરેશન	Falling
$V_{in} > V_{IH}$ (High)	ON (લિનિયર)	ON (સેચ્યુરેશન)	V_{OL} (નાનુ)

VTC લાક્ષણિકતાઓ:

- હાઇ આઉટપુટ: કુલ V_{DD} કારણ કે ડીપ્લેશન લોડ સંપૂર્ણ પુલ-અપ કરે છે.

- ટ્રાન્ઝિશન: તીવ્ર, સારા નોઇજ માર્જિન પ્રદાન કરે છે.
- લો આઉટપુટ: નોન-ઝિરો $V_{OL} \approx 0$.

મેમરી ટ્રીક

“ડીલ્ફેશન ડિવાઇસ ડિલિવર કરે ડીસેન્ટ ડ્રાઇવ”

પ્રશ્ન 3(a) OR [3 ગુણ]

નોઇજ માર્જિન સમજાવો.

જવાબ

વ્યાખ્યા: નોઇજ માર્જિન એ ઇનપુટ સિગલમાં ઉમેરી શકાતો મેક્સિમમ નોઇજ વોલ્ટેજ છે જે આઉટપુટની લોજિક સ્ટેટમાં ફેરફાર કરતું નથી. તે નોઇજ ઈમ્યુનિટી માપે છે.

પેરામીટર:

પેરામીટર	ફોર્મ્યુલા	વર્ણન
NMH	$V_{OH} - V_{IH}$	હાઇ નોઇજ માર્જિન
NML	$V_{IL} - V_{OL}$	લો નોઇજ માર્જિન
V_{OH}	-	મિનિમમ આઉટપુટ હાઇ વોલ્ટેજ
V_{OL}	-	મેક્સિમમ આઉટપુટ લો વોલ્ટેજ
V_{IH}	-	મિનિમમ ઇનપુટ હાઇ વોલ્ટેજ
V_{IL}	-	મેક્સિમમ ઇનપુટ લો વોલ્ટેજ

મેમરી ટ્રીક

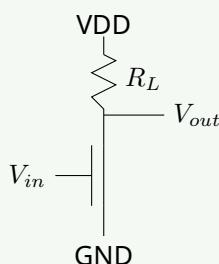
“નોઇજ માર્જિન મેન્ટનેન્ચન કરે સિગલ ઇન્ટેગ્રિટી”

પ્રશ્ન 3(b) OR [4 ગુણ]

રેજિસ્ટ્રિવ લોડ ઇન્વર્ટર સમજાવો.

જવાબ

સર્કિટ અને અનાલિસિસ:



આકૃતિ 6. રેજિસ્ટ્રિવ લોડ ઇન્વર્ટર

ઓપરેશન:

- ઇનપુટ લો: NMOS OFF. આઉટપુટ R_L દ્વારા V_{DD} પર ખેંચાય છે.
- ઇનપુટ હાઇ: NMOS ON. કરેટ R_L અને NMOS માં વહે છે. આઉટપુટ $V_{OL} = V_{DD} \frac{R_{MN}}{R_{MN} + R_L}$.

ગેરકાયદા:

- ચિપ પર રેજિસ્ટર માટે મોટો વિસ્તાર જરૂરી.
- આઉટપુટ લો હોથ ત્યારે સ્ટેટિક પાવર વપરાશ (V_{DD}^2/R_L).

મેમરી ટ્રીક

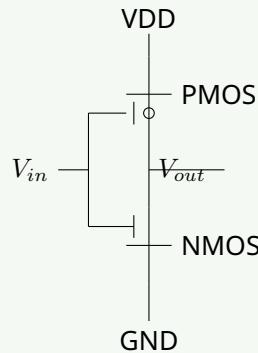
“રેજિસ્ટર રિસ્ટ્રિક્ટ કરે કરેટ, રિઝ્યુસ કરે પરફોર્મન્સ”

પ્રશ્ન 3(c) OR [7 ગુણ]

CMOS ઇન્વર્ટર તેની VTC સાથે સમજાવો.

જવાબ

CMOS ઇન્વર્ટર:



અકૃતિ 7. CMOS ઇન્વર્ટર સર્કિટ

VTC રીજન અને ઓપરેશન:

રીજન	ઇનપુટ સેન્જ	PMOS	NMOS	આઉટપુટ
1	$V_{in} < V_{TN}$	ON (લિનિયર)	OFF	V_{DD}
2	$V_{TN} < V_{in} < V_{DD}/2$	ON (Lin)	ON (Sat)	હાઇ ડ્રોપ
3	$V_{in} \approx V_{DD}/2$	સેચ્યુરેશન	સેચ્યુરેશન	સ્વિચ
4	$V_{DD}/2 < V_{in} < V_{DD} + V_{TP}$	ON (Sat)	ON (Lin)	લો ડ્રોપ
5	$V_{in} > V_{DD} + V_{TP}$	OFF	ON (લિનિયર)	0

ફાયદા: - શૂન્ય સ્ટેટિક પાવર. - કુલ રેલ-ટુ-રેલ લોજિક સ્વિંગ. - હાઇ નોઇજ માર્જિન.

મેમરી ટ્રીક

“CMOS: કોમ્પ્લિકેશન ફોર કોમ્પ્લીટ પરફોર્મન્સ”

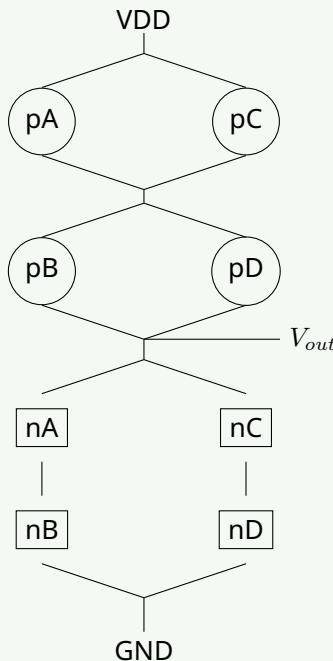
પ્રશ્ન 4(a) [3 ગુણ]

AOI CMOS ઇમ્પ્લિકેશન સાથે દોરો.

જવાબ

AOI લોજિક: $Y = \overline{AB} + \overline{CD}$

CMOS ઇમ્પ્લામેન્ટેશન:



આકૃતિ 8. AOI CMOS સર્કિટ

મેમરી ટ્રીક

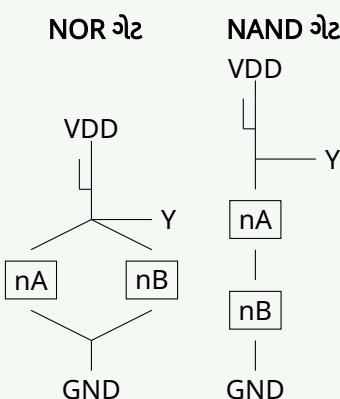
“AOI: AND-OR પદ્ધી ઇનવર્ટર”

પ્રશ્ન 4(b) [4 ગુણ]

બે ઇનપુટ NOR અને NAND ગેટ ડીલેશન લોડ nMOS થી બનાવો.

જવાબ

ડીલેશન લોડ ગેટ્સ:



ટૂથ ટેબલ:

A	B	NOR	NAND
0	0	1	1
0	1	0	1
1	0	0	1
1	1	0	0

મેમરી ટ્રીક

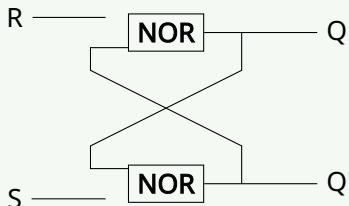
“NOR ને કંઈ હાઇ નહીં જોઈએ, NAND ને બધું હાઇ જોઈએ લો થવા માટે”

પ્રશ્ન 4(c) [7 ગુણ]

NOR2 અને NAND2 ગેટનો ઉપયોગ કરીને CMOS SR લેચ ઇમિલમેન્ટ કરો.

જવાબ

NOR ગેટ વડે SR લેચ:



આકૃતિ 9. SR લેચ લોજિક સિમ્બોલ

CMOS ઇમિલમેન્ટેશન (NOR લેચ): બે CMOS NOR2 ગેટ કોસ-કાફ ઇનપુટ સાથે.

- ટોપ NOR: ઇનપુટ R અને Q'. આઉટપુટ Q.
- બોટમ NOR: ઇનપુટ S અને Q. આઉટપુટ Q'.

સેટ ટેબલ:

S	R	Q(n+1)	એક્શન
0	0	Q(n)	હોટ
0	1	0	રીસેટ
1	0	1	સેટ
1	1	0	અમાન્ય

મેમરી ટ્રીક

“SR લેચ: સેટ-રીસેટ વિથ કોસ-કાફ ગેટ”

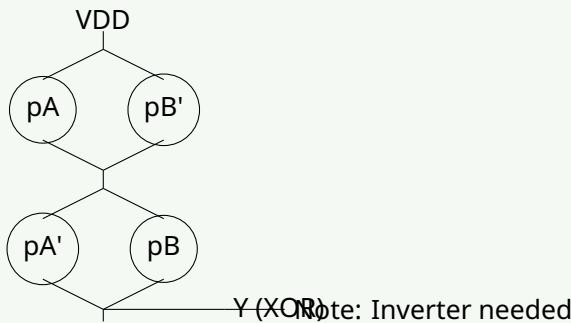
પ્રશ્ન 4(a) OR [3 ગુણ]

CMOS નો ઉપયોગ કરીને XOR ફંક્શન ઇમિલમેન્ટ કરો.

જવાબ

XOR ફંક્શન: $Y = A \oplus B = AB + \bar{A}\bar{B}$. ઇન્વર્ટ લોજિક: $\bar{Y} = \overline{AB + \bar{A}\bar{B}} = (A + B)(\bar{A} + \bar{B}) = XNOR$. સામાન્ય રીતે XOR 12 ટ્રાન્ઝિસ્ટર (ઇન્વર્ટર સાથે) અથવા ટ્રાન્સભિશન ગેટ (6-8 ટ્રાન્ઝિસ્ટર) નો ઉપયોગ કરીને બનાવવામાં આવે છે.

સ્ટેટિક CMOS (12T): PDN માં XNOR બનાવો અને ઇનવર્ટ કરો. PDN: પેરેલલ (A સીરીઝ B') અને (A' સીરીઝ B). PUN: સીરીઝ (A પેરેલલ B') અને (A' પેરેલલ B).



આકૃતિ 10. CMOS સ્ટ્રક્ચર (લોજિક એનાલિસિસ)

મેમરી ટ્રીક

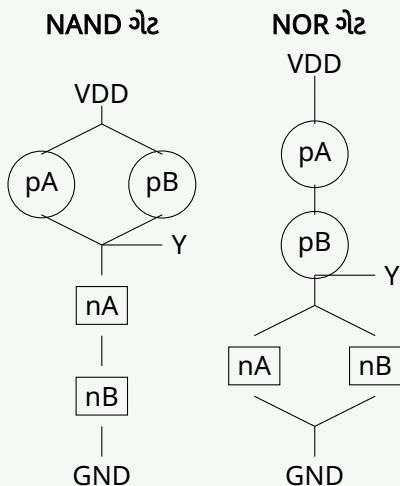
“XOR: એક્સક્લુસિવ OR, અલગ ઇનપુટ આપે 1”

પ્રશ્ન 4(b) OR [4 ગુણ]

બે ઇનપુટ NOR અને NAND ગેટ CMOS થી બનાવો.

જવાબ

CMOS ગેટ્સ:



મેમરી ટ્રીક

“NAND: પેરેલલ PMOS, સીરીઝ NMOS. NOR: સીરીઝ PMOS, પેરેલલ NMOS.”

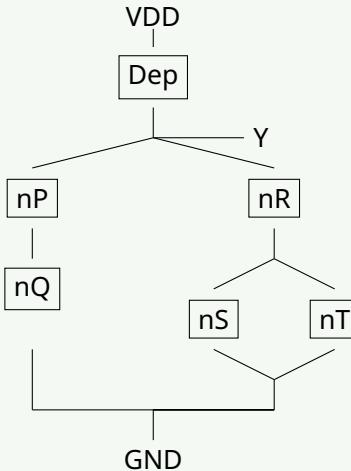
પ્રશ્ન 4(c) OR [7 ગુણ]

$Y = [PQ + R(S+T)]'$ બુલિયન સમીકરણ ડીપ્લેશન લોડ nMOS અને CMOS થી ઇમ્પ્લિમેન્ટ કરો.

જવાબ

ફુંક્શન: $Y = \overline{PQ} + R(S + T)$

1. ડીપ્લેશન લોડ nMOS: PDN ઇનવર્શન વગર ફુંક્શન ઇમ્પ્લેમેન્ટ કરે છે. સ્ટ્રક્ચર: S સમાંતરમાં T , R સાથે શ્રેણીમાં. આ બ્લોક P શ્રેણીમાં Q સાથે સમાંતરમાં.



આકૃતિ 11. ડીપ્લેશન લોડ ઇમ્પ્લેમેન્ટેશન

2. CMOS ઇમ્પ્લેમેન્ટેશન: PDN ઉપર મુજબ જ છે. PUN જ્યુઅલ છે. સ્ટ્રક્ચર: $(P||Q)$ સીરીઝમાં $(R||(S \text{ શ્રેણી } T))$.

પ્રશ્ન 5(a) [3 ગુણ]

વેરિલોગમાં ઉપયોગ થતી ડિઝાઇન સ્ટાઇલ સમજાવો.

જવાબ

વેરિલોગ ડિઝાઇન સ્ટાઇલ:

સ્ટાઇલ	વર્ણન	ઉદાહરણ
ગેટ લેવલ	પ્રિમિટિવ ગેટ (and, or, not) નો ઉપયોગ કરીને સ્ટ્રક્ચરલ મોડેલિંગ.	and g1(y, a, b);
ડેટા ફ્લો	કંટિન્યુઅસ એસાઇનમેન્ટનો ઉપયોગ કરીને સિગ્નલ ફ્લો વર્ણવે છે.	assign y = a & b;
બિહેવિયરલ	પ્રોસિજરલ બ્લોકનો ઉપયોગ કરીને કાર્યક્ષમતા વર્ણવે છે.	always @(*) y = a & b;

મેમરી ટ્રીક: ગેટ-ડેટા-બિહેવિયર: મોડેલ કરવાની ત્રણ રીત

પ્રશ્ન 5(b) [4 ગુણ]

બિહેવિયરલ મોડેલિંગ થી કુલ એડર માટે વેરિલોગ પ્રોગ્રામ લખો.

જવાબ

```

1 module full_adder_behavioral (
2     input wire a, b, cin,
3     output reg sum, cout
4 );
5
6     always @(*) begin
7         case ({a, b, cin})

```

```

8   3'b000: {cout, sum} = 2'b00;
9   3'b001: {cout, sum} = 2'b01;
10  3'b010: {cout, sum} = 2'b01;
11  3'b011: {cout, sum} = 2'b10;
12  3'b100: {cout, sum} = 2'b01;
13  3'b101: {cout, sum} = 2'b10;
14  3'b110: {cout, sum} = 2'b10;
15  3'b111: {cout, sum} = 2'b11;
16  default: {cout, sum} = 2'b00;
17  endcase
18 end
19 endmodule

```

પ્રશ્ન 5(c) [7 ગુણ]

CASE સ્ટેટમેન્ટનું ફંક્શન વર્ણવો. CASE સ્ટેટમેન્ટનો ઉપયોગ કરીને 3×8 ડિકોડરનો વેરિલોગ કોડ લખો.

જવાબ

CASE સ્ટેટમેન્ટ: મલિટ-વે બાન્ચિંગ કન્સ્ટ્રક્ટ. લક્ષણો:

- એક્સપ્રેશનને કેસ આઈટમ્સ સાથે સરખાવે છે.
- પ્રથમ મેરિંગ આઈટમ એક્ઝિક્યુટ કરે છે.
- default આઈટમ અનમેચ કેસોને કવર કરે છે.

3×8 ડિકોડર:

```

1 module decoder_3x8 (
2   input wire [2:0] sel,
3   input wire en,
4   output reg [7:0] y
5 );
6   always @(*) begin
7     if (en) begin
8       case (sel)
9         3'b000: y = 8'b00000001;
10        3'b001: y = 8'b00000010;
11        3'b010: y = 8'b000000100;
12        3'b011: y = 8'b000001000;
13        3'b100: y = 8'b000010000;
14        3'b101: y = 8'b000100000;
15        3'b110: y = 8'b010000000;
16        3'b111: y = 8'b100000000;
17       default: y = 8'b00000000;
18     endcase
19   end else y = 0;
20 end
21 endmodule

```

પ્રશ્ન 5(a) OR [3 ગુણ]

2:1 મલિટિપ્લિક્સર ઇમિલમેન્ટ કરતો વેરિલોગ કોડ લખો.

જવાબ

```

1 // Behavioral
2 module mux21 (input a, b, s, output reg y);
3   always @(*) begin
4     if(s) y = b;
5     else y = a;
6   end
7 endmodule
8
9 // Data Flow
10 module mux21_df (input a, b, s, output y);
11   assign y = s ? b : a;
12 endmodule

```

પ્રશ્ન 5(b) OR [4 ગુણ]

બિહેવિયરલ મોડેલિંગ થી D ફિલ્પ-ફલોપ માટે વેરિલોગ પ્રોગ્રામ લખો.

જવાબ

```

1 module d_ff (
2   input clk, rst, d,
3   output reg q, qbar
4 );
5   always @(posedge clk or posedge rst) begin
6     if (rst) begin
7       q <= 0;
8       qbar <= 1;
9     end else begin
10      q <= d;
11      qbar <= ~d;
12    end
13  end
14 endmodule

```

પ્રશ્ન 5(c) OR [7 ગુણ]

ટેસ્ટબેચ ટ્રૂકમાં વર્ણવો. 4-બિટ ડાઉન કાઉન્ટર ઇમ્પિલમેન્ટ કરવાનો વેરિલોગ કોડ લખો.

જવાબ

ટેસ્ટબેચ: ડિજાઇન ફંક્શનલિટી ચકાસવા માટે વપરાતું મોડ્યુલ, જે ઉત્તેજના (ઇનપુટ) આપે છે અને પ્રતિભાવો (આઉટપુટ) મોનિટર કરે છે. તે નોન-સિન્થેસાઇઝેબલ છે.

4-બિટ ડાઉન કાઉન્ટર:

```

1 module down_counter (
2   input clk, rst, en,
3   output reg [3:0] count
4 );
5   always @(posedge clk or posedge rst) begin
6     if (rst) count <= 4'b1111;
7     else if (en) count <= count - 1;
8   end

```

9 endmodule

ટેસ્ટબોચ કોડ:

```
1 module tb_counter;
2   reg clk, rst, en;
3   wire [3:0] count;
4
5   down_counter dut (clk, rst, en, count);
6
7   always #5 clk = ~clk;
8
9   initial begin
10    clk=0; rst=1; en=0;
11    #10 rst=0; en=1;
12    #200 $finish;
13  end
14
15  initial $monitor("T=%t C=%b", $time, count);
16 endmodule
```