

Subject Name (Gujarati)

4353206 -- Winter 2024

Semester 1 Study Material

Detailed Solutions and Explanations

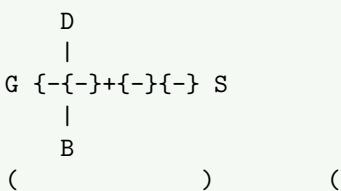
પ્રશ્ન 1(અ) [3 ગુણ]

એનહેન્સમેન્ટ અને ડીપ્લેશન ટાઇપ MOSFET માટે બધા સિમ્બોલ દોરો.

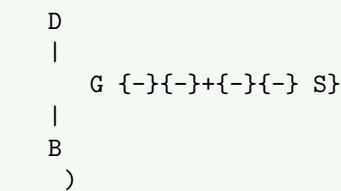
જવાબ

આકૃતિ:

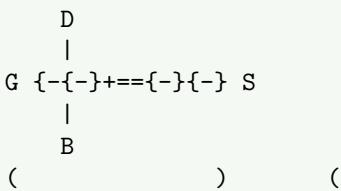
Enhancement Type NMOS:



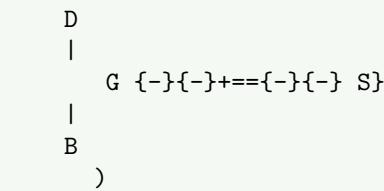
Enhancement Type PMOS:



Depletion Type NMOS:



Depletion Type PMOS:



- એનહેન્સમેન્ટ MOSFET: સોર્સ અને ડેન્ચર વચ્ચે સામાન્ય કનેક્શન લાઈન
- ડીપ્લેશન MOSFET: અસ્થિત્વમાં રહેલ ચેનલ દર્શાવતી જાડી લાઈન
- એરો દિશાઃ NMOS માટે અંદરની તરફ, PMOS માટે બહારની તરફ

મેમરી ટ્રીક

"Enhancement ને વોલ્ટેજ જોઈએ, Depletion માં ડિફોલ્ટ ચેનલ"

પ્રશ્ન 1(બ) [4 ગુણ]

વ્યાખ્યા આપો: 1) હાઈરાર્કી 2) રેગ્યુલારીટી

જવાબ

પરિભાષા	વ્યાખ્યા	ઉપયોગ
હાઈરાર્કી	ટોપ-ડાઉન ડિઝાઇન અભિગમ જેમાં જટિલ સિસ્ટમને નાના, વ્યવસ્થિત મોડ્યુલમાં વિભાજિત કરાય છે	VLSI ડિઝાઇન ફ્લોમાં સિસ્ટમ લેવલથી ટ્રાન્ਜિસ્ટર લેવલ સુધી વપરાય છે
રેગ્યુલારીટી	જટિલતા ઘટાડવા માટે પુનરાવર્તિત સમાન સ્ટ્રક્ચરનો ઉપયોગ કરતો ડિઝાઇન તકનીક	મેમરી એરે, પ્રોસેસર ડેટાપાથમાં નિયમિત સ્ટ્રક્ચર વપરાય છે

- હાઈરાર્કીના ફાયદા: સરળ ડિઝાઇન વેરિફિકેશન, મોડ્યુલર ટેસ્ટિંગ, ટીમ કોલેબોરેશન
- રેઝ્યુલારીટીના ફાયદા: ઓછો ડિઝાઇન સમય, બહેતર ચોલ્ડ, સરળ લેઆઉટ
- ડિઝાઇન ફ્લો: સિસ્ટમ \rightarrow \rightarrow RTL \rightarrow \rightarrow
- નિયમિત સ્ક્રક્ચર: ROM એરે, કેશ મેમરી, ALU બ્લોક

મેમરી ટ્રીક

“હાઈરાર્કી હેલ્પ કરે ઓર્ગનાઇઝ કરવામાં, રેઝ્યુલારીટી રિજ્યુસ કરે કોમ્પ્લેક્સિસ્ટી”

પ્રશ્ન 1(ક) [7 ગુણ]

MOS અન્ડર એક્સ્ટર્નલ બાયસ સમજાવો.

જવાબ

MOS બાયસ કન્ડિશન કોષ્ટક:

બાયસ કન્ડિશન	ગેટ વોલ્ટેજ	ચેનલ નિર્માણ	કરંટ ફ્લો
એક્સ્ટ્રાયુલેશન	VG < 0 (NMOS)	મેન્ઝેરિટી કેરિયર એક્ટ્રાયાથ છે	ચેનલ નથી
ડીપ્લેશન	0 < VG < VT	ડીપ્લેશન રીજન બને છે	ન્યૂનતમ કરંટ
ઇન્વર્શન	VG > VT	માઇન્ઝેરિટી કેરિયર ચેનલ બનાવે છે	ચેનલ વહન કરે છે

આકૃતિ:

Mermaid Diagram (Code)

```
{Shaded}
{Highlighting} []
graph LR
    A[ ] --- B\{ \}
    B --- C[ ]
    B --- D[ ]
    B --- E[ ]
    C --- F[ ]
    D --- G[ ]
    E --- H[ ]
{Highlighting}
{Shaded}
```

- બેન્ડ બેન્ડિંગ: એક્સ્ટર્નલ વોલ્ટેજ ઓક્સાઇડ-સિલિકોન ઇન્ટરફેસ પર એનર્જી બેન્ડ વાળે છે
- શ્રેશોલ્ડ વોલ્ટેજ: ચેનલ નિર્માણ માટે જરૂરી ન્યૂનતમ ગેટ વોલ્ટેજ
- સરફેસ પોટેન્શિયલ: સિલિકોન સરફેસ પર કેરિયર કોન્સટ્રેશન કંટ્રોલ કરે છે
- કેપોસિટન્સ વેરિએશન: બાયસ કન્ડિશન સાથે બદલાય છે

મેમરી ટ્રીક

“એક્સ્ટ્રાયુલેશન આકર્ષ, ડીપ્લેશન ડિપ્લીટ કરે, ઇન્વર્શન ઇન્વર્ટ કરે કેરિયર”

પ્રશ્ન 1(ક) OR [7 ગુણ]

સ્કેલિંગની શું જરૂરિયાત છે? સ્કેલિંગના ટાઈપ તેની ઈફ્ક્ટ સાથે સમજાવો.

જવાબ

સ્કેલિંગની જરૂરિયાત:

પેરામીટર	ફાયદો	પ્રભાવ
એરિયા રિડક્શન	ચિપ દીઠ વધુ ટ્રાન્ઝિસ્ટર	ઊંચી ઇન્ટિગ્રેશન ડેન્સિટી

સ્પીડ ઇન્કીજ	ઓછી ડીલે	બહેતર પરફોર્માન્સ
પાવર રિડક્શન	ઓછો પાવર વપરાશ	પોર્ટબલ ડિવાઇસ
કોસ્ટ રિડક્શન	ફુક્શન દીઠ સરસ્તું	માર્કેટ કોમ્પ્યુટિટિવનેસ

સ્કેલિંગના પ્રકાર:

Mermaid Diagram (Code)

```
{Shaded}
{Highlighting} []
graph LR
    A[MOSFET] --- B[ ]
    A --- C[ ]
    B --- D[parameters]
    C --- E[ ]
{Highlighting}
{Shaded}
```

- કુલ વોલ્ટેજ સ્કેલિંગ: લેન્થ, વિડથ, વોલ્ટેજ બધું હોય ફેક્ટર દ્વારા સ્કેલ
- કોન્સ્ટન્ટ વોલ્ટેજ સ્કેલિંગ: ડાઇમેન્શન સ્કેલ, વોલ્ટેજ અપરિવર્તિત
- પાવર ડેન્સિટી: કુલ સ્કેલિંગમાં કોન્સ્ટન્ટ રહે, કોન્સ્ટન્ટ વોલ્ટેજમાં વધે
- ઇલેક્ટ્રિક ફીલ્ડ: કુલ સ્કેલિંગમાં મેન્ટેઇન થાય છે

મેમરી ટ્રીક

"સ્કેલિંગ સેવ કરે સ્પેસ, સ્પીડ અને સ્પેન્ડિંગ!"

પ્રશ્ન 2(અ) [3 ગુણ]

FPGA પર ટૂંકનોંધ લખો.

જવાબ

FPGA લાક્ષણિકતાઓ કોષ્ટક:

લક્ષણ	વર્ણન	ફાયદો
ફીલ્ડ પ્રોગ્રામેબલ	મેન્યુફુક્ચરિંગ પછી કોન્ફિગરેબલ	ડિઝાઇનમાં લવચીકતા
ગેટ એરે	લોજિક બ્લોકનું એરે	પેરેલલ પ્રોસેસિંગ
રિકોન્ફિગરેબલ	ફરીથી પ્રોગ્રામ કરી શકાય	પ્રોટોટાઇપ ડેવલપમેન્ટ

- એપ્લિકેશન: ડિજિટલ સિચલ પ્રોસેસિંગ, એમ્બેડેડ સિસ્ટમ, પોટોટાઇપિંગ
- આર્કિટેક્ચર: CLBs (કોન્ફિગરેબલ લોજિક બ્લોક) રાઉટિંગ મેટ્રિક્સ દ્વારા કનેક્ટેડ
- પ્રોગ્રામિંગ: SRAM-આધારિત કોન્ફિગરેશન મેમરી
- વેન્ડર: Xilinx, Altera (Intel), Microsemi

મેમરી ટ્રીક

"FPGA: ફ્લેક્સિબલ પ્રોગ્રામિંગ ફોર ગેટ એરે"

પ્રશ્ન 2(બ) [4 ગુણ]

સેમી કસ્ટમ અને કુલ કસ્ટમ ડિઝાઇન મેથોડોલોજી સરખાવો.

જવાબ

પેરામીટર	સેમી-કસ્ટમ	કુલ કસ્ટમ
ડિઝાઇન ટાઈમ	ઓછો (અઠવાડિયા)	વધુ (મહિના)
કોસ્ટ	ઓછો ડેવલપમેન્ટ કોસ્ટ	વધુ ડેવલપમેન્ટ કોસ્ટ
પરફોર્મન્સ	મધ્યમ પરફોર્મન્સ	સર્વોચ્ચ પરફોર્મન્સ
એરિયા એફિશિયન્સી	ઓછી કાર્યક્ષમ	સૌથી કાર્યક્ષમ
એપ્લિકેશન	ASICS, મધ્યમ વોલ્યુમ	માઇકોપોસેસર, ઊંચો વોલ્યુમ
ડિઝાઇન એફ્ક્રુટ	સ્ટાન્ડર્ડ સેલ વપરાય છે	દરેક ટ્રાન્ઝિસ્ટર ડિઝાઇન કરાય છે

- સેમી-કસ્ટમ: પ્રો-ડિઝાઇન સ્ટાન્ડર્ડ સેલ અને ગેટ એરેનો ઉપયોગ કરે છે
- કુલ કસ્ટમ: સંપૂર્ણ ટ્રાન્ઝિસ્ટર-લેવલ ડિઝાઇન ઓપ્ટિમાઇઝેશન
- ટ્રેન-ઓફ: સમય વર્સિસ પરફોર્મન્સ, કોસ્ટ વર્સિસ એફિશિયન્સી
- માર્કેટ ફિટ: મોટાભાગના એપ્લિકેશન માટે સેમી-કસ્ટમ, સ્પેશિયલાઇઝ જરૂરિયાત માટે કુલ કસ્ટમ

મેમરી ટ્રીક

"સેમી-કસ્ટમ છે સ્ટાન્ડર્ડ, કુલ કસ્ટમ છે ફાઇનેસ્ટ"

પ્રશ્ન 2(ક) [7 ગુણ]

1) $0 < VDS < VDSAT$ 2) $VDS = VDSAT$ 3) $VDS > VDSAT$ માટે MOSFET ઓપરેશન સમજાવો.

જવાબ

ઓપરેટિંગ રીજન:

રીજન	કન્ડિશન	ચેનલ	કરંટ બિહેવિયર
લિનિયર	$0 < VDS < VDSAT$	યુનિફોર્મ ચેનલ	ID $\propto VDS$
સેચ્યુરેશન ઓન્-સેટ	$VDS = VDSAT$	પિંચ-ઓફ શરૂ થાય છે	મેક્સિમમ લિનિયર કરંટ
સેચ્યુરેશન	$VDS > VDSAT$	પિરંડ ચેનલ	ID કોન્સ્ટન્ટ

આફ્ટિસ્ટિક્સ:

Mermaid Diagram (Code)

```
{Shaded}
{Highlighting} []
graph TD
    A[MOSFET] --> B[ ]
    A --> C[ ]
    B --> D[ ]
    B --> E[VDS]
    C --> F[ ]
    C --> G[ ]
{Highlighting}
{Shaded}
```

- લિનિયર રીજન: ચેનલ વોલ્ટેજ-કંટ્રોલ રેઝિસ્ટર તરીકે કામ કરે છે
- સેચ્યુરેશન રીજન: કરંટ માત્ર ગેટ વોલ્ટેજ દ્વારા કંટ્રોલ થાય છે
- $VDSAT$ કેલ્ક્યુલેશન: $VDSAT = VGS - VT$
- કરંટ સમીકરણો: દરેક રીજન માટે અલગ મેથેમેટિકલ મોડેલ

મેમરી ટ્રીક

"લિનિયર લાઇક્સ VDS , સેચ્યુરેશન સેઝ નો મોર"

પ્રશ્ન 2(અ) OR [3 ગુણ]

સ્ટાન્ડર્ડ સેલ બેઝિડ ડિજાઇન સમજાવો.

જવાબ

સ્ટાન્ડર્ડ સેલ ડિજાઇન કોષ્ટક:

ક્રમોનન્ટ	વર્ણન	ફાયદો
સ્ટાન્ડર્ડ સેલ	પ્રી-ડિજાઇન લોજિક ગેટ	જડપી ડિજાઇન
સેલ લાઇફારી	કેરેક્ટરાઇઝડ સેલનો સંગ્રહ	અનુમાનિત પરફોર્મન્સ
પ્લેસ એન્ડ રાઉટ	ઓટોમેટેડ લેઆઉટ જનરેશન	ઓછો ડિજાઇન સમય

- પ્રોસેસ: લોજિક સિન્થેસિસ $\rightarrow \rightarrow \rightarrow$
- સેલ પ્રકાર: બેસિક ગેટ, ફિલિપ-ફલોપ, લેચ, કોમ્પ્લેક્સ ફંક્શન
- ઓટોમેશન: EDA ટૂલ ફિઝિકલ ઇમ્પિલમેન્ટેશન હેન્ડલ કરે છે
- કવોલિટી: બેલેન્ડ પરફોર્મન્સ, એરિયા અને પાવર

મેમરી ટ્રીક

"સ્ટાન્ડર્ડ સેલ સ્પીડ અપ કરે સિન્થેસિસ"

પ્રશ્ન 2(બ) OR [4 ગુણ]

Y ચાર્ટ દોરો અને સમજાવો.

જવાબ

આફ્ટિટિઃ

Mermaid Diagram (Code)

```

{Shaded}
{Highlighting} []
graph TD
    A[Y{- - - - -}] --> B[ ]
    A --> C[ ]
    A --> D[ ]
    B --> E[ / ]
    B --> F[RTL/ ]
    B --> G[ / ]
    C --> H[ / ]
    C --> I[ALU/ ]
    C --> J[ / ]
    D --> K[ ]
    D --> L[ / ]
    D --> M[ / ]
{Highlighting}
{Shaded}
  
```

ડોમેઇન	વર્ણન	ઉદાહરણ
બિહેવિયરલ	સિસ્ટમ શું કરે છે	એલોરિધમ, RTL કોડ
સ્ટ્રક્ચરલ	સિસ્ટમ કેવી રીતે બને છે	ગેટ, મોડ્યુલ, પ્રોસેસર
ફિઝિકલ	ફિઝિકલ ઇમ્પિલમેન્ટેશન	લેઆઉટ, ફલોરપ્લાન, માસ્ક

- ડિજાઇન ફ્લોઝ: બાહ્ય રિંગ (સિસ્ટમ) થી અંદરની રિંગ (ડિવાઇસ) તરફ જવું
- એબ્સ્ટ્રેક્શન લેવલ: દરેક રિંગ અલગ વિગતનું સ્તર દર્શાવે છે
- ડોમેઇન ઇન્ટેક્શન: સમાન એબ્સ્ટ્રેક્શન પર ડોમેઇન વર્ચ્યે મૂવ થઈ શકાય
- VLSI ડિજાઇન: ત્રાણોય ડોમેઇન અને એબ્સ્ટ્રેક્શન લેવલ કવર કરે છે

મેમરી ટ્રીક

"Y-ચાર્ટ: બિહેવિયર, સ્ટ્રક્ચર, ફિઝિકલ"

પ્રશ્ન 2(ક) OR [7 ગુણ]

MOSFET કરંટ-વોલ્ટેજ કેરેક્ટરિસ્ટિક માટે ગ્રેજુઆલ ચેનલ એપ્રોક્સિમેશન સમજાવો.

જવાબ

ધારણાઓ:

ધારણા	વર્ણન	જસ્ટિફિકેશન
ગ્રેજુઆલ ચેનલ	ચેનલ લેન્થ >> ચેનલ ડેપ્થ	લોંગ ચેનલ ડિવાઇસ
1D એનાલિસિસ	કરંટ માત્ર X-દિશામાં ફલો થાય છે	મેથેમેટિકસ સરળ બનાવે છે
ડિફ્રેક્ટ કરંટ	ડિફ્રેક્ટ કરંટ નેગલેક્ટ કરવો	હાઇ ફીલ્ડ કન્ડિશન
ચાર્જ શીટ	મોબાઇલ ચાર્જ પાતળી શીટમાં	નાની ઇન્વર્શન લેયર

કરંટ ડેરિવેશન:

- ડ્રેઇન કરંટ: $ID = \mu n Cox (W/L) [(VGS-VT)VDS - VDS^2/2]$
- લિનિયર રીજન: જ્યારે $VDS < VGS - VT$
- સેચ્યુરેશન: જ્યારે $VDS \geq VGS - VT, ID = nCox(W/2L)(VGS - VT)^2$
- ચેનલ ચાર્જ: સોર્સથી ડ્રેઇન સુધી લિનિયર રીતે વેરી થાય છે

મર્યાદાઓ:

- શૉર્ટ ચેનલ ઇફ્ફેક્ટ: ગ્રેજુઆલ એપ્રોક્સિમેશન બ્રેક ડાઉન થાય છે
- વેલોસિટી સેચ્યુરેશન: હાઇ ફીલ્ડ ઇફ્ફેક્ટ ઇન્કલુડ નથી
- 2D ઇફ્કેક્ટ: સિમ્પલ મોડેલમાં અવગણાય છે

મેમરી ટ્રીક

"ગ્રેજુઆલ ચેન્જ ગિવ સિમ્પલ ગેઇન એક્વેશન"

પ્રશ્ન 3(અ) [3 ગુણ]

આર્ડલ ઇન્વર્ટરનો સિમ્બોલ દોરો અને ટુથ ટેબલ લખો. આર્ડલ ઇન્વર્ટર માટે VTC દોરો અને સમજાવો.

જવાબ

સિમ્બોલ અને ટુથ ટેબલ:

VIN {-{-}{-}{-}{-}{-}{-}|0{-}{-}{-}{-}{-}{-} VOUT
NOT

VIN	VOUT
0	1
1	0

VTC (વોલ્ટેજ ટ્રાન્સફર કેરેક્ટરિસ્ટિક):

```
VOUT \^{}  
|  
VDD +{-{-}{-}{-}{-}{-}+}  
|  
|  
| +{-{-}{-}{-}{-}{-}{-}{-}{-}+}  
|  
+{-{-}{-}{-}{-}{-}{-}{-}{-}{-}{-}{-}{-}{-}{-}{-}{-}{-} VIN}  
0 VDD/2 VDD
```

- આઈડલ લાક્ષણિકતા: $VDD/2$ પર તીવ્ર સંક્રમણ
- નોઇજ માર્જિન: $NMH = NML = VDD/2$
- ગેઇન: સ્વિચિંગ પોઇન્ટ પર અનંત
- પાવર કન્યામ્પશન: શૂન્ય સ્ટેટિક પાવર

મેમરી ટ્રીક

"આઈડલ ઇન્વર્ટર: અનંત ગેઇન, ઇન્સ્ટાન્ટ સ્વિચિંગ"

પ્રશ્ન 3(બ) [4 ગુણ]

જનરાલાઈડ ઇન્વર્ટર સર્કિટ VTC સાથે સમજાવો.

જવાબ

સર્કિટ કોન્ફિગરેશન:

ક્રમોનન્ટ	ફુલશાન	લાક્ષણિકતા
ડ્રાઇવર ટ્રાન્ઝિસ્ટર	પુલ-ડાઉન ડિવાઇસ	સ્વિચિંગ કંટ્રોલ કરે છે
લોડ ડિવાઇસ	પુલ-અપ એલિમેન્ટ	હાઇ આઉટપુટ પ્રદાન કરે છે
સાલાય વોલ્ટેજ	પાવર સોર્સ	લોજિક લેવલ નક્કી કરે છે

VTC રીજન:

Mermaid Diagram (Code)

```
{Shaded}  
{Highlighting} []  
graph TD  
A[VTC] {-{-}{-}} B[1: VOUT = VDD]  
A {-{-}{-}} C[2: ]  
A {-{-}{-}} D[3: VOUT = VOL]  
B {-{-}{-}} E[ ]  
C {-{-}{-}} F[ ]  
D {-{-}{-}} G[ ]  
{Highlighting}  
{Shaded}
```

- લોડ લાઇન એનાલિસિસ: ડ્રાઇવર અને લોડની લાક્ષણિકતાઓનું અંતરછેદ
- સ્વિચિંગ થ્રેશોલ્ડ: ડિવાઇસ સાઇઝનો દ્વારા નક્કી થાય છે
- નોઇજ માર્જિન: ટ્રાન્ઝિશન શાર્પનેસ પર આધાર રાખે છે
- પાવર ડિસ્પેશન: ટ્રાન્ઝિશન દરમિયાન સ્ટેટિક કરંટ

મેમરી ટ્રીક

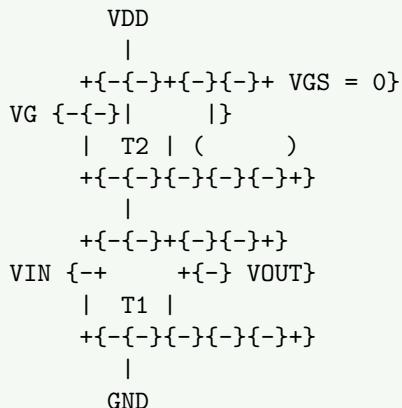
"જનરાલાઈડ ડિજાઇન: ડ્રાઇવર પુલ ડાઉન, લોડ લિફ્ટ અપ"

પ્રશ્ન 3(ક) [7 ગુણ]

ડીપ્લેશન લોડ nMOS ઇનવર્ટર તેની સર્કિટ, ઓપરેટિંગ રીજન અને VTC સાથે સમજાવો.

જવાબ

સર્કિટ આફ્રતિઃ

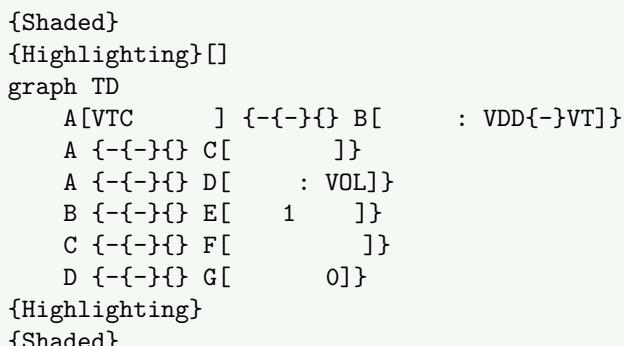


ઓપરેટિંગ રીજનઃ

ઇનપુટ સ્ટેટ	T1 સ્ટેટ	T2 સ્ટેટ	આઉટપુટ
VIN = 0	બંધ	ચાલુ (ડીપ્લેશન)	VOUT = VDD-VT
VIN = VDD	ચાલુ	ચાલુ (રેજિસ્ટ્રિબ)	VOUT = VOL

VTC એનાલિસિસઃ

Mermaid Diagram (Code)



- ફાયદા: સિમ્પલ ફેબ્રિકેશન, સારી ડ્રાઇવ કેપેબિલિટી
- નુકસાન: ડિગ્રેડ હાઇ આઉટપુટ, સ્ટેટિક પાવર કન્જમ્પશન
- એપ્લિકેશન: પ્રારંભિક NMOS લોજિંક ફેમિલી
- ડિઝાઇન વિચારણા: વિડથ રેશિયો સ્વચિંગ પોઇન્ટને અસર કરે છે

મેમરી ટ્રીક

“ડીપ્લેશન ડિવાઇસ ડિલિવર કરે ડીસેન્ટ ડ્રાઇવ”

પ્રશ્ન 3(અ) OR [3 ગુણ]

નોઇજ માર્જિન સમજાવો.

જવાબ

વ્યાખ્યા અને પેરામીટર્સ:

પેરામીટર	વર્ણન	ફોર્મ્યુલા
NMH	હાઇ નોઈજ માર્જિન	NMH = VOH - VIH
NML	લો નોઈજ માર્જિન	NML = VIL - VOL
VOH	આઉટપુટ હાઇ વોલ્ટેજ	મિનિમમ હાઇ આઉટપુટ
VOL	આઉટપુટ લો વોલ્ટેજ	મેક્સિમમ લો આઉટપુટ
VIH	ઇનપુટ હાઇ થ્રેશોલ્ડ	મિનિમમ ઇનપુટ હાઇ
VIL	ઇનપુટ લો થ્રેશોલ્ડ	મેક્સિમમ ઇનપુટ લો

- મહત્વ: સર્કિટની નોઈજ સામે પ્રતિરોધકતાનું માપ
- ડિઝાઇન લક્ષ્ય: NMH અને NML બજેને મેક્સિમમાઇઝ કરો
- ટ્રેક-ઓફ: નોઈજ માર્જિન વર્સિસ સ્પીડ વર્સિસ પાવર
- એપ્લિકેશન: ડિજિટલ સિસ્ટમ ડિઝાઇનમાં મહત્વપૂર્ણ

મેમરી ટ્રીક

"નોઈજ માર્જિન મેઇન્ટેઇન કરે સિગ્નલ ઇન્ટેગ્રિટી"

પ્રશ્ન 3(બ) OR [4 ગુણ]

રેઝિસ્ટ્રિવ લોડ ઇન્વર્ટર સમજાવો.

જવાબ

સર્કિટ અને એનાલિસિસ:

ક્રમોનન્ટ	ફુલ્કશન	લાક્ષણિકતા
NMOS ટ્રાન્ઝિસ્ટર લોડ રેઝિસ્ટર પાવર સખાય	સ્વિચિંગ ડિવાઇસ પુલ-અપ એલિમેન્ટ વોલ્ટેજ સોર્સ	વેરિએબલ રેઝિસ્ટરન્સ ફિક્સડ રેઝિસ્ટરન્સ RL VDD પ્રદાન કરે છે

ઓપરેટિંગ પ્રિન્સિપલ:

- હાઇ ઇનપુટ: ટ્રાન્ઝિસ્ટર ચાલુ, $V_{OUT} = ID \times RL()$
- લો ઇનપુટ: ટ્રાન્ઝિસ્ટર બંધ, $V_{OUT} = VDD$ (હાઇ)
- કર્ટ પાથ: આઉટપુટ લો હોય ત્યારે હંમેશા રેઝિસ્ટર દ્વારા
- પાવર કન્જમ્પનન: સ્ટેટિક પાવર = VDD^2 / RL

ફાયદા અને નુકસાન:

- સિમ્પલ ડિઝાઇન: સમજવામાં અને ઇમ્પિલમેન્ટ કરવામાં સરળ
- ખરાબ પરફોર્મન્સ: હાઇ સ્ટેટિક પાવર, સલો સ્વિચિંગ
- મર્યાદિત ઉપયોગ: મુખ્યત્વે કોન્સોપ્ટ સમજવા માટે

મેમરી ટ્રીક

"રેઝિસ્ટર રિસ્ટ્રિક્ટ કરે કર્ટ, રિઝ્યુસ કરે પરફોર્મન્સ"

પ્રશ્ન 3(ક) OR [7 ગુણ]

CMOS ઇન્વર્ટર તેની VTC સાથે સમજાવો.

જવાબ

સર્કિટ કોન્ફિગરેશન:

$$\begin{array}{c}
 \text{VDD} \\
 | \\
 +\{-\{-\}+\{-\}\{-\}+\\
 \text{VIN } \{+\} \quad +\{-\} \text{ VOUT} \\
 | \text{ PMOS} |
 \end{array}$$

```

+{--}{-}{-}{-}{-}+
| 
+{--}{-}+{--}{-}{-}+
VIN {+-      |}
| NMOS+{- VOUT}
+{--}{-}{-}{-}{-}+
| 
GND

```

VTC રીજન:

રીજન	ઇનપુટ રેઝ	PMOS સ્ટેટ	NMOS સ્ટેટ	આઉટપુટ
1	VIN < VTN	ચાલુ	બંધ	VDD
2	VTN < VIN < VDD/2	ચાલુ	ચાલુ	ટ્રાન્ઝિશન
3	VDD/2 < VIN < VDD+VTP	ચાલુ	ચાલુ	ટ્રાન્ઝિશન
4	VIN > VDD+VTP	બંધ	ચાલુ	0

મુખ્ય લાક્ષણિકતાઓ:

Mermaid Diagram (Code)

```

{Shaded}
{Highlighting} []
graph TD
    A[CMOS ] {--}{-}{-}{-} B[ ]
    A {--}{-}{-}{-} C[ ]
    A {--}{-}{-}{-} D[ ]
    A {--}{-}{-}{-} E[ ]
    B {--}{-}{-}{-} F[ ]
    C {--}{-}{-}{-} G[VOH = VDD, VOL = 0]
    D {--}{-}{-}{-} H[NMH = NML VDD/2]
{Highlighting}
{Shaded}

```

- કોમ્પલેન્ટરી ઓપરેશન: સ્લેડી સ્ટેટમાં માત્ર એક ટ્રાન્ઝિસ્ટર વહન કરે છે
- સ્વિચિંગ પોઇન્ટ: PMOS/NMOS રેશિયો દ્વારા નક્કી થાય છે
- પાવર એફિશિયન્સી: ન્યૂનતમ સ્ટેટિક પાવર કન્જામ્પશન
- નોઇજ ઇમ્પુનિટી: ઉત્તમ નોઇજ માર્જિન

મેમરી ટ્રીક

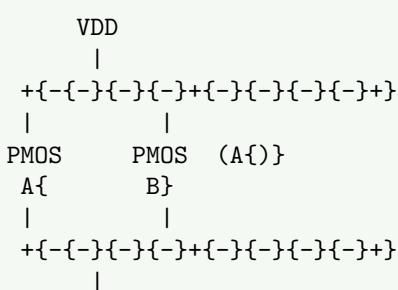
"CMOS: કોમ્પલેન્ટરી ફોર કોમ્પલીટ પરફોર્મન્સ"

પ્રશ્ન 4(અ) [3 ગુણ]

AOI CMOS ઇમ્પલેન્ટેશન સાથે દોરો.

જવાબ

AOI (AND-OR-INVERT) લોજિક: $Y = (AB + CD)'$
 CMOS ઇમ્પલેન્ટેશન:



```

+{ -{ -} { -} { -} +{ -} { -} { -} { -} +}
|           |
PMOS      PMOS   (C{} )
C{          D}
|           |
+{ -{ -} { -} { -} +{ -} { -} { -} { -} +{ -} { -} VOUT}
|           |
+{ -{ -} { -} { -} +{ -} { -} { -} { -} +}
|           |
NMOS      NMOS   ( : AB)
A          B
|           |
+{ -{ -} { -} { -} +{ -} { -} { -} { -} +}
|           |
+{ -{ -} { -} { -} +{ -} { -} { -} { -} +}
|           |
NMOS      NMOS   ( : CD)
C          D
|           |
+{ -{ -} { -} { -} +{ -} { -} { -} { -} +}
|           |
GND

```

- પુલ-અપ નેટવર્ક: PMOS ટ્રાન્ઝિસ્ટર સીરીજ-પેરેલલમાં
- પુલ-ડાઉન નેટવર્ક: NMOS ટ્રાન્ઝિસ્ટર પેરેલલ-સીરીજમાં
- જ્યુઆલિટી: પુલ-અપ અને પુલ-ડાઉન કોમ્પ્લેન્ડ છે

મેમરી ટ્રીક

“AOI: AND-OR પણી ઇન્વર્ટ”

પ્રશ્ન 4(બ) [4 ગુણ]

બે ઇનપુટ NOR અને NAND ગેટ ડીપ્લેશન લોડ nMOS થી બનાવો.

જવાબ

NOR ગેટ:

```

VDD
|
+{ -{ -} +{ -} { -} + (      ) }
VG { -{ -} |      | }
|           |
+{ -{ -} { -} { -} { -} +{ -} { -} VOUT}
|           |
+{ -{ -} { -} { -} +{ -} { -} { -} { -} +}
|           |
NMOS      NMOS   ( )
A          B
|           |
+{ -{ -} { -} { -} +{ -} { -} { -} { -} +}
|           |
GND

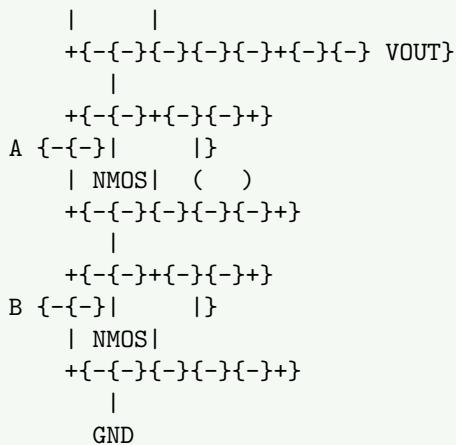
```

NAND ગેટ:

```

VDD
|
+{ -{ -} +{ -} { -} + (      ) }
VG { -{ -} |      | }

```



ટુથ ટેબલ:

A	B	NOR	NAND
0	0	1	1
0	1	0	1
1	0	0	1
1	1	0	0

મેમરી ટ્રીક

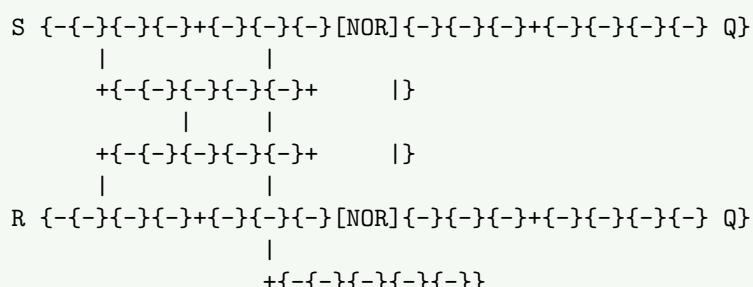
“NOR ને કંઈ હાઇ નહીં જોઈએ, NAND ને બધું હાઇ જોઈએ લો થવા માટે”

પ્રશ્ન 4(ક) [7 ગુણ]

NOR2 અને NAND2 ગેટનો ઉપયોગ કરીને CMOS SR લેચ ઇમિલમેન્ટ કરો.

જવાબ

NOR ગેટ વડે SR લેચ:



CMOS NOR ગેટ ઇમિલમેન્ટેશન:

Mermaid Diagram (Code)

```
{Shaded}
{Highlighting} []
graph TD
A[SR] { -{-}{}} B[ : ]
S=1,
R=0]
A { -{-}{}} C[ : ]
S=0,
```

```

R=1] }

A {-{-}{}} D[   :

S=0,
R=0] }

A {-{-}{}} E[   :

S=1,
R=1] }

B {-{-}{}} F[Q=1, Q{}=0]
C {-{-}{}} G[Q=0, Q{}=1]
D {-{-}{}} H[           ]
E {-{-}{}} I[      =0,    !]

{Highlighting}
{Shaded}

```

સ્ટેટ ટેબલ:

S	R	Q(n+1)	Q'(n+1)	અંકરણ
0	0	Q(n)	Q'(n)	હોલ્ડ
0	1	0	1	રીસેટ
1	0	1	0	સેટ
1	1	0	0	અમાન્ય

- કોસ-કપદ સ્ટ્રક્ચર: દ્રેક ગેટનું આઉટપુટ બીજાના ઇનપુટને ફીડ કરે છે
- બાઇસ્ટેબલ ઓપરેશન: બે સ્થિર અવસ્થા (સેટ અને રીસેટ)
- મેમરી એલિમેન્ટ: એક બિટ માહિતી સ્ટોર કરે છે
- કલોક ઇન્ડિપેન્નસ: એસિન્કોન્સ ઓપરેશન

મેમરી ટ્રીક

"SR લેય: સેટ-રીસેટ વિથ કોસ-કપદ ગેટ"

પ્રશ્ન 4(અ) OR [3 ગુણ]

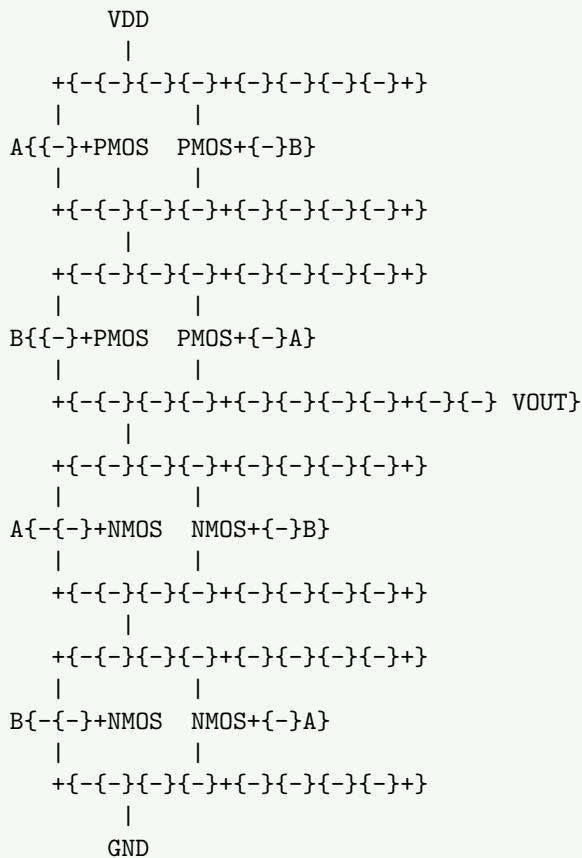
CMOS નો ઉપયોગ કરીને XOR ફંક્શન ઇમ્પલ્ટમેન્ટ કરો.

જવાબ

XOR ટુથ ટેબલ:

A	B	Y = A
0	0	0
0	1	1
1	0	1
1	1	0

CMOS XOR ઇમ્પિલમેન્ટેશન:



- ફરજાન: $Y = AB' + A'B$
- ટ્રાન્ਜિસ્ટર કાઉન્ટ: 8 ટ્રાન્જિસ્ટર (4 PMOS + 4 NMOS)
- વિકલ્પ: ટ્રાન્સમિશન ગેટ ઇમ્પિલમેન્ટેશન

મેમરી ટ્રીક

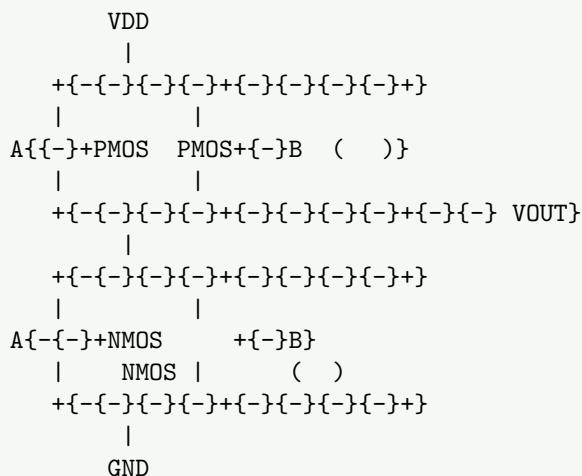
“XOR: એક્સકલુસિવ OR, અલગ ઇનપુટ આપે 1”

પ્રશ્ન 4(બ) OR [4 ગુણ]

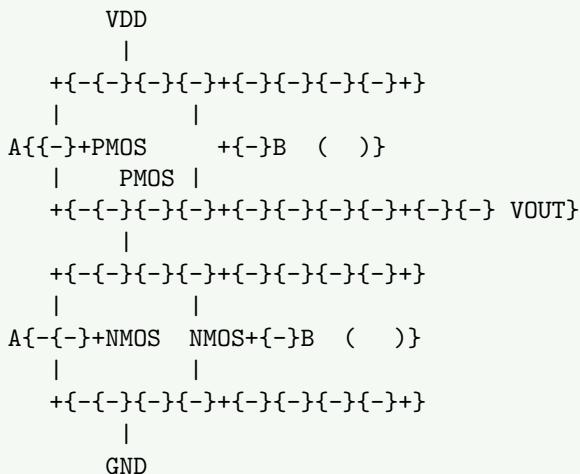
બે ઇનપુટ NOR અને NAND ગેટ CMOS થી બનાવો.

જવાબ

CMOS NOR ગેટ:



CMOS NAND ગેટ:



ડિઝાઇન નિયમો:

ગેટ	પુલ-અપ નેટવર્ક	પુલ-ડાઉન નેટવર્ક
NAND	PMOS પેરેલલમાં	NMOS સીરીઝમાં
NOR	PMOS સીરીઝમાં	NMOS પેરેલલમાં

મેમરી ટ્રીક

"NAND: નોટ AND, NOR: નોટ OR - નેટવર્ક કોમ્પ્લિમેન્ટ કરો"

પ્રશ્ન 4(ક) OR [7 શુણ]

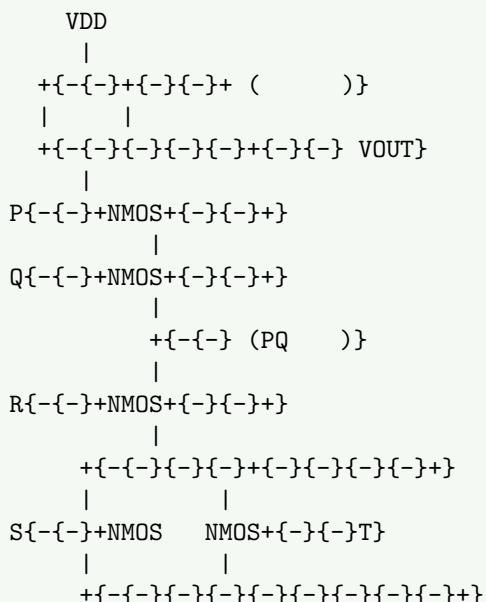
$Y = [PQ + R(S+T)]'$ બુલિયન સમીકરણ ડિપ્લેશન લોડ nMOS અને CMOS થી ઇમ્પ્લેમેન્ટ કરો.

જવાબ

બુલિયન એનાલિસિસ:

- ફુંક્શન: $Y = [PQ + R(S+T)]'$
- વિસ્તૃત: $Y = [PQ + RS + RT]'$
- ડે મોર્ગન: $Y = (PQ)' \cdot (RS)' \cdot (RT)'$
- અંતિમ: $Y = (P'+Q') \cdot (R'+S') \cdot (R'+T)'$

nMOS ઇમ્પ્લેમેન્ટેશન:



CMOS ઇમ્પલેમેન્ટેશન:**Mermaid Diagram (Code)**

```
{Shaded}
{Highlighting} []
graph LR
    A[CMOS] --> B[PMOS]
    A --> C[NMOS]
    B --> D
    C --> E
    D --> F
    E --> G
```

{Highlighting}

{Shaded}

- nMOS લાક્ષણિકતા: સિમ્પલ પણ સ્ટેટિક પાવર સાથે
- CMOS ફાયદા: સ્ટેટિક પાવર નથી, કુલ સ્વિંગ
- જાળિલતા: nMOS માટે 7 ટ્રાન્ઝિસ્ટર, CMOS માટે 14
- પરફોર્માન્સ: CMOS જડપી અને વધુ કાર્યક્ષમ

મેમરી ટ્રીક

“બુલિયન ટુ સર્કિટ: nMOS સિમ્પલ, CMOS કોમ્પ્લીટ”

પ્રશ્ન 5(અ) [3 ગુણ]

વેરિલોગમાં ઉપયોગ થતી ડિજાઇન સ્ટાઇલ સમજાવો.

જવાબ**વેરિલોગ ડિજાઇન સ્ટાઇલ:**

સ્ટાઇલ	વર્ણન	એપ્લિકેશન
ગેટ લેવલ	પ્રિમિટિવ ગેટનો ઉપયોગ	લો-લેવલ હાર્ડવેર મોડેલિંગ
ડેટા ફલો	assign સ્ટેમેન્ટનો ઉપયોગ	કોમ્પ્લનેશનલ લોજિક
બિહેવિયરલ	always બ્લોકનો ઉપયોગ	સિક્વેન્ચિયલ અને કોમ્પ્લેક્સ લોજિક
મિક્રડ	સ્ટાઇલનું કોમ્પ્લનેશન	સંપૂર્ણ સિસ્ટમ ડિજાઇન

- ગેટ લેવલ: and, or, not, nand, nor પ્રિમિટિવ
- ડેટા ફલો: ઓપરેટર સાથે કટિન્યુઅસ એસાઇનમેન્ટ
- બિહેવિયરલ: always બ્લોકમાં પ્રોસ્જરલ એસાઇનમેન્ટ
- હાઇરારકી: મોડ્યુલ અલગ સ્ટાઇલ વાપરી શકે છે

મેમરી ટ્રીક

“ગેટ-ડેટા-બિહેવિયર: મોડેલ કરવાની ત્રણ રીત”

પ્રશ્ન 5(બ) [4 ગુણ]

બિહેવિયરલ મોડેલિંગ થી કુલ એડર માટે વેરિલોગ પ્રોગ્રામ લખો.

જવાબ

```

module full\_adder\_behavioral (
    input wire a, b, cin,
    output reg sum, cout
);

always @(*) begin
    case (\{a, b, cin\})
        3{b000}: \{cout, sum\} = 2{b00};
        3{b001}: \{cout, sum\} = 2{b01};
        3{b010}: \{cout, sum\} = 2{b01};
        3{b011}: \{cout, sum\} = 2{b10};
        3{b100}: \{cout, sum\} = 2{b01};
        3{b101}: \{cout, sum\} = 2{b10};
        3{b110}: \{cout, sum\} = 2{b10};
        3{b111}: \{cout, sum\} = 2{b11};
        default: \{cout, sum\} = 2{b00};
    endcase
end

endmodule

```

મુખ્ય લક્ષણો:

- **Always બ્લોક:** બિહેવિયરલ મોડેલિંગ કન્સ્ટ્રક્ટ
- **Case સ્ટેટમેન્ટ:** ટુથ ટેબલ ઇમ્પિલમેન્ટેશન
- **કોનક્રેનેશન:** કોમ્બાઇન્ડ આઉટપુટ માટે {cout, sum}
- **સેન્સિટિવિટી લિસ્ટ:** કોમ્પિનેશનલ લોજિક માટે @(*)

મેમરી ટ્રીક

"બિહેવિયરલ યુઝ કરે Always વિથ Case સ્ટેટમેન્ટ"

પ્રશ્ન 5(ક) [7 ગુણ]

CASE સ્ટેટમેન્ટનું ફંક્શન વર્ણવો. CASE સ્ટેટમેન્ટનો ઉપયોગ કરીને 3x8 ડિકોડરનો વેરિલોગ કોડ લખો.

જવાબ

CASE સ્ટેટમેન્ટ ફંક્શન:

લક્ષણ	વર્ણન	ઉપયોગ
માલિન-વે બ્રાન્ચ	અનેક વિકલ્પોમાંથી એક પસંદ કરે	C માં switch જેવું
પેટર્ન મેચિંગ	એક્સપ્રેશનને કોન્સ્ટન્ટ સાથે કોમ્પેર કરે	બરાબર બિટ મેચિંગ
પ્રાયોરિટી એન્કોડિંગ	પહેલું મેચ જીતે છે	ટોપ-ડાઉન ઇવેલ્યુઅશન
ડિફોલ્ટ કલોઝ	અનસ્પેસિફિક કેસ હેન્ડલ કરે	લેચ અટકાવે છે

3x8 ડિકોડર વેરિલોગ કોડ:

```
module decoder\_3x8 (
    input wire [2:0] select,
    input wire enable,
    output reg [7:0] out
);

always @(*) begin
    if (enable) begin
        case (select)
            3{b000}: out = 8{b00000001};
            3{b001}: out = 8{b00000010};
            3{b010}: out = 8{b00000100};
            3{b011}: out = 8{b00001000};
            3{b100}: out = 8{b00010000};
            3{b101}: out = 8{b00100000};
            3{b110}: out = 8{b01000000};
            3{b111}: out = 8{b10000000};
            default: out = 8{b00000000};
        endcase
    end else begin
        out = 8{b00000000};
    end
end

endmodule
```

CASE સ્ટેટમેન્ટ લક્ષણો:

- બરાબર મેચિંગ: બધા બિટ બરાબર મેચ થવા જોઈએ
- પેરેલલ ઇવેલ્યુચેશન: હાર્ડવેર ઇમ્પિલમેન્ટેશન પેરેલલ છે
- સંપૂર્ણ સ્પેસિફિકેશન: બધા શક્ય ઇનપુટ કોમ્પિનેશન કવર કર્યા છે
- ડિફ્ઓલ્ટ કલોડ: સિન્થેસિસમાં અનઇન્ટેન્ડ લેચ અટકાવે છે

મેમરી ટ્રીક

“CASE કોમ્પેર કરે બધું સ્પેસિફાઇડ એક્ઝેક્યુટલી”

પ્રશ્ન 5(અ) OR [3 ગુણ]

2:1 મલ્ટિપ્લિક્સર ઇમ્પિલમેન્ટ કરતો વેરિલોગ કોડ લખો.

જવાબ

```
module mux\_2to1 (
    input wire a, b, sel,
    output wire y
);

assign y = sel ? b : a;

endmodule
```

વિકલ્પિત ઇમ્પિલમેન્ટેશન:

સ્ટાઇલ	કોડ	ઉપયોગ કેસ
ડેટા ફલો	assign y = sel ? b : a;	સિમ્પલ લોજિક
ગેટ લેવલ	and, or, not ગેટ વાપરે	શીખવાનો હેતુ
બિહેવિયરલ	if-else સાથે always બ્લોક	કોમ્પ્લેક્સ કન્ડિશન

- કન્ડિશનલ ઓપરેટર: ? : માટિએક્સર ફૂકશન પ્રદાન કરે
- કંટિન્યુઅસ એસાઇનમેન્ટ: કોમ્પ્યુનેશનલ લોજિક માટે assign
- સિન્થેસિસ: ટૂલ ગેટ-લે I/O ઇમ્પ્લામેન્ટેશનમાં કન્વર્ટ કરે

મેમરી ટ્રીક

“MUX: sel ? b : a - ઇનપુટ વચ્ચે પસંદગી”

પ્રશ્ન 5(બ) OR [4 ગુણ]

બિહેવિયર મોડેલિંગ થી D ફિલપ-ફલોપ માટે વેરિલોગ પ્રોગ્રામ લખો.

જવાબ

```
module d\_flipflop (
    input wire clk, reset, d,
    output reg q, qbar
);

always @(posedge clk or posedge reset) begin
    if (reset) begin
        q  {}= 1{b0};
        qbar {}= 1{b1};
    end else begin
        q  {}= d;
        qbar {}= {}d;
    end
end

endmodule
```

મુખ્ય લક્ષણો:

એલિમેન્ટ	ફૂકશન	સિન્ટેક્સ
posedge clk	રાઇઝિંગ એજ ટ્રિગાર	કલોક સિંકોનાઇઝેશન
posedge reset	એસિંકોનસ રીસેટ	તાત્કાલિક રીસેટ એક્શન
નોન-બ્લોકિંગ	$=<$ ઓપરેટર	સિક્વેન્શિયલ લોજિક
કોમ્પ્લામેન્ટ્રી	$qbar = \sim q$	સાથી ફિલપ-ફલોપ બિહેવિયર

- એજ સેન્સિટિવિટી: માત્ર કલોક એજ પર પ્રતિભાવ આપે
- એસિંકોનસ રીસેટ: રીસેટ કલોક કરતાં પ્રાથમિકતા લે
- સિક્વેન્શિયલ લોજિક: નોન-બ્લોકિંગ એસાઇનમેન્ટ વાપરે
- સ્ટેટ સ્ટોરેજ: કલોક સાઇકલ વચ્ચે ડેટા જાળવે

મેમરી ટ્રીક

“D ફિલપ-ફલોપ: ડેટા ફોલો કરે કલોક વિથ રીસેટ”

પ્રશ્ન 5(ક) OR [7 ગુણ]

ટેસ્ટબોય ટૂંકમાં વર્ણવો. 4-બિટ ડાઉન કાઉન્ટર ઇમ્પ્લામેન્ટ કરવાનો વેરિલોગ કોડ લખો.

જવાબ

ટેસ્ટબોય ઓવરવ્યુ:

ક્રમોનન્ટ	ઉદ્દેશ્ય	ઇમ્પીલમેન્ટેશન
સ્ટેમ્પુલસ જનરેશન	ટેસ્ટ ઇનપુટ પ્રદાન કરવું	કલોક, રીસેટ, કંટ્રોલ સિન્થ્રલ
રિસ્પોન્સ મોનિટરિંગ	આઉટપુટ ચેક કરવું	અપેક્ષિત મૂલ્ય સાથે સરખાવો
કવરેજ એનાલિસિસ	સંપૂર્ણતા ચકાસવી	બધી સ્ટેટ અને ટ્રાન્ઝિશન
ડિબર્જિંગ સપોર્ટ	સમસ્યા ઓળખવી	વેવફોર્મ એનાલિસિસ

4-બિટ ડાઉન કાઉન્ટર:

```
module down\_counter\_4bit (
    input wire clk, reset, enable,
    output reg [3:0] count
);

always @(posedge clk or posedge reset) begin
    if (reset) begin
        count {} = 4{b1111}; //
    end else if (enable) begin
        if (count == 4{b0000})
            count {} = 4{b1111}; //
        else
            count {} = count {-} 1; //
    end
end

endmodule

//  

module tb\_down\_counter;
    reg clk, reset, enable;
    wire [3:0] count;

    down\_counter\_4bit dut (
        .clk(clk),
        .reset(reset),
        .enable(enable),
        .count(count)
    );

    //  

    always #5 clk = {}clk;

    initial begin
        clk = 0;
        reset = 1;
        enable = 0;

        #10 reset = 0;
        #10 enable = 1;

        #200 $finish;
    end

    //  

    initial begin
        $monitor("Time=%0t, Reset=%b, Enable=%b, Count=%b",
                 $time, reset, enable, count);
    end

endmodule
```

ટેસ્ટબોય કમ્પોનન્ટ:

- કલોક જનરેશન: always બ્લોક વડે કંટિન્યુઅસ કલોક
- સિટ્મ્યુલસ: રીસેટ અને enable સિથલ કંટ્રોલ
- મોનિટરિંગ: કંટિન્યુઅસ આઉટપુટ ડિસ્પલે
- સિટ્મ્યુલેશન કંટ્રોલ: સિટ્મ્યુલેશન અંત કરવા માટે \$finish

કાઉન્ટર લક્ષણો:

- ડાઉન કાઉન્ટિંગ: 15 થી 0 સુધી ડેક્કિમેન્ટ
- રેપ અરાઉન્ડ: 0 પહોંચાયા પછી 15 પર પાછું ફરે

- **enable કંડ્રોલ:** માત્ર enable હોય ત્યારે જ કાઉન્ટિંગ
- **સિંકોન્સ આપરેશન:** કલોક એજ પર બધા ફેરફાર

મેમરી ટ્રીક

"ટેસ્ટવર્ષેચ ટેસ્ટ કરે કલોક, સ્ટ્રમ્યુલસ અને મોનિટર સાથે"