

GUJARAT TECHNOLOGICAL UNIVERSITY

Diploma Engineering – SEMESTER – 6 (NEW) – EXAMINATION – Summer-2025

Subject Code: 4361102**Date: 12-05-2025****Subject Name: VLSI****Time: 10:30 AM TO 01:00 PM****Total Marks: 70****Instructions:**

1. Attempt all questions.
2. Make Suitable assumptions wherever necessary.
3. Figures to the right indicate full marks.
4. Use of simple calculators and non-programmable scientific calculators are permitted.
5. English version is authentic.

			Marks
Q.1	(a)	State importance of scaling	03
પ્રશ્ન.1	(અ)	સ્કેલિંગનું મહત્વ લખો.	૦૩
	(b)	Compare Planer MOSFET and FINFET.	04
	(બ)	MOSFET અને FINFET ની તુલના કરો.	૦૪
	(c)	Draw and Explain VDS -ID AND VGS -ID characteristics of N channel MOSFET.	07
	(ક)	N channel MOSFET ની VDS -ID અને VGS -ID લાક્ષણિકતાઓ દોરો અને સમજાવો.	૦૭
		OR	
	(c)	Explain different condition of MOS under external bias.	07
	(ક)	એક્ષ્ટરનલ બાયસ હેઠળ MOS પર ઉદ્ભવતી અલગ અલગ અસર સમજાવો.	૦૭
Q.2	(a)	Draw voltage transfer characteristic of ideal inverter	03
પ્રશ્ન.2	(અ)	આદર્શ ઇન્વર્ટરની વોલ્ટેજ ટ્રાન્સફર લાક્ષણિકતા સમજાવો	૦૩
	(b)	Explain noise immunity and noise margin.	04
	(બ)	નોઈઝ ઇમ્યુનિટી અને નોઈઝ માર્જિન સમજાવો.	૦૪
	(c)	Describe inverter circuit with saturated and linear depletion load nMOS inverter	07
	(ક)	Saturated and linear depletion load nMOS ઇન્વર્ટર સાથે ઇન્વર્ટર સર્કિટનું વર્ણન કરો	૦૭
		OR	
Q.2	(a)	Draw and explain enhancement load inverter.	03
પ્રશ્ન.2	(અ)	એન્હાન્સમેન્ટ લોડ ઇન્વર્ટર દોરો અને સમજાવો.	૦૩
	(b)	List the advantages of CMOS inverter,	04
	(બ)	CMOS ઇન્વર્ટર ના ફાયદા લખો	૦૪
	(c)	Draw and Explain operating mode of region for CMOS Inverter.	07
	(ક)	CMOS Inverter ઓપરેટિંગ મોડને દોરો અને સમજાવો.	૦૭
Q. 3	(a)	Draw two input NOR gate using CMOS.	03
પ્રશ્ન.3	(અ)	CMOS ની મદદથી બે ઇનપુટ NOR ગેટને દોરો	૦૩
	(b)	Implement Boolean function $Z = [(A+B)C+DE]'$ using CMOS	04
	(બ)	CMOS ઉપયોગ કરી બુલિયન વિધેય $Z = [(A+B)C+DE]'$ નો અમલ કરો.	૦૪
	(c)	Draw and explain CMOS NAND2 gate with the parasitic device capacitances:	07
	(ક)	CMOS NAND2 ગેટ માટે પેરાસિટિક્સ દોરો અને સમજાવો:	૦૭
		OR	
Q. 3	(a)	Draw and explain NOR based Clocked SR latch using CMOS.	03
પ્રશ્ન.3	(અ)	CMOS નો ઉપયોગ કરી NOR based Clocked SR latch દોરો અને સમજાવો.	૦૩

	(b)	Implement Boolean function $Z=[AB+C(D+E)]'$ using CMOS.	04
	(બ)	CMOS ઉપયોગ કરી બુલિયન વિધેય $Z=Z=[AB+C(D+E)]'$ નો અમલ કરો.	૦૪
	(c)	Differentiate AOI and OAI Logic with example.	07
	(ક)		૦૭
Q. 4	(a)	Define: 1) Regularity 2)Modularity 3)Locality	03
પ્રશ્ન.4	(અ)	વ્યખ્ય આપો: 1) Regularity 2)Modularity 3)Locality	૦૩
	(b)	Implement SR latch (NAND gate) using CMOS inverter.	04
	(બ)	ઉદાહરણ સાથે AOI અને OAI લોજિકને અલગ પાડો.	૦૪
	(c)	Explain VLSI design flow.	07
	(ક)	વીએલએસઆઈ (VLSI) ડિઝાઇન ફ્લો સમજાવો.	૦૭
		OR	
Q. 4	(a)	Draw and explain Y-chart.	03
પ્રશ્ન.4	(અ)	Y-ચાર્ટ દોરો અને સમજાવો.	૦૩
	(b)	Implement clocked JK latch (NOR gate) using CMOS inverter.	04
	(બ)	CMOS ઇન્વર્ટરનો ઉપયોગ કરીને JK latch (NOR gate) (એનઓઆર ગેટ)નો અમલ કરો.	૦૪
	(c)	Explain the terms Lithography, Etching, Deposition, Oxidation, Ion implantation, Diffusion	07
	(ક)	લિથોગ્રાફી, એચિંગ, જુબાની, ઓક્સિડેશન, આયન પ્રત્યારોપણ, પ્રસરણ જેવા શબ્દો સમજાવો.	૦૭
Q.5	(a)	Implement 2 input xnor gate using Verilog	03
પ્રશ્ન.5	(અ)	વેરિલોગની મદદથી ૨ ઇનપુટ xnor ગેટને અમલમાં મૂકો	૦૩
	(b)	Implement Encoder (8:3) using CASE statement in Verilog.	04
	(બ)	વેરિલોગમાં CASE સ્ટેટમેન્ટનો ઉપયોગ કરીને એનકોડર (8:3)નો અમલ કરો.	૦૪
	(c)	Explain CASE statement in Verilog with suitable examples	07
	(ક)	યોગ્ય એક્ઝમ્પલ્સ સાથે વેરિલોગમાં કેસ સ્ટેટમેન્ટ સમજાવો	૦૭
		OR	
Q.5	(a)	Implement full subtractor using Verilog code.	03
પ્રશ્ન.5	(અ)	Verilog કોડનો ઉપયોગ કરીને full subtractor નો અમલ કરો.	૦૩
	(b)	Implement JK flipflop using Behavioural modeling style in Verilog.	04
	(બ)	વેરિલોગમાં Behavioural મોડેલિંગ શૈલીનો ઉપયોગ કરીને JK flipflop નો અમલ કરો.	૦૪
	(c)	Explain different Verilog modeling style with examples.	07
	(ક)	ઉદાહરણ આપીને વિવિધ વેરિલોગ મોડેલિંગ શૈલી સમજાવો.	૦૭