

# GUJARAT TECHNOLOGICAL UNIVERSITY

## Diploma Engineering – SEMESTER – 6 (NEW) – EXAMINATION – Summer-2024

**Subject Code: 4361102****Date: 16-05-2024****Subject Name: VLSI****Time: 10:30 AM TO 01:00 PM****Total Marks: 70****Instructions:**

1. Attempt all questions.
2. Make Suitable assumptions wherever necessary.
3. Figures to the right indicate full marks.
4. Use of programmable & Communication aids are strictly prohibited.
5. Use of non-programmable scientific calculator is permitted.
6. English version is authentic.

Marks

<b>Q.1</b>	(a)	Draw the structure of FinFET and write its advantages.	<b>03</b>
<b>પ્રશ્ન.1</b>	(અ)	FinFET ની રચના દોરો અને તેના ફાયદા લખો.	૦૩
	(b)	Explain depletion and inversion of MOS structure under external bias	<b>04</b>
	(બ)	એક્સટર્નલ બાયઝ હેઠળ MOS રચનાનું ડેપલેશન અને ઇન્વર્ઝન સમજાવો	૦૪
	(c)	Explain n-channel MOSFET with the help of its Current-Voltage characteristics.	<b>07</b>
	(ક)	n-ચેનલ MOSFET ને તેની કરન્ટ-વોલ્ટેજ લાક્ષણિકતાઓની મદદથી સમજાવો.	૦૭
<b>OR</b>			
	(c)	Define scaling. Compare full voltage scaling with constant voltage scaling. Write the disadvantages of scaling.	<b>07</b>
	(ક)	સ્કેલિંગ વ્યાખ્યાયિત કરો. full voltage સ્કેલિંગ સાથે constant voltage સ્કેલિંગની તુલના કરો. સ્કેલિંગના ગેરફાયદા લખો.	૦૭
<b>Q.2</b>	(a)	Draw two input NAND gate using CMOS.	<b>03</b>
<b>પ્રશ્ન.2</b>	(અ)	CMOS ની મદદ થી બે ઇનપુટ NAND ગેટ દોરો.	<b>૦૩</b>
	(b)	Explain noise immunity and noise margin for nMOS inverter.	<b>04</b>
	(બ)	nMOS ઇન્વર્ટર માટે noise immunity અને noise margin સમજાવો.	૦૪
	(c)	Explain Voltage Transfer Characteristics (VTC) of CMOS inverter.	<b>07</b>
	(ક)	CMOS ઇન્વર્ટરની વોલ્ટેજ ટ્રાન્સફર લાક્ષણિકતાઓ (VTC) સમજાવો.	૦૭
<b>OR</b>			
<b>Q.2</b>	(a)	Implement NOR2 gate using depletion load nMOS.	<b>03</b>
<b>પ્રશ્ન.2</b>	(અ)	ડિપ્લેશન લોડ nMOS નો ઉપયોગ કરીને NOR2 ગેટનો અમલ કરો.	૦૩

	(b)	Differentiate between enhancement load inverter and Depletion load inverter.	04
	(બ)	એન્હાન્સમેન્ટ લોડ ઇન્વર્ટર અને ડિપ્લેશન લોડ ઇન્વર્ટર વચ્ચે તફાવત શોધો.	૦૪
	(c)	Explain Depletion load nMOS inverter with its VTC.	07
	(ક)	ડિપ્લેશન લોડ nMOS ઇન્વર્ટરને તેના VTC સાથે સમજાવો.	૦૭
Q. 3	(a)	Implement EX-OR using Depletion load nMOS.	03
પ્રશ્ન.3	(અ)	ડિપ્લેશન લોડ nMOS નો ઉપયોગ કરીને EX-OR નો અમલ કરો.	૦૩
	(b)	Explain design hierarchy with example.	04
	(બ)	ડિઝાઇન હાઇરાર્કી ને ઉદાહરણ સાથે સમજાવો.	૦૪
	(c)	Draw and explain Y chart design flow.	07
	(ક)	Y ચાર્ટ ડિઝાઇન ફ્લો દોરો અને સમજાવો.	૦૭
<b>OR</b>			
Q. 3	(a)	Implement NAND2 - SR latch using CMOS	03
પ્રશ્ન.3	(અ)	CMOS નો ઉપયોગ કરીને NAND2 - SR લેચનો અમલ કરો.	૦૩
	(b)	Which method is used to transfer pattern or mask on the silicon wafer? Explain it with neat diagrams	04
	(બ)	સિલિકોન વેફર પર પેટર્ન અથવા માસ્ક ટ્રાન્સફર કરવા માટે કઈ પદ્ધતિનો ઉપયોગ થાય છે? તેને સુધ્ધ આકૃતિઓ સાથે સમજાવો.	૦૪
	(c)	Which are the methods used to deposit metal in MOSFET fabrication? Explain deposition in detail with proper diagram.	07
	(ક)	MOSFET ફેબ્રિકેશનમાં metal deposit કરવા માટે કઈ પદ્ધતિઓનો ઉપયોગ થાય છે? યોગ્ય ડાયાગ્રામ સાથે ડિપોઝિશનને વિગતવાર સમજાવો.	૦૭
Q. 4	(a)	Implement $Z = ((A+B+C) \cdot (D+E+F) \cdot G)'$ with depletion nMOS load.	03
પ્રશ્ન.4	(અ)	ડિપ્લેશન nMOS લોડ સાથે $Z = ((A+B+C) \cdot (D+E+F) \cdot G)'$ અમલમાં મૂકો.	૦૩
	(b)	List and explain the design styles used in VERILOG.	04
	(બ)	VERILOG માં વપરાતી ડિઝાઇન શૈલીઓની સૂચિ બનાવો અને સમજાવો.	૦૪
	(c)	Implement NAND2 SR latch using CMOS and also implement NOR2 SR latch using CMOS.	07
	(ક)	CMOS નો ઉપયોગ કરીને NAND2 SR લેચનો અમલ કરો અને CMOS નો ઉપયોગ કરીને NOR2 SR લેચનો પણ અમલ કરો.	૦૭
<b>OR</b>			
Q. 4	(a)	Implement $Y = (ABC + DE + F)'$ with depletion nMOS load.	03
પ્રશ્ન.4	(અ)	$Y = (ABC + DE + F)'$ ને ડિપ્લેશન nMOS લોડ સાથે અમલમાં મૂકો.	૦૩
	(b)	Write Verilog Code to implement full adder.	04
	(બ)	ફૂલ એડરને અમલમાં મૂકવા માટે વેરિલોગ કોડ લખો.	૦૪
	(c)	Implement $Y = (S1'S0'I0 + S1'S0'I1 + S1'S0'I2 + S1'S2'I3)$ using depletion load	07
	(ક)	ડિપ્લેશન લોડનો ઉપયોગ કરીને $Y = (S1'S0'I0 + S1'S0'I1 + S1'S0'I2 + S1'S2'I3)$ લાગુ કરો	૦૭
Q.5	(a)	Implement the logic function $G = (PQR + U(S+T))'$ using CMOS	03
પ્રશ્ન.5	(અ)	CMOS નો ઉપયોગ કરીને લોજિક ફંક્શન $G = (PQR + U(S+T))'$ નો અમલ કરો	૦૩
	(b)	Implement 8×1 multiplexer using Verilog	04

- (બ) વેરિલોગનો ઉપયોગ કરીને 8×1 મલ્ટિપ્લેક્સર અમલમાં મૂકો. ૦૪
- (c) Implement 4 bit full adder using structural modeling style in Verilog. 07
- (ક) વેરિલોગમાં સ્ટ્રક્ચરલ મોડેલિંગ શૈલીનો ઉપયોગ કરીને 4 બીટ ફુલ એડરને લાગુ કરો. ૦૭

**OR**

- Q.5** (a) Implement logic function  $Y = ((AF(D + E)) + (B + C))'$  using CMOS. 03
- પ્રશ્ન.5 (અ) CMOS નો ઉપયોગ કરીને લોજિક ફંક્શન  $Y = ((AF(D + E)) + (B + C))'$  ને અમલમાં મૂકો. ૦૩
- (b) Implement 4 bit up counter using Verilog 04
- (બ) વેરિલોગનો ઉપયોગ કરીને 4 બીટ અપ કાઉન્ટર અમલમાં મૂકવું ૦૪
- (c) Implement 3:8 decoder using behavioral modeling style in Verilog. 07
- (ક) વેરિલોગમાં બિહેવિયરલ મોડલિંગ સ્ટાઈલનો ઉપયોગ કરીને 3:8 ડીકોડરનો અમલ કરો ૦૭

\*\*\*\*\*