

บทที่ 17

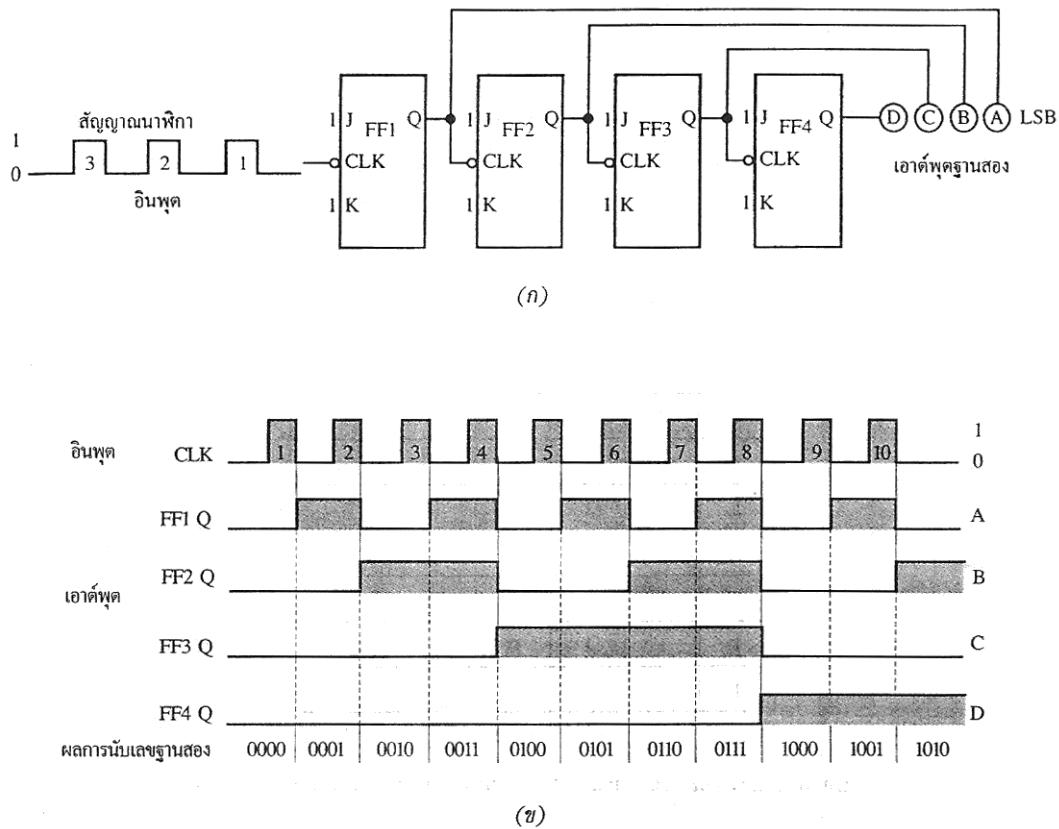
wangnab

wangnab เป็น wangrak จิกเชิงลำดับ wangrak นั่ง ที่มีความสำคัญในระบบคิจitol ทำงาน โดยหลักการนับจำนวนพัลส์สี่เหลี่ยมที่ป้อนเข้าทางอินพุต และแสดงผลออกเป็นเลขฐานสอง หรือเลขฐาน สิบ อุปกรณ์สำคัญสำรับ wangrak คือ ฟลิปฟลอป และอาจมีเกตบাংสำหรับ wangrak นับชนิดพิเศษเมื่อแบ่ง wangrak ออกตาม โครงสร้างของการต่อสัญญาณอินพุตพัลส์ แบ่งได้ 2 ชนิดคือ wangrak แบบซิงโกรนัสและ wangrak แบบอะซิงโกรนัส wangrak ทั้งสองชนิดสามารถ ออกแบบและสร้างได้โดยใช้ฟลิปฟลอปคังทิกล่าวนماแล้วข้างต้น นอกจากนี้ยังมีผู้ผลิต ออกแบบ wangrak ดังกล่าวบรรจุไว้ในวงจรรวมชนิดที่ที่แอลและการออกแบบ เช่น wangrak นับเลขฐานสองขนาด 4 บิต wangrak 10 wangrak เลขฐานสองชนิดนับบีน์ลง และอื่นๆ เป็น ต้น ซึ่ง wangrak ดังกล่าวเป็น wangrak ที่ใช้กันอย่างแพร่หลาย จึงควรศึกษาฟังก์ชันการทำงานให้ เข้าใจ เพื่อจะนำไปใช้งานได้อย่างมีประสิทธิภาพ รวมทั้งการออกแบบ wangrak แบบซิงโกรนัส และแบบอะซิงโกรนัสด้วย เพื่อจะสามารถออกแบบ wangrak รูปแบบต่างๆ ได้อย่างถูกต้องและ สามารถประยุกต์ใช้งานได้เป็นอย่างดี

17.1 การออกแบบ wangrak แบบซิงโกรนัส

17.1.1 wangrak บีน์

คือ wangrak ที่ฟลิปฟลอปแต่ละตัวทำงานเรียงลำดับกัน กล่าวคือ ถ้า wangrak นี้ ประกอบด้วยฟลิปฟลอป 4 ตัว ฟลิปฟลอปตัวแรกคือ FF1 ตัวต่อไปคือ FF2 FF3 และ FF4 ตามลำดับดังแสดงในรูปที่ 17.1 (ก) ฟลิปฟลอปตัวแรกคือ FF1 จะได้รับสัญญาณนาฬิกาจาก วงจรภายนอก ฟลิปฟลอป FF1 นี้เป็นชนิดทำงานด้วยขอบหลังของพัลส์ ดังนั้นจึงทำงานทุกๆ ขอบหลังของพัลส์นาฬิกาตามลำดับพัลส์ที่ 1 พัลส์ที่ 2 และพัลส์ที่ 3 ในทำนองเดียวกัน ฟลิป ฟลอป FF2 จะได้รับสัญญาณนาฬิกาที่ออกจาก Q ของ FF1 ดังนั้นฟลิปฟลอป FF2 จึงทำงาน ทุกครั้งที่พัลส์นาฬิกาที่ออกจาก Q ของ FF1 ปรากฏขอบหลังของพัลส์ และฟลิปฟลอป FF3 จะ รับสัญญาณพัลส์จาก Q ของ FF2 จึงทำงานทุกครั้งที่ Q ของ FF2 ปรากฏขอบหลังของพัลส์ และฟลิปฟลอป FF4 จะรับสัญญาณพัลส์จาก Q ของ FF3 และทำงานที่ขอบหลังของพัลส์ Q จาก FF3 เช่นกัน ฟลิปฟลอปทุกตัวเป็นชนิด เจ-เค ทำงานในโมดที่อกเกิล ดังนั้นต้องควบคุม ให้เจและเคลื่อนฟลิปฟลอปทุกตัวเป็น “1” เมื่อ สังเกตว่าคู่ลี่ของสัญญาณนาฬิกา และรูปคู่ลี่ พัลส์เอกสาร์พุต Q ของ FF1 FF2 FF3 และ FF4 ตามลำดับ จะปรากฏดังรูปที่ 17.1 (ก)



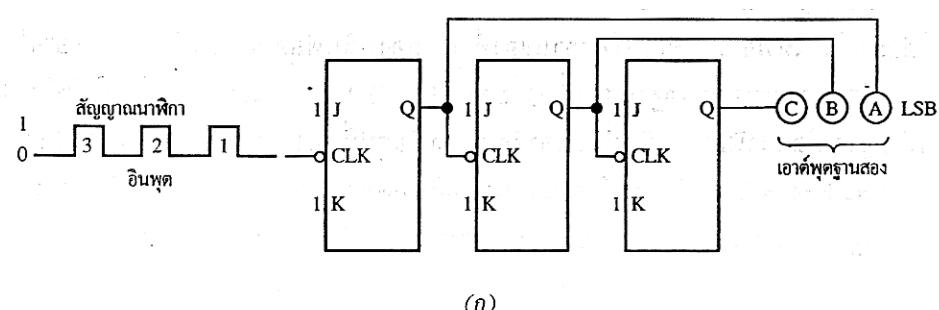
รูปที่ 17.1 วงจรนับอะซิงโกรนัสนภาค 4 บิต (นับขึ้น) และรูปคลื่นพัลส์ของสัญญาณนาฬิกา และเอาต์พุตของฟลิปฟล็อกแต่ละตัว

วงจรนับอะซิงโกรนัสที่ต่อ Q ของฟลิปฟล็อกตัวหน้าให้กับอินพุต CLK ของฟลิปฟล็อกตัวถัดไปตามลำดับ ดังแสดงในรูปที่ 17.1 (ก) เรียกว่างจรนับขึ้น เมื่อพิจารณาคำนวณ ที่ว่าวงจรนับขึ้นนับได้อย่างไร ให้พิจารณาที่เอาต์พุตฐานสองที่ Q ของฟลิปฟล็อกแต่ละตัว ดังตัวอย่างในรูปที่ 17.1 (ข) เมื่อพิจารณาเอาต์พุตฐานสองที่ Q ของ FF1 FF2 FF3 และ FF4 โดยให้ฟลิปฟล็อกตัวที่รับสัญญาณพัลส์นาฬิกาเป็นบิตที่มีนัยสำคัญต่ำสุด ในรูปที่ 17.1 (ก) คือ FF1 = A, FF2 = B, FF3 = C และ FF4 = D ลำดับการนับจำนวนพัลส์ที่อินพุตของ FF1 จะแสดงที่ Q ทั้ง DCBA รวมเป็นเอาต์พุตฐานสอง ขนาด 4 บิต เมื่อมีฟลิปฟล็อกในวงจร 4 ตัว จะนับเลขฐานสองได้เท่ากับ 2^n เมื่อ n คือจำนวนฟลิปฟล็อกในวงจร เมื่อ ลำดับผลการนับเลขฐานสองของวงจรในรูปที่ 17.1 (ก) จะได้ดังตารางแสดงผลการนับในรูปที่ 17.2

นับเลขฐานสอง				นับเลขฐานสิบ
D	C	B	A	นับเลขฐานสิบ
8s	4s	2s	1s	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

รูปที่ 17.2 ตารางแสดงผลการนับของจรา้งนับอะซิงโกรนัสต้นขึ้นขนาด 4 บิต

ในทำงานเดียวกัน เมื่อต่อฟลิปฟล็อกที่ทำงานในสถานะที่ยกเกล็อกจำนวน 3 ตัว (3 บิต) ให้นับขึ้นดังแสดงในรูปที่ 17.3 (ก) ผลการนับของจรา้งที่แสดงเป็นเลขฐานสองที่เอาต์พุตทั้ง 3 บิต (CBA) นั้นจะแสดงในตารางรูปที่ 17.3 (ข)



รูปที่ 17.3 แสดงวงจรนับอะซิงโกรนัสนับขึ้น 3 บิต และตารางแสดงผลการนับของวงจร

นับเลขฐานสอง			นับเลขฐานสิบ
C	B	A	
4s	2s	1s	
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

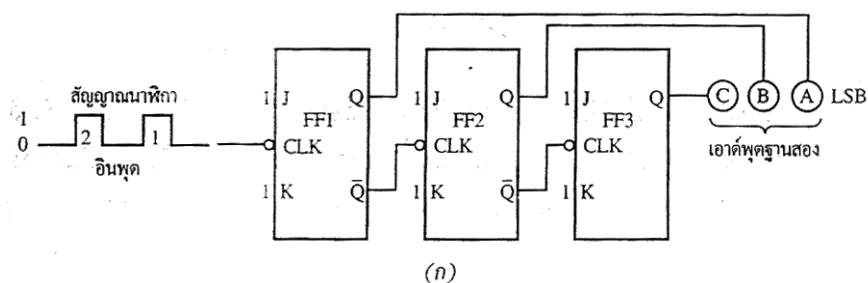
(v)

รูปที่ 17.3 (ต่อ)

จะเห็นว่างจรนับอะซิงโกรนัส 3 บิต นับได้ 8 ครั้ง ($0 - 7$) ตามลำดับ เท่ากับ $2^n = 2^3 = 8$ ดังแสดงผลในตารางรูปที่ 17.3 (x) และเมื่อนับพัลส์อินพุตพัลส์ที่ 9 เอาต์พุตทั้งสามจำนวน กลับไปเลข 0 อีกครั้ง และนับเลข 1 2 3 เพิ่มขึ้นตามลำดับของจำนวนพัลส์อื่นๆ ต่อไป

17.1.2 วงจรนับลง

วงจรนับอะซิงโกรนัสมารณ์นับจำนวนพัลส์ทางอินพุตในลักษณะนับลง หมายถึง วงจรนับที่แสดงผลทางเอาต์พุตฐานสอง จากเลขลำดับสูงสุดมาลงเลขต่ำสุด เช่น วงจรนับลง 3 บิต จะนับเลขฐานสองจากเลข 7 6 5 4 3 2 1 0 เป็นต้น การทำให้วงจรนับอะซิงโกรนัสนับลงทำได้โดยนำสัญญาณ เอาต์พุต \bar{Q} จากฟลิปฟล็อกปัตัวแรกป้อนเข้าอินพุต CLK ของฟลิปฟล็อกลำดับถัดไป ดังแสดงในรูปที่ 17.4 (ก) เป็นวงจรนับอะซิงโกรนัสนับลงขนาด 3 บิต จะเห็นว่าฟลิปฟล็อกปัตติ้ง 3 ตัวยังคงทำงานในสถานะที่ออกเกิด และตารางแสดงผลการนับของวงจรนับลงขนาด 3 บิต แสดงในรูปที่ 17.4 (ข) และรูปคลื่นพัลส์ที่เอาต์พุตของฟลิปฟล็อกแต่ละตัวเทียบกับสัญญาณนาฬิกา แสดงในรูปที่ 17.4 (ค)

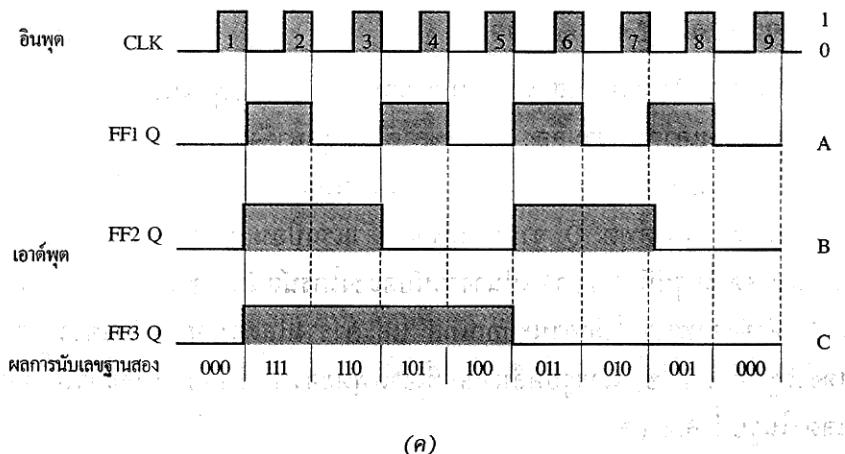


(ก)

รูปที่ 17.4 แสดงวงจรอะซิง โกรน์สันบลจกขนาด 3 บิต และตารางแสดงผลการนับและตารางแรบุคเลื่อนເອາະພຸດຂອງຟິລີປົກລອປ່ແຕ່ລະຕົວ

ລາດນັບຂອງ ສູງຈູາພາພິກາ	ລາດນັບການນັບ ເລຂຮຽນສອງ			ນັບເລຂຮຽນລົບ
	C	B	A	
0	1	1	1	7
1	1	1	0	6
2	1	0	1	5
3	1	0	0	4
4	0	1	1	3
5	0	1	0	2
6	0	0	1	1
7	0	0	0	0
8	1	1	1	7
9	1	1	0	6

(y)

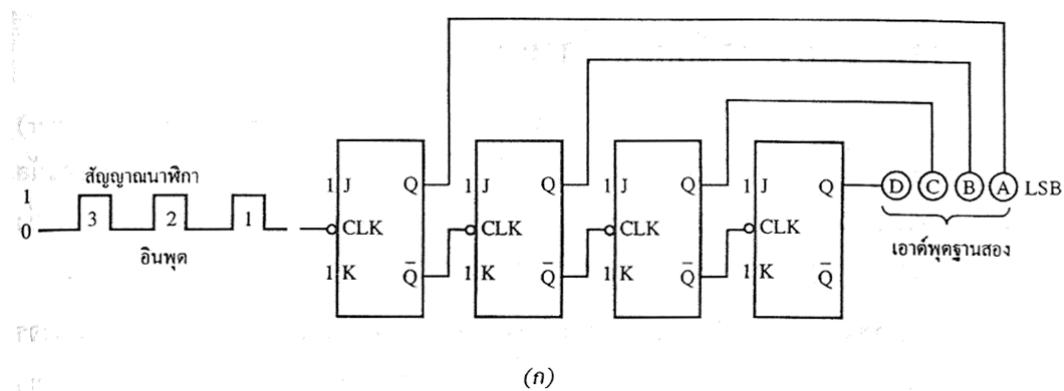


(c)

รูปที่ 17.4 (ต่อ)

เมื่อต่อຟິລີປົກລອປ່ໃຫ້ເປັນວິຈານນັບອະຊີງ ໂກຣນ໌ສະນາດ 4 ບິຕນັບລົງ ຕ້ອງໃໝ່ຟິລີປົກລອປ່
ປຳຈຳນວນ $n = 4$ ຕ້າ ຄື່ອ $2^n = 2^4 = 16$ ຈະສາມາດນັບເລຂຮຽນສອງໄດ້ 16 ຄັ້ງ ເວັ້ນຕິ່ນຈາກໜາຍເລີກ
15 ແລະ ລົດລົງຄັ້ງລະ 1 ຕາມຈຳນວນພັດສໍຕາມລຳດັບດັ່ງນີ້ 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
ແລະ ຈະນັບວຸນກັບ ມາຕົວເລີກເວັ້ນຕິ່ນທຸກອົບການນັບເມື່ອພັດສໍອິນພຸດຍັງປຣາກງູເຂົ້າທີ່ອິນພຸດຂອງພ

ลิปฟล็อกปตัวแรกในวงจรลักษณะวงจรนับอะซิงโครนัส 4 บิตนับลง แสดงในรูปที่ 17.5 (ก)
และตารางแสดงผลการนับในรูปที่ 17.5 (ข)



ลำดับของ สัญญาณนาฬิกา	ลำดับการนับเลขฐานสอง				นับเลขฐานสิบ
	D	C	B	A	
1	1	1	1	1	15
2	1	1	1	0	14
3	1	1	0	1	13
4	1	1	0	0	12
5	1	0	1	1	11
6	1	0	1	0	10
7	1	0	0	1	9
8	1	0	0	0	8
9	0	1	1	1	7
10	0	1	1	0	6
11	0	1	0	1	5
12	0	1	0	0	4
13	0	0	1	1	3
14	0	0	1	0	2
15	0	0	0	1	1
16	0	0	0	0	0
17	1	1	1	1	15
18	1	1	1	0	14

(ข)

รูปที่ 17.5 แสดงวงจรนับอะซิงโกรนัสนับลง 4 บิต และตารางแสดงผลการนับของวงจร

17.1.3 การออกแบบวงจรนับแบบอะซิงโกรนัส

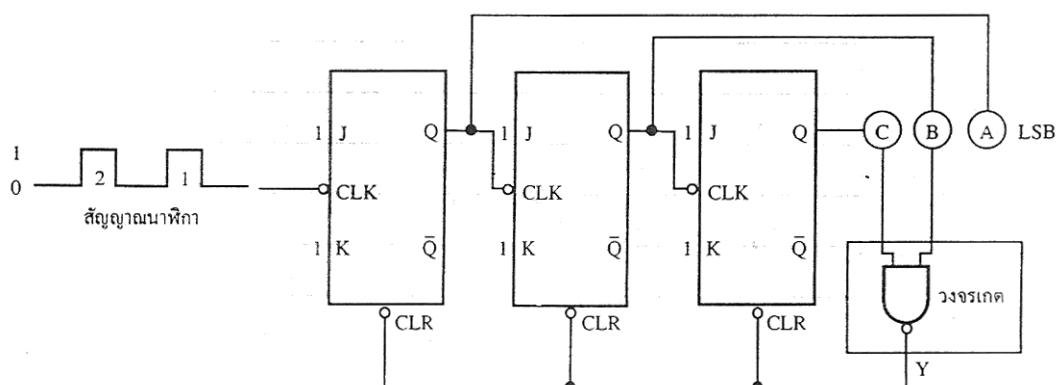
วงจรนับอะซิงโกรนัสมีชื่อเรียกอีกชื่อหนึ่งว่า วงจรนับแบบริปเปล (Ripple Counter) ดังนั้นอาจพบวงจรนับดังกล่าวไว้ได้ในชื่อทั้งสองที่ได้กล่าวมาแล้ว การออกแบบวงจรนับอะซิงโกรนัสเพื่อสร้างวงจรลอจิกเกตที่จะควบคุมผลการนับ หรือจำนวนครั้งของการนับตามตัวเลขที่กำหนด ซึ่งต้องเข้าใจเกี่ยวกับตัวเลขมีอคหรือตัวเลขมือดลัส (Modulus Number)

ตัวเลขมือด หมายถึง จำนวนครั้งของการนับ หรือจำนวนสถานะของการนับ เช่น วงจรนับอะซิงโกรนัสที่นับเลขขนาด 4 บิต อาจเรียกอีกชื่อหนึ่งว่า วงจรนับมือด 16 (Mod -16 Counter) เป็นต้น โดยทั่วไปค่าของตัวเลขมือดจะเท่ากับ 2^n เมื่อ $n =$ จำนวนตัวของฟลิปฟลอปในวงจรนับ เช่น วงจรนับมือด 8 (Mod - 8 Counter) คือวงจรนับที่มีฟลิปฟลอป $n = 3$ ตัว เป็นต้น ($2^3 = 8$) สำหรับวงจรนับที่มีตัวเลขมือดน้อยกว่า 2^n สามารถสร้างได้เช่นกัน โดยใช้วงจรเกตมาควบคุมการนับดังตัวอย่างต่อไปนี้

ตัวอย่างที่ 17.1 จงออกแบบเพื่อสร้างวงจรนับมือด 6 (Mod – 6 - Counter) ให้นับเลขขึ้นตามลำดับ 0 1 2 3 4 และ 5

วิธีทำ (1) จำนวนฟลิปฟลอป = 3 ตัว เพราะ $2^3 = 8$ จะสร้างวงจรนับมือด 6 ต้องใช้ฟลิปฟลอป 3 ตัว

(2) การนับมือด 6 จาก 0 ถึง 5 ต้องใช้วงจรนับอะซิงโกรนัส 3 บิต แต่ใช้วงจรเกตควบคุมผลการนับ ให้แสดงเฉพาะเลข 0 ถึง 5 เท่านั้น โดยวงจรเกตดังกล่าวจะส่งเออดพุต “L” มาควบคุมขาเคลียร์ของฟลิปฟลอปทุกตัว เมื่อผลการนับเกินกว่า 5 ดังรูปที่ 17.6



รูปที่ 17.6 แสดงวงจรนับมีอด 6

(3) เปลี่ยนตารางความจริงเพื่อหางจรงเกตที่ให้อาตพุต Y ตามเงื่อนไขที่ผู้ออกแบบ
ต้องการ ดังนี้

ตารางความจริงวงจรนับ 6

บล็อก นับ	อินพุต			อาตพุต Y
	C	B	A	
1	0	0	0	1
2	0	0	1	1
3	0	1	0	1
4	0	1	1	1
ไม่ต้องแสดงผล การนับ	1	0	0	1
	1	0	1	1
6	1	1	0	0
7	1	1	1	0

(4) จากตารางความจริงลดรูปสมการของวงจรเกต Y ได้ดังนี้

		C	B		
		00	01	11	10
A	0	1	1	0	1
	1	1	1	0	1

$Y = \overline{B} + \overline{C}$
 $\therefore Y = \overline{B} \cdot \overline{C}$

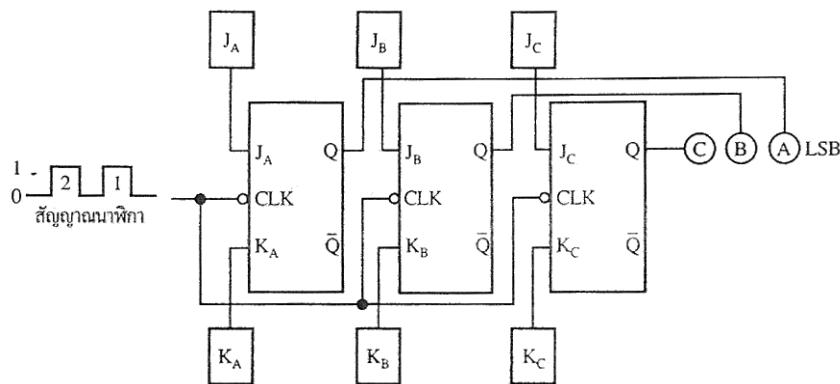
(5) แจกสมการ $Y = \overline{B} \cdot \overline{C}$ วงจรเกต คือ



ในทำนองเดียวกันสามารถออกแบบวงจรนับตัวเลขมีอดิๆ ได้โดยใช้วงจรเกตมาควบคุมตัวฟลิปฟลופ แต่ต้องพิจารณาเงื่อนไขของ การควบคุมให้ถูกต้อง เนื่องจากหากควบคุมที่ฟลิปฟลופ ชนิด J K นั้นมี 2 ขาคือ ขาเคลียร์และขาพรีเซต

17.2 การออกแบบวงจรนับแบบชิงโกรนัส

วงจรนับแบบชิงโกรนัส คือวงจรนับที่ต่อขาสัญญาณนาฬิกาควบคุมฟลิปฟลופทุกตัว ในวงจรให้ทำงานพร้อมกัน แต่การควบคุมให้วงจรนับแสดงผลการนับเลขได้ นั้นขึ้นอยู่กับ การออกแบบวงจรควบคุมอินพุต เจ และ เค ของฟลิปฟลופแต่ละตัว ดังนี้ วงจรนับแบบชิงโกรนัสจึงสามารถออกแบบให้นับขึ้นหรือนับลง ได้ตามที่ผู้ออกแบบต้องการ จำนวนครั้งของการนับสำหรับวงจรนับแบบชิงโกรนัสเหมือนกับวงจรนับแบบอะชิงโกรนัส กล่าวคือ เท่ากับ 2^n เมื่อ n คือจำนวนฟลิปฟลופของจำนวนนับ ตัวอย่างเช่น วงจรนับชิงโกรนัสที่มี ฟลิปฟลופ 3 ตัว สามารถออกแบบวงจรให้นับเลขได้ระหว่าง 0 – 7 โดยกำหนดให้วงจรนับขึ้นหรือนับลงได้ ลักษณะของวงจรนับชิงโกรนัสขนาด 3 บิต และวงจรควบคุมอินพุต J และ K แสดงดังรูปที่ 17.7



รูปที่ 17.7 แสดงวงจรนับชิงโกรนัสขนาด 3 บิต และวงจรเกตควบคุมอินพุต J และ K

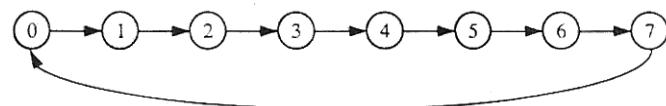
การออกแบบวงจรควบคุมอินพุต J และ K ของฟลิปฟลופแต่ละตัวต้องใช้ตาราง Excitation ประกอบการออกแบบวงจรเกตดังกล่าว ลักษณะของตาราง Excitation แสดงในรูปที่ 17.8

Action	J	K
$0 \rightarrow 0$	0	d
$0 \rightarrow 1$	1	d
$1 \rightarrow 0$	d	1
$1 \rightarrow 1$	d	0

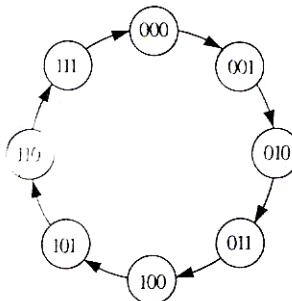
รูปที่ 17.8 แสดงตาราง Excitation

สำหรับลำดับขั้นและวิธีการออกแบบแบบวงจรนับซิงโกรนัสให้ศึกษาโดยละเอียดจากตัวอย่างที่ 17.2 และ 17.3 ต่อไปนี้

ตัวอย่างที่ 17.2 จงออกแบบแบบวงจรนับแบบซิงโกรนัส ให้นับเลข ได้ตามลำดับดังนี้



วิธีทำ (1) เปลี่ยน State Transition Diagram ของลำดับขั้นการนับเลขตามโจทย์ดังต่อไปนี้



(2) ออกแบบวงจรควบคุม J_A และ K_A โดยลำดับผลการนับตามโจทย์กำหนด และหาสภาวะของ J และ K จากตาราง Excitation ตามลำดับดังนี้

ลำดับการนับ	สภาวะของ A จากตาราง Excitation	ผลของ J_A	ผลของ K_A
$① \rightarrow ②$	มี Action “0” \rightarrow “1”	1	d
$② \rightarrow ③$	มี Action “0” \rightarrow “1”	1	d
$③ \rightarrow ④$	มี Action “1” \rightarrow “0”	d	1
$④ \rightarrow ⑤$	มี Action “0” \rightarrow “1”	1	d
$⑤ \rightarrow ⑥$	มี Action “1” \rightarrow “0”	d	1
$⑥ \rightarrow ⑦$	มี Action “0” \rightarrow “1”	1	d
$⑦ \rightarrow ①$	มี Action “1” \rightarrow “0”	d	1

หาสมการ J_A และ K_A โดยนำค่าของ J_A และ K_A มาลดรูปใน KM ได้ดังนี้

		C	B	00	01	11	10
		A	0	1	1	1	1
		0	1	d	d	d	d
		1	d	d	d	d	d

$$J_A = 1$$

		C	B	00	01	11	10
		A	0	d	d	d	d
		0	1	1	1	1	1
		1	1	1	1	1	1

$$K_A = 1$$

(3) ออกแบบวงจรควบคุม J_B และ K_B ตามลำดับขึ้นการนับที่โจทย์กำหนด และหา

สภาวะของ J และ K จากตาราง Excitation ตามลำดับ และหาสมการ J_B และ K_B
โดยนำค่าของ J_B และ K_B มาลดรูปใน KM ได้ดังนี้

		C	B	00	01	11	10
		A	0	0	d	d	0
		0	1	d	d	d	1
		1	d	d	d	d	d

$$J_B = A$$

		C	B	00	01	11	10
		A	0	d	0	0	d
		0	d	1	1	d	d
		1	d	1	1	d	d

$$K_B = A$$

(4) ออกแบบวงจรควบคุม J_C และ K_C ตามลำดับขึ้นในข้อ (2) และนำค่าของ J_C และ K_C ที่ได้มาลดรูปสมการลงใน KM ได้ดังนี้

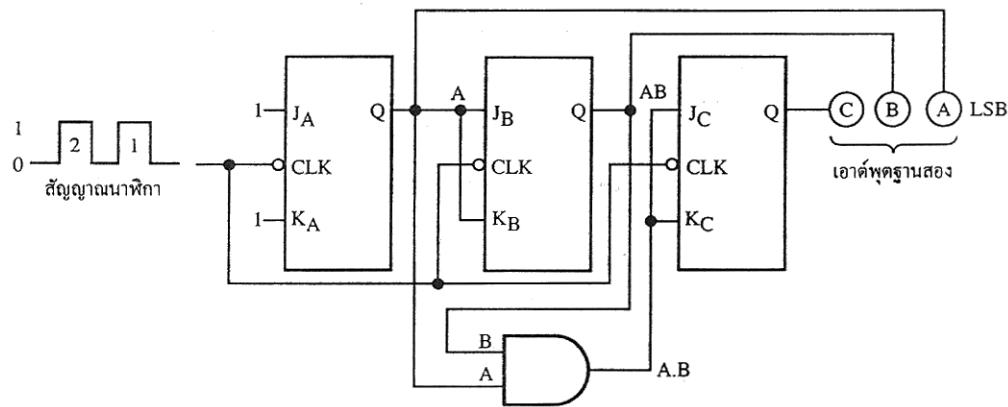
		C	B	00	01	11	10
		A	0	0	d	d	d
		0	1	1	d	d	d
		1	d	d	d	d	d

$$J_C = A \cdot B$$

		C	B	00	01	11	10
		A	0	d	d	0	0
		0	d	d	1	1	0
		1	d	d	1	0	0

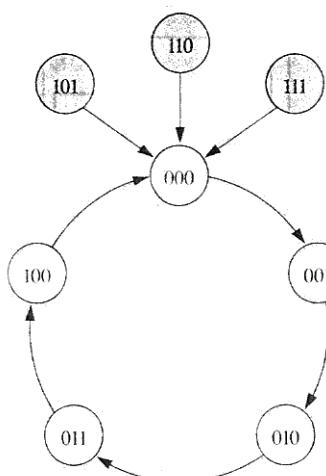
$$K_C = A \cdot B$$

(5) นำผลของการควบคุมอินพุต J และ K ทั้งหมดมาเขียนภาพของวงจรนับ 0 – 7
แบบซิงโครอนัสได้ดังรูปที่ 17.9

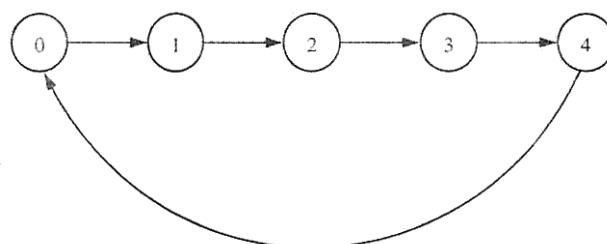


ຮູບທີ 17.9 ແສດຈະຈັນ 0 – 7 ພັບປິງໂຄຣນັສ

ຕົວຢ່າງທີ 17.3 ຈະອອກແບບວົງຈະຈັນປິງໂຄຣນັສ ໃຫ້ນັບເລີຍໄດ້ຕາມ State Transition Diagram
ຕ່ອໄປນີ້



ວິທີທຳ (1) ຈາກ State Transition Diagram ຈະເຫັນວ່າໂຈທຍ໌ຕ້ອງການໃກ້ວົງຈະຈັນປິງໂຄຣນັສນັບເລີຍ
ດັ່ງນີ້



เลข 5 6 และ 7 ไม่ต้องการให้นับ ดังนั้นสภาวะของเลข 5 6 และ 7 ต้องให้แสดงเป็นเลขตัวเริ่มต้น ในที่นี้คือ 0 (ศูนย์)

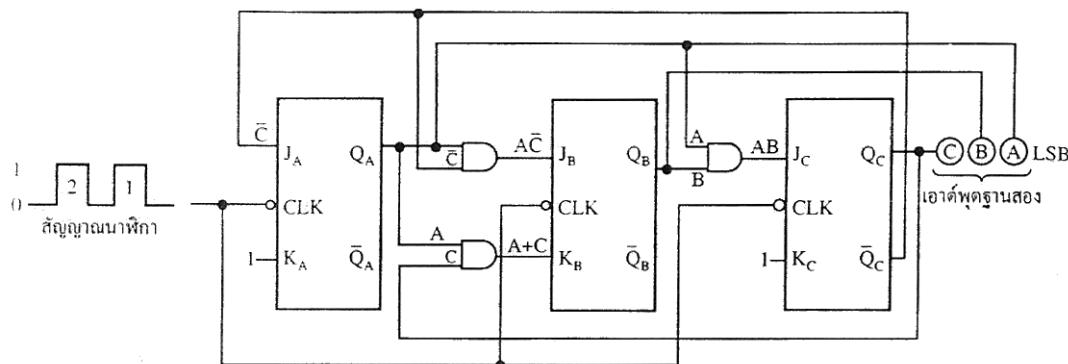
(2) ใช้วิธีการทางจร $J_A K_A J_B K_B$ และ $J_C K_C$ เมื่อันกับตัวอย่างที่ 17.2 และนำสมการมาลดรูปโดยใช้ตารางแผนที่ จะได้สมการของวงจรควบคุม $J_A K_A J_B K_B$ และ $J_C K_C$ ดังต่อไปนี้

$$J_A = \bar{C} \quad K_A = 1$$

$$J_B = A\bar{C} \quad K_B = A + C$$

$$J_C = AB \quad K_C = 1$$

(3) สเก็ตภาพวงจรนับ 0 – 4 แบบซิงโกรนัสได้ดังรูปที่ 17.10



รูปที่ 17.10 แสดงวงจรนับซิงโกรนัส นับ 0 – 4

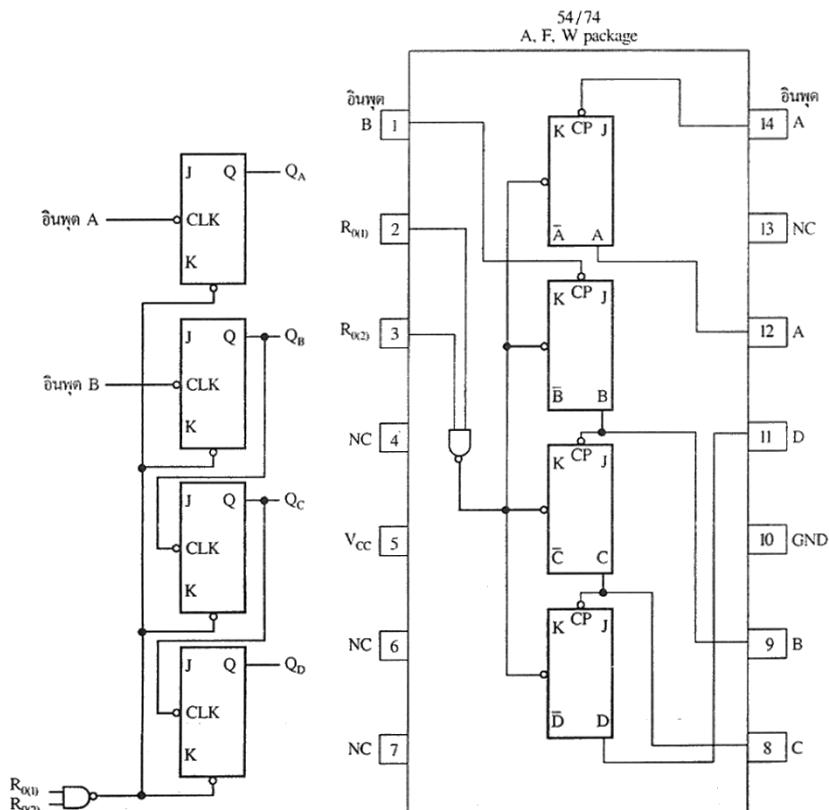
17.3 การออกแบบวงจรนับที่เป็นวงจรรวม

วงจรรวมที่ทำหน้าที่เป็นวงจรนับมีโครงสร้างภายในหลายแบบ บางชนิดเป็นแบบซิงโกรนัส และบางชนิดเป็นแบบอะซิงโกรนัส บางชนิดสามารถนับขึ้นหรือนับลงได้เพียงอย่างเดียว บางชนิดสามารถควบคุมให้นับขึ้นและนับลงได้อิสระซึ่งมีที่ใช้งานและคุณลักษณะเฉพาะที่แตกต่างกัน เช่น วงจรนับชนิดที่ทีแอลเบอร์ 7493 เป็นวงจรนับขึ้นขนาด 4 บิตแบบอะซิงโกรนัส หรือเบอร์ 74293 เป็น วงรองะซิงโกรนัส 4 บิตเช่นกัน แต่มีความคุณมากสเตอเรโอ เซต หรือวงจรรวมเบอร์ 74192 เป็น วงจรนับอะซิงโกรนัสขนาด 4 บิต หรือวงจรรวมเบอร์ 7490 เป็นวงจรนับ 10 แบบอะซิงโกรนัส และวงจรรวมเบอร์ 7492 เป็น วงจรนับ 12 แบบอะซิงโกรนัส สำหรับวงจรรวมซึ่งมีตัวตั้งที่นิยมใช้มีหลายเบอร์ เช่น 74HC393

เป็นวงจรนับ 4 บิตแบบอะซิงโกรนัส 2 ตัว หรือเบอร์ 74HC193 เป็นวงจรนับซิงโกรนัสันบัฟฟ์ลงขนาด 4 บิตที่พรีเซตได้ เป็นต้น

17.3.1 วงจรวรรบเบอร์ 7493 วงจรนับเลขฐานสองขนาด 4 บิต (4 - bit Binary Counter)

โครงสร้างภายในของวงจรวรรบ เบอร์ 7493 ประกอบด้วยฟลิปฟลอปชนิด J และ K จำนวน 4 ตัว ต่อสัญญาณนาฬิกาเป็นวงจรนับแบบอะซิงโกรนัส มีอินพุตสัญญาณนาฬิกา 2 อินพุต คือ อินพุต A และอินพุต B เมื่อต้องการต่อวงจรนับ 3 บิต ให้ป้อนสัญญาณนาฬิกาที่ อินพุต B (ฟลิปฟลอป A ไม่ใช้งาน) แต่ถ้าต้องการต่อวงจรนับอะซิงโกรนัส 4 บิต ให้ต่อ Q_A เข้า กับอินพุต B และป้อนสัญญาณนาฬิกาเข้าที่อินพุต A ดังรูปที่ 17.11 (ก) วงจรวรรบเบอร์ 7493 สามารถควบคุมการรีเซตได้ด้วยแนวค์เกต ซึ่งมีอินพุต 2 ขาคือ $R_{0(1)}$ และ $R_{0(2)}$ ดังตารางควบคุมในรูปที่ 17.11 (ง) สำหรับการจัดวงจรของวงจรวรรบ เบอร์ 7493 แสดงในรูป ที่ 17.11(ข) และ ตารางความจริงแสดงผลการนับแสดงในรูปที่ 17.11 (ก)



บัญชี	เอาต์พุต			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H

(ก) แผนภูมิการนับ

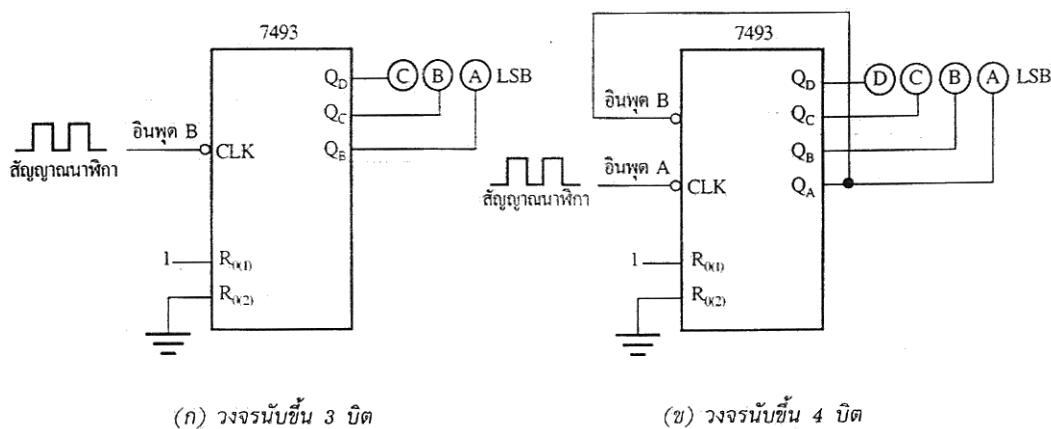
อินพุตเรเซต	$R_0(1)$	$R_0(2)$	เอาต์พุต		
$R_0(1)$	$R_0(2)$	Q_0	Q_1	Q_2	Q_3

(ข) การจัดวงจร

รูปที่ 17.11 แสดงวงจรรวมเบอร์ 7493 การต่อวงจรรวมเบอร์ 7493 ให้เป็นชุดนับ 0 - 7

3 บิต ต้องควบคุมขาอินพุต R0 (1) และ R0 (2) ขาใดขาหนึ่งให้เป็นลอจิก “L” ดังรูปที่ 17.12

(ก) และการต่อวงจรรวมเบอร์ 7493 ให้เป็นชุดนับ 0 - 15 4 บิต แสดงดังรูปที่ 17.12 (ข)

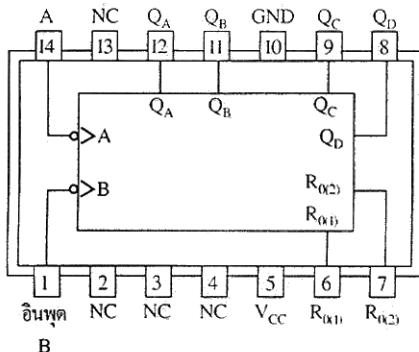


รูปที่ 16.2 การต่อวงจรรวมเบอร์ 7493 เป็นวงจรแบบอะซิงโครนัส 3 บิต และ 4 บิต

17.3.2 วงจรรวมเบอร์ 7492 วงจรนับ 12 (Divide-by-12 Counter)

วงจรรวมเบอร์ 7492 เป็นวงจรนับ 12 แบบอะซิงโครนัส ประกอบไปด้วยฟลิปฟล็อก A เป็นวงจรนับ 2 และฟลิปฟล็อก B C และ D ออกแบบให้เป็นวงจรนับ 6 เมื่อต่อ Q_A เข้ากับอินพุต B จะทำงานเป็นวงจรนับ 12 โดยคงสร้างของวงจรรวมเบอร์ 7492 แสดงดังรูปที่ 17.13 (ข) ลักษณะการจัดวงหาแสดงในรูปที่ 6.13 (ก) อินพุตควบคุมการนับมี 2 อินพุตคือ R₀₍₁₎ และ R₀₍₂₎ เป็นแนวเด็กต 2 อินพุต 1 ตัว ควบคุมการนับด้วยตารางควบคุมในรูปที่ 17.13 (ง) ตารางแสดงผลการนับ 0-11 (นับ 12) แสดงในรูปที่ 17.13 (ค)

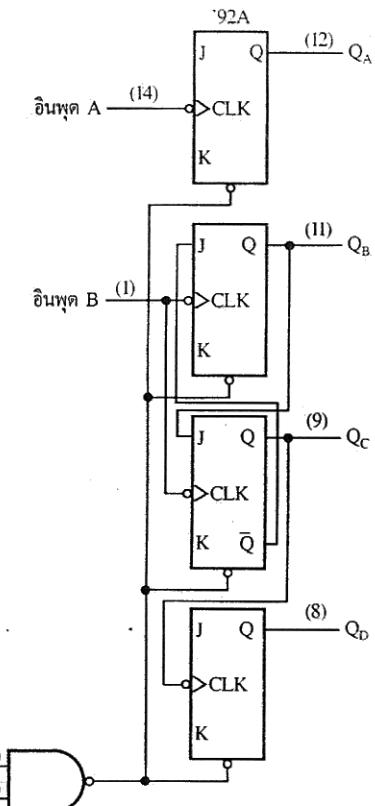
วงจรรวม 7492
ເພາະຕັວລັງແບບ J N ແລະ W



(ก) การຈັດວາງຈາ

ນັບ	ເຂົາຕິພຸດ			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	H	L	L	L
7	H	L	L	H
8	H	L	H	L
9	H	L	H	H
10	H	H	L	L
11	H	H	L	H

(ຄ) ລຳດັບການຮັບ



(ຂ) ແຜນກາພກຮອນ

ຮູບທີ 17.13 ແສດງວັງຈັດວາງຈາ 7492

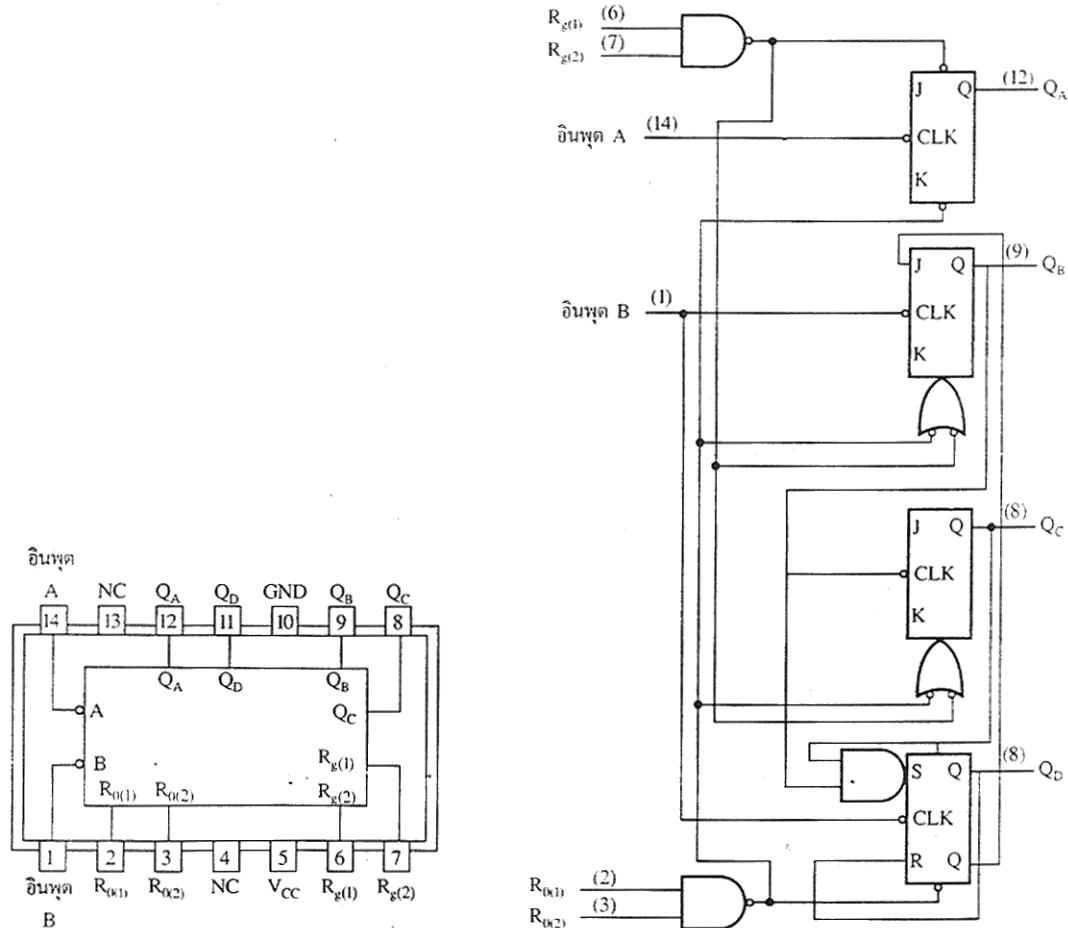
17.3.3 ວັງຈັດວາງຈາ 7490 ວັງຈັນ 10 (Decade Counter)

ເປັນວັງຈັນແບບອະໝຶງໂຄຣນັສທີ່ອອກແບບໃຫ້ນັບເລກ (0 - 9) ທີ່ຮູ້ອເຮີຍກວ່າວັງຈັນ 10 ໂຄງ ສ້າງກາຍໃນແສດງດັ່ງຮູບທີ່ 17.14 (ບ) ພລິປົກລອບຕົວ A ທຳຫັນໜ້າທີ່ນັບ 2 ແລະ ພລິປົກລອບຕົວ B, C ແລະ D ອອກແບບໃຫ້ເປັນວັງຈັນ 5 ເມື່ອຕ່ອອິນພູ B ເຂົ້າກັນ Q_A ຈະທຳໄຫ້ເປັນວັງຈັນສົບ ໂດຍມີຕາງຮາງຄຸມການນັບຕັ້ງແສດງໃນຮູບທີ່ 17.14 (ຈ) ແລະ ການຈັດວາງຈາງຈັດວາງຈາ 7490 ແສດງໃນຮູບທີ່ 17.14 (ກ) ຈາກໂຄຮງສ້າງກາຍໃນມີຫາຄຸມການນັບແລະ ຮີເຊື່ອ 4 ຂາ ຄື່ອ $R_{0(1)}$, $R_{0(2)}$, $R_{g(1)}$ ແລະ $R_{g(2)}$

เป็นแผนค์เกต 2 อินพุต จำนวน 2 ตัว ตารางความจริงแสดงผลการนับแสดงในรูปที่ 17.14 (ก)

วงจรนับ 10 ที่ใช้ชิปรวมเบอร์ 7490 นับว่ามีประโยชน์มาก เพราะสามารถต่อเป็นวงจรนับ

100 (0 - 99) และวงจรนับ 1000 (0 - 999) หรือวงจรนับเลขฐานสิบอื่นๆ ได้



(ก) การจัดวงจร

(ข) แผนภาพกรอบ

นับ	เอาต์พุต			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

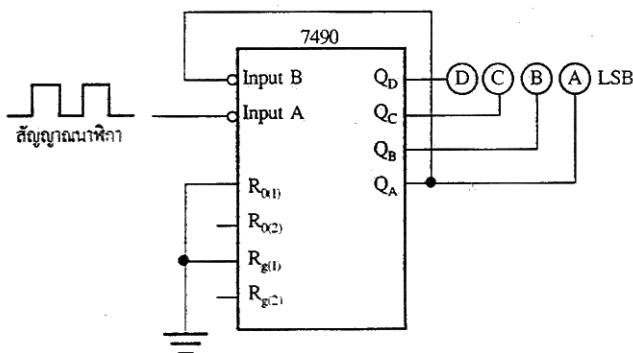
อินพุตเรซิเตอร์				เอาต์พุต			
$R_{o(1)}$	$R_{o(2)}$	$R_{g(1)}$	$R_{g(2)}$	Q_D	Q_C	Q_B	Q_A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	count			
L	X	L	X	count			
L	X	X	L	count			
X	L	L	X	count			

(ค) ตารางแสดงการนับ

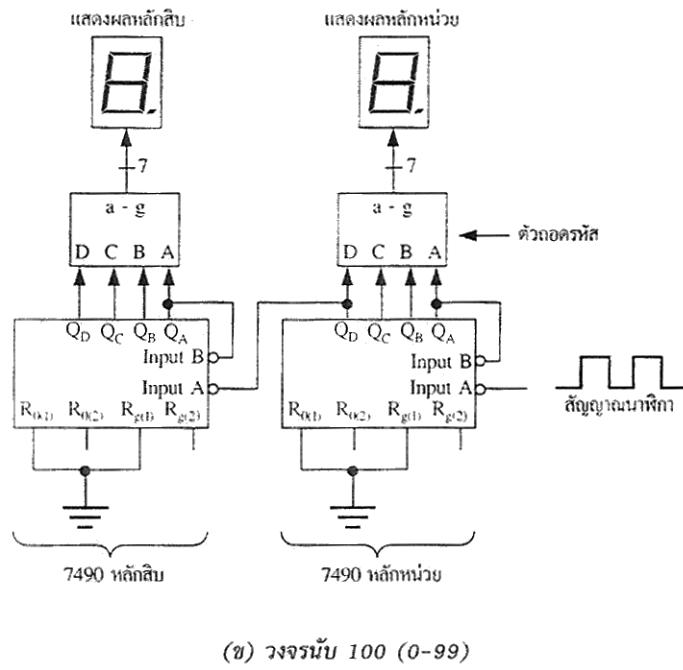
(ง) ตารางแสดงการนับและเรซิเตอร์

รูปที่ 17.14 แสดงวงจรรวมเบอร์ 7490

การต่อวงจรรวมเบอร์ 7490 ให้นับ 10 (0 - 9) แสดงในรูปที่ 17.15 (ก) และการต่อวงจรรวมเบอร์ 7490 ให้นับ 100 (0 - 99) แสดงในรูปที่ 17.15 (ข) การต่อวงจรรวมเบอร์ 7490 ให้นับ 100 ต้องต่อ Q_D ของหลักหน่วยให้เป็นสัญญาณนาฬิกาป้อนเข้าอินพุต A ของหลักสิบดังรูปที่ 17.15 (ข) ในทำนองเดียวกัน การต่อ 7490 จำนวน 3 ตัว เพื่อให้นับได้ 0 – 999 ต้องต่อ Q_n ของ 7490 ตัวที่ 1 (หลักหน่วย) เข้ากับอินพุต A ของ 7490 ตัวที่ 2 (หลักสิบ) และต้องต่อ Q_D ของ 7490 ตัวที่ 2 เข้ากับอินพุต A ของ 7490 ตัวที่ 3 (หลักร้อย)



(ก) วงจรนับ 10 (0-9)



(ช) วงจรนับ 100 (0-99)

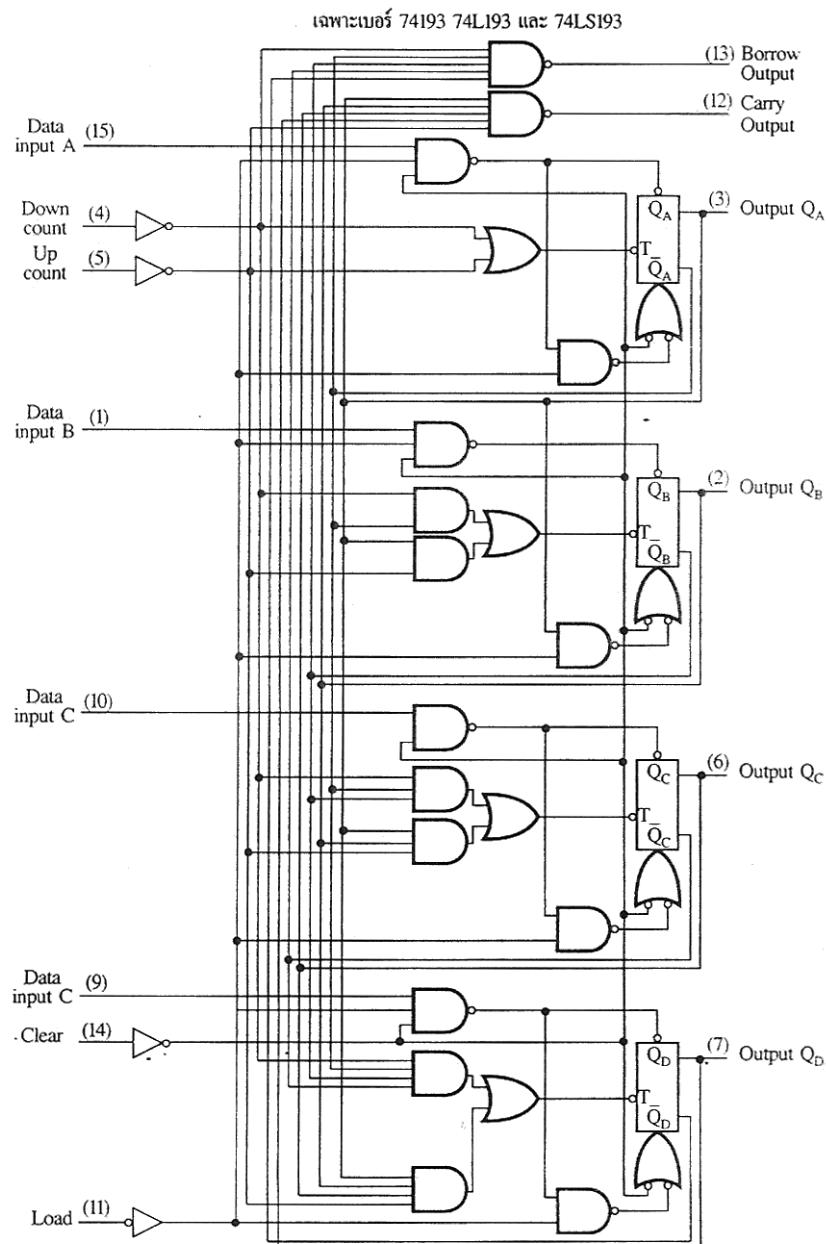
รูปที่ 17.15 แสดงการต่อวงจรนับ 10 (0 - 9) และวงจรนับ 100 (0 - 99) โดยใช้วงจรรวมเบอร์

17.3.4 วงจรรวมเบอร์ 74193 วงจนับขึ้น/นับลง ขนาด 4 บิต (4 Bit up/down Counter)
วงจรรวมเบอร์ 74193 เป็นวงจนับแบบอะซิงโกรันส์ขนาด 4 บิต สามารถควบคุมให้นับขึ้น (0 - 15) และนับลง (15 - 0) ได้ และมีอินพุตข้อมูลขนาด 4 บิต สามารถโหลดข้อมูลเดิมฐานสองให้วงจนับเริ่มนับตามข้อมูลดังกล่าวได้ โครงสร้างของวงจรรวมเบอร์ 74193 แสดงในรูปที่ 17.16 (ก) จะเห็นว่ามีอินพุต 6 ขา กือ เอาต์พุต Carry และเอาต์พุต Borrow และเอาต์พุต Q_D , Q_C , Q_B และ Q_A กือ เอาต์พุตแสดงผลการนับ และมีอินพุต 8 ขา กือ อินพุตเคลียร์ อินพุตโหลด อินพุตข้อมูล 4 บิต (A B C D) อินพุตนับขึ้น และอินพุตนับลง

หน้าที่การทำงานของแต่ละฟังก์ชัน มีรายละเอียดดังนี้

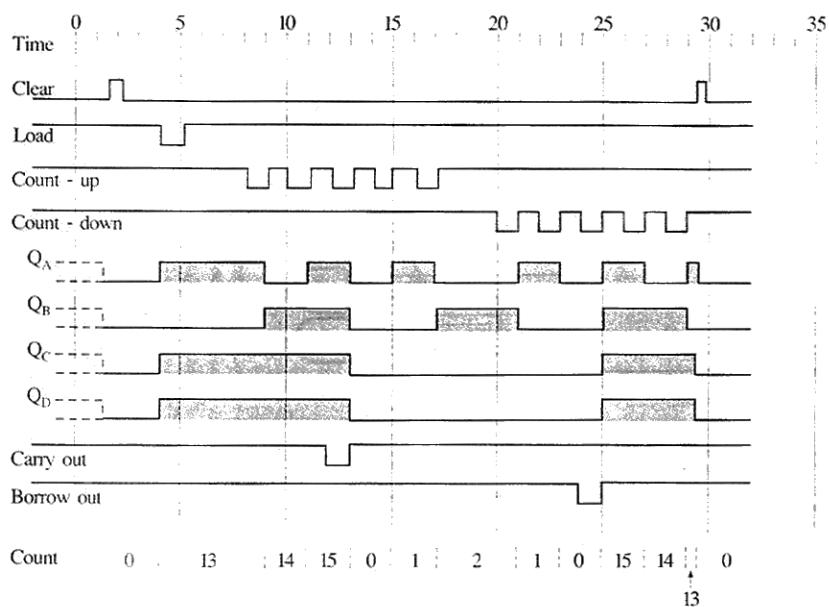
1. อินพุตเคลียร์เป็นอินพุตอะซิงโกรันส์ ทำงานด้วยลอจิก “H” จะเป็นผลให้อเอต์พุต Q เป็น “0”
2. อินพุตโหลดทำงานด้วยลอจิก “L” เป็นสัญญาณควบคุมการโหลดข้อมูลอินพุตที่ อินพุตข้อมูล A ถึง D
3. นับขึ้นเป็นอินพุตที่ป้อนสัญญาณนาฬิกาเพื่อให้วงจรทำการนับขึ้น แต่ต้องเลือก ให้นับลงเป็น “H”

4. นับลงเป็นอินพุตที่ป้อนสัญญาณนาฬิกาเพื่อให้วงจรทำการนับลง แต่ต้องเลือกให้ นับขึ้นเป็น “H”
5. Carry out จะให้ล็อกจิก “L” เป็นพัลส์ เมื่อวงจรนับทำการนับขึ้นจนถึงเลข 15 (1111) ปกติจะเป็นล็อกจิก “H”
6. Borrow out จะให้ล็อกจิก “L” เป็นพัลส์ เมื่อวงจรนับทำการนับลงจนถึงเลข 0 (0000) ปกติจะเป็นล็อกจิก “H”

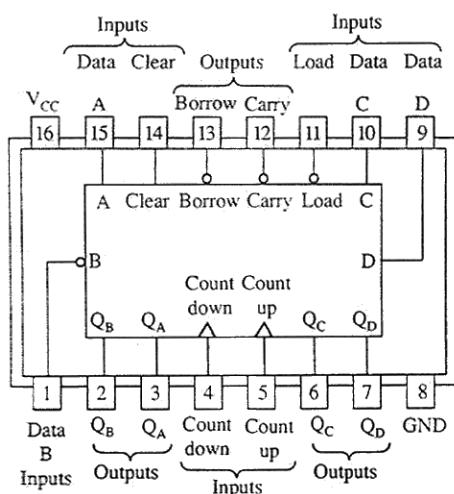


(ก) โครงสร้างภายในของวงจรรวมเบอร์ 74193

รูปที่ 17.16



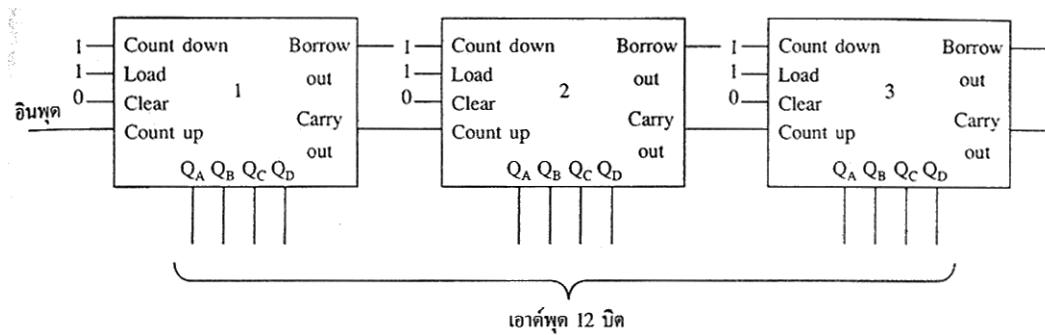
(ก) ໄດ້ອະແກນເວລາຂອງວັງຈຸດນັບເບື້ອງ 74193



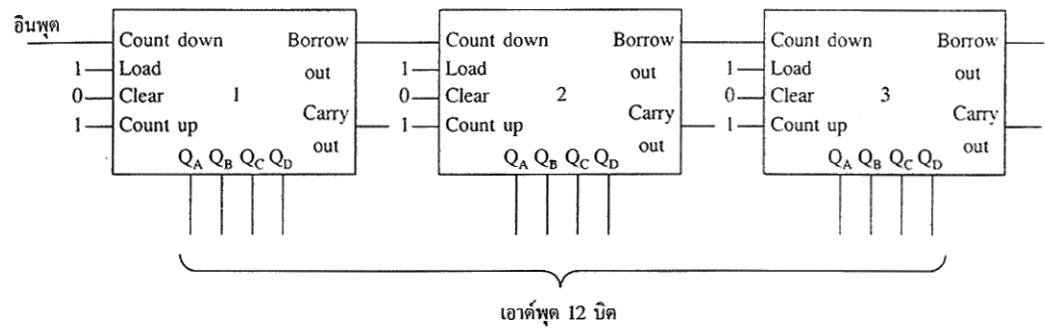
(ຄ) ການຈັດວາງຫາຂອງວັງຈຸດນັບເບື້ອງ 74193

ຮູບຖີ່ 17.16 (ຕ່ອ)

ວັງຈຸດນັບເບື້ອງ 74193 ສາມາດຕໍ່ແບບຄລາສເຄດໄດ້ ເຊັ່ນ ຕ່ອງຮັມກັນ 3 ຕ້າວະເປັນວັງຈຸດ
ນັບຂະດ 12 ປີຕ (3 × 4 ປີຕ = 12 ປີຕ) ເປັນຕິ້ນ ການຕໍ່ວັງຈຸດນັບ 12 ປີຕ ດ້ວຍ 74193 ຈຳນວນ 3 ຕ້າວ
ໃຫ້ນັບຂຶ້ນ ແສດງໃນຮູບຖີ່ 17.17 (ກ) ແລະ ການຕໍ່ວັງຈຸດນັບ 12 ປີຕ ດ້ວຍ 74193 ຈຳນວນ 3 ຕ້າວ
ໃຫ້ນັບລົງ ແສດງໃນຮູບຖີ່ 17.17 (ຂ)



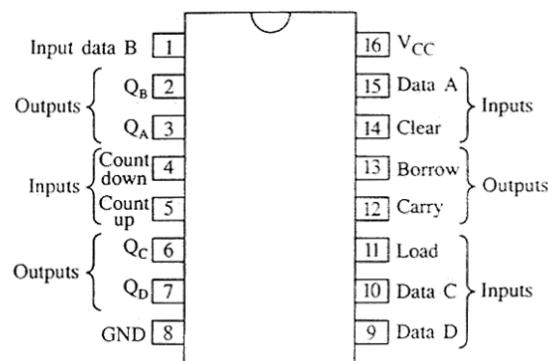
(n) ตัวนับขึ้นขนาด 12 บิต



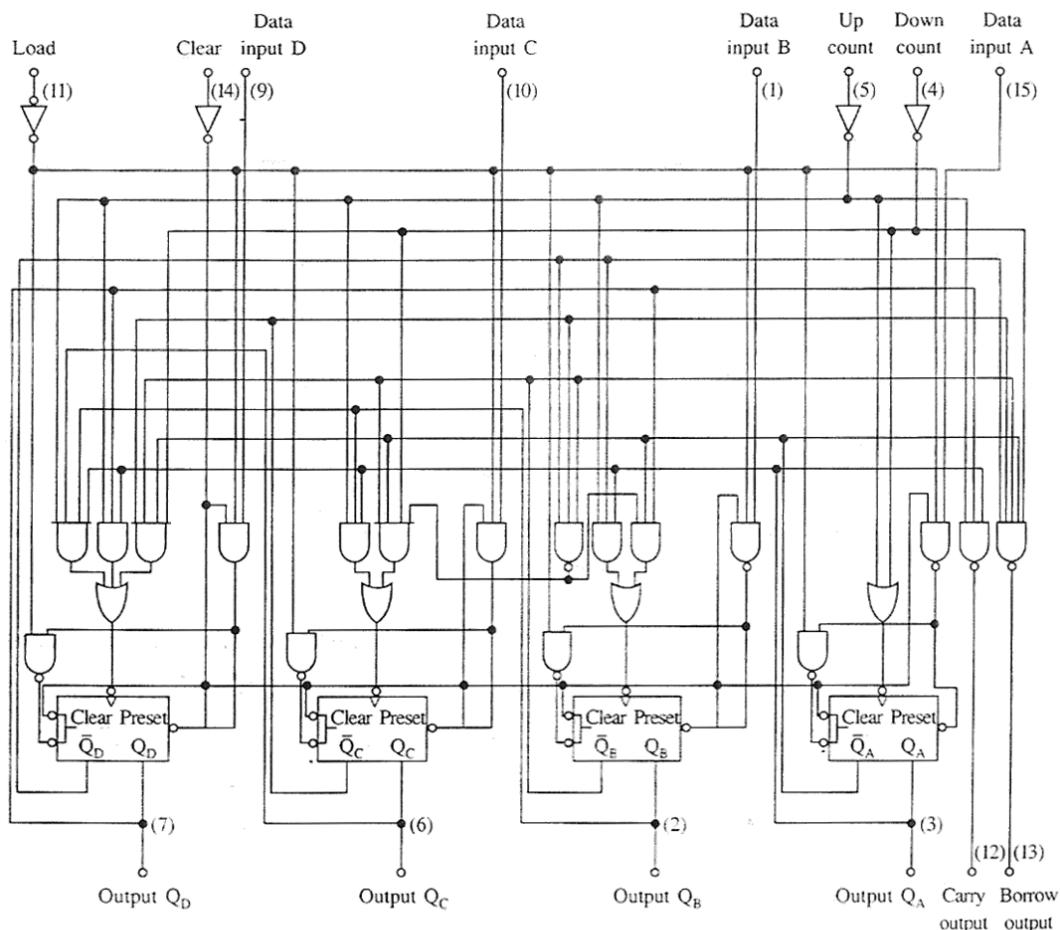
(u) ตัวนับลงขนาด 12 บิต

รูปที่ 17.17 การต่อวงจรนับ 12 บิต ด้วยวงจรรวมเบอร์ 74193 แบบนับขึ้นและนับลง

17.3.5 วงจรรวมเบอร์ 74192 วงจรนับ 10 นับขึ้น/นับลง (Decade up/down Counter) เป็นวงจรรวมทำหน้าที่นับ 10 แบบซิงโครอนัส สามารถควบคุมการนับขึ้นและลงได้โดยเลือกป้อนสัญญาณนาฬิกาที่ขาบันทึกหรือนับลง พังก์ชันการทำงานต่างๆ เมื่ອនกับวงจรรวมเบอร์ 74193 เพียงแต่เมื่อทำการนับขึ้น จะนับได้ตั้งแต่ 0 – 9 และ Carry out จะให้ล็อกจิก “L” ออกมา เมื่อนับขึ้นครบรอบถึง 9 ในทำงานองเดียวกัน และเมื่อนับลงจะนับได้ตั้งแต่ 9 – 0 เอ้าท์พุต Borrow out จะให้ล็อกจิก “L” ออกมากเมื่อนับลงครบรอบถึงเลข 0 โครงสร้างภายในของวงจรรวมเบอร์ 74192 แสดงในรูปที่ 17.18 (ก) เช่นเดียวกับวงจรรวมเบอร์ 74193 สามารถต่อแบบคาสเคดได้เพื่อให้วงจรนับ 10 สามารถนับเลขขึ้นหรือนับลงได้หลายๆ หลัก ลักษณะการจัดวางวงจรรวมเบอร์ 74192 แสดงในรูปที่ 17.18 (บ) และแผนภูมิเวลาแสดงการทำงานของ วงจรรวมเบอร์ 74192 แสดงในรูปที่ 17.18 (ค)

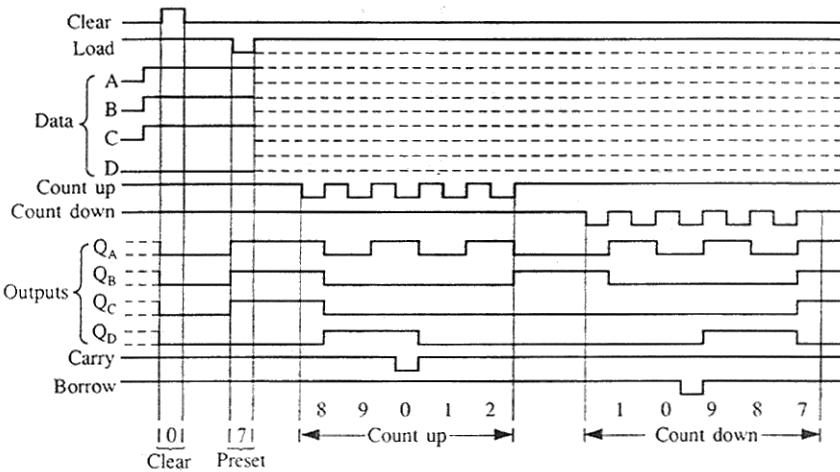


(ก) ກາຮຈົດວາງໝາບ



(ก) ແຜນກາພກຮອນ

ຮູບທີ 17.18 ວົງຈົຽນມເບອຣ໌ 74192



(ค) ลำดับการนับในสภาวะเคลียร์และโหลด

รูปที่ 17.18 (ต่อ)

17.3.6 การออกแบบวงจรนับที่เป็นวงจรรวม

การออกแบบและสร้างวงจรนับจำนวน n เมื่อ $n = 2^k$ สามารถทำได้โดยใช้ฟลิป-ฟลอปและออกแบบวงจรเกตมาตรฐานคุณภาพมากขึ้น เนื่องจากจำนวนตัวของฟลิปฟลอปเพื่อกับค่า n จึงนิยมใช้ วงจรนับที่เป็นวงจรรวมมาใช้ในการออกแบบสำหรับวงจรนับที่ต้องการให้นับเรียงลำดับกัน เนื่องจากวงจรรวม เช่น 7490 7492 7493 หรือเบอร์อื่นๆ มีอินพุตเคลียร์ที่สามารถควบคุม ฟลิปฟลอปในวงจรรวมให้รีเซ็ตค่าเป็นค่าเริ่มต้นที่ศูนย์ได้ โดยผู้ออกแบบต้องมีความเข้าใจเงื่อนไข การรีเซ็ต ของวงจรรวมดังกล่าว โดยการศึกษาตารางควบคุมการนับและการรีเซ็ต ดัง ตัวอย่างต่อไปนี้

ตัวอย่างที่ 17.4 จงออกแบบวงจรนับ 0 – 86 (Divide-by-87) หรือ มีอค 87 โดยใช้วงจรรวม เบอร์ 7490 และเกตตามความจำเป็น

วิธีทำ (1) ต้องใช้วงจรนับ 10 (7490) จำนวน 2 ตัว ต่อค่าสเกด ดังรูปที่ 17.19 (ก) โดย

การควบคุมการรีเซ็ต $R_{g(1)}$ และ $R_{g(2)}$ ให้มีล็อกจิก X (ตามตารางควบคุมการนับของ 7490)

(2) ออกแบบให้วงจรนับ 100 ในรูปที่ 17.19 (ก) รีเซ็ตเมื่อเอาต์พุตนับได้ 87

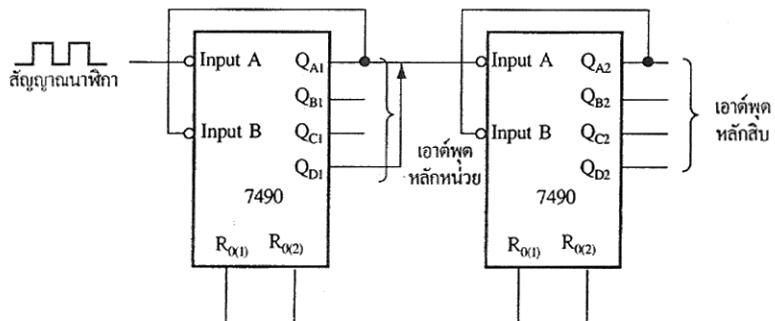
(1000 0111) โดยเมื่อนับ 87 จะต้องมีวงจรเกตรับผลการนับและจ่ายล็อกจิก “H” ให้กับขา

ควบคุม $R_{0(1)}$ และ $R_{0(2)}$ เพราะ 7490 จะรีเซ็ตได้เมื่อ $R_{0(1)}$ และ $R_{0(2)} = “H”$ และ $R_{g(1)}$

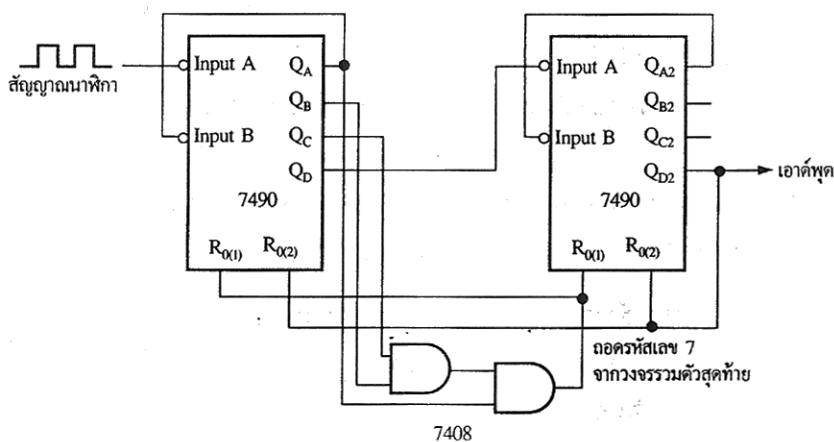
$= R_{g(2)} = “X”$ ในรูปที่ 17.19 (ข) แทนค์เกตตัวที่ 1 จะถอดรหัสจากบิตต่ำสุดของ 7490

หลักหน่วย เมื่อ $Q_A, Q_B, Q_C = "H"$ ทำให้ $R_{0(1)}$ เป็น “H” ทั้ง 2 ตัว และ $R_{0(2)}$ จะได้รับ “H” มาจาก 7490 หลักสิบ เพราะ $Q_{D2} = "H"$ ในสภาวะดังกล่าว 7490 ทั้ง 2 ตัว จะรีเซต

(3) รูปคลื่นของ Q_{A1} เทียบกับ Q_{D2} แสดงดังรูปที่ 17.19 (ค) จะเห็นว่าผลการนับแสดงเพียง 0 - 86 เท่านั้น 87 ไม่แสดงผล เพราะถูกแอนด์เกตทั้ง 2 ตัวรีเซตไปแล้วดังวงจรรูปที่ 17.19 (ข) คือวงจรนับ 87 (0 - 86)

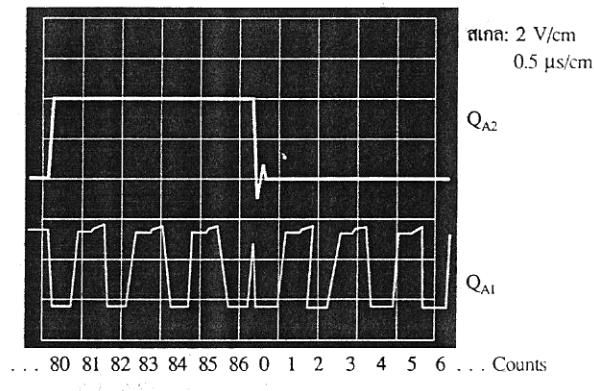


(n) วงจรนับ 100



(x) วงจรนับ 87 ที่ออกแบบได้

รูปที่ 17.19 แสดงวงจรนับที่ออกแบบได้จากตัวอย่างที่ 17.4

(ค) รูปคลื่นของ Q_{D2} เทียบกับ Q_{D1} เมื่อวงจรนับ 87 นับครบรอบ

รูปที่ 17.19 (ต่อ)

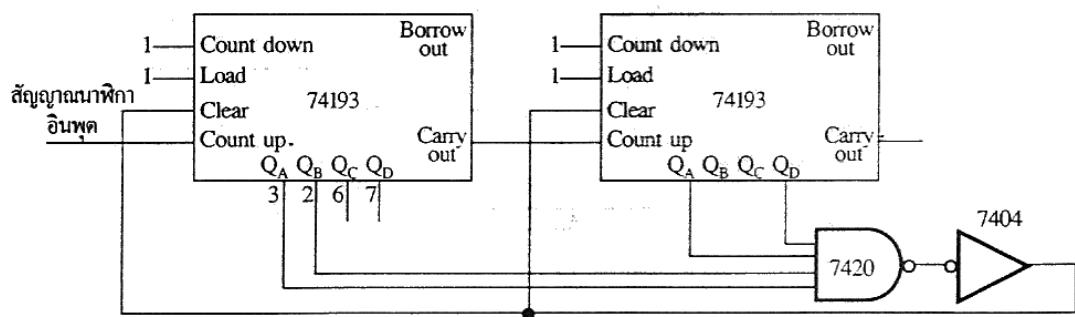
ตัวอย่างที่ 17.5 จงออกแบบวงจรนับ 148 (0 - 147) นับขึ้น โดยใช้วงจรรวมเบอร์ 74193

วิธีทำ (1) ใช้หลักการนำเกตมาถอดรหัสเมื่อนับได้ 147 และนำเอาต์พุตของเกตนั้นไป
เคลียร์วงจรนับ

(2) เลข 147 = 1001 0011 เป็นเลขฐานสองขนาด 8 บิต จึงต้องใช้วงจรรวม
เบอร์ 74193 = 2 ตัว

(3) ใช้แนนด์เกต 4 อินพุต เบอร์ 7420 นำ Q_A และ Q_B ของ 74193 ตัว LSB (ตัวรับ
สัญญาณนาฬิกา) และนำ Q_A และ Q_D ของ 74193 ตัว MSB มาถอดรหัสและผ่านนอต เกต
เบอร์ 7404 เพื่อนำลอกจิก “L” ไปเคลียร์วงจรรวมเบอร์ 74193 ดังรูปที่ 17.20

(4) การควบคุม 74193 แต่ละตัวใช้สัญญาณนาฬิกาป้อนที่อินพุตนับขึ้นและนับลงและ
ให้ผลเป็นลอกจิก “H”



รูปที่ 17.20 แสดงวงจรนับ 148 (0 - 147) ที่ออกแบบได้จากตัวอย่างที่ 17.5

วงจรนับ วงจรหารความถี่

วงจรนับนี้ใช้หารความถี่ได้ เพราะว่าเอาต์พุตพัลส์ของวงจรนับที่ออกจากฟลิป-ฟลอปแต่ละตัวจะมีความเวลากรวยขึ้นเท่ากับ 2 เท่า เช่น วงจรนับในรูปที่ 17.1 เป็นวงจรนับ 4 บิต ถ้าสัญญาณนาฬิกา (CLK) มีความถี่ 160 Hz ความถี่ของสัญญาเนาต์พุตฟลิปฟลอป A จะเท่ากับ $\frac{f_{in}}{2} = \frac{160\text{Hz}}{2} = 80\text{Hz}$ และความถี่ของเอต์พุตฟลิปฟลอป B เท่ากับ $\frac{f_A}{2} = \frac{80\text{Hz}}{2} = 40\text{Hz}$ ในท่านองเดียวกัน $f_C = \frac{f_B}{2} = 20\text{Hz}$ และ $f_D = \frac{f_C}{2} = 10\text{Hz}$ อาจกล่าวได้ว่า วงจรนับ 16 หรือมีอค 16 (วงจรนับ 4 บิต) จะได้ความถี่เอต์พุตที่ฟลิปฟลอปตัวสุดท้าย เท่ากับ $\frac{f_{in}}{16} = 10\text{Hz}$ ในท่านองเดียวกัน วงจรนับ 32 หรือมีอค 32 เมื่อความถี่สัญญาณนาฬิกาอินพุตเท่ากับ 320 Hz ความถี่เอต์พุตตัวสุดท้ายของวงจรมีอค 32 คือ 10 Hz เช่นกัน

ตัวอย่างที่ 17.6 ต้องการสร้างสัญญาณนาฬิกาความถี่ 1 Hz จากสัญญาณนาฬิกาความถี่ 10 Hz ที่กำเนิดจากการรวม 555 โดยใช้วงจรนับตามความเหมาะสม

วิธีทำ (1) $f_{in} = 10\text{Hz}$

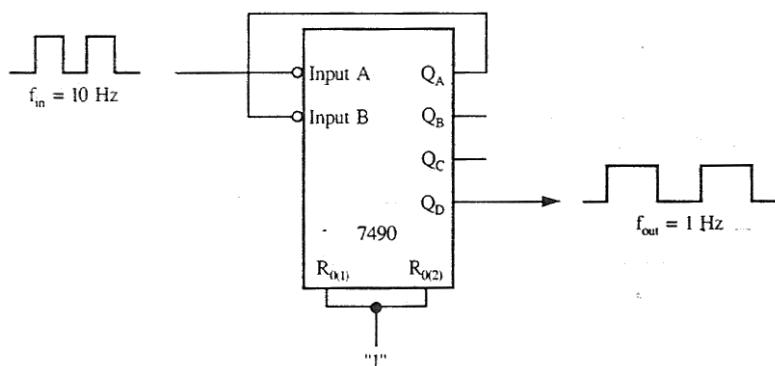
$$f_{out} = 1\text{Hz}$$

$$\frac{f_{in}}{f_{out}} = \frac{10}{1}$$

$$= 10$$

\therefore ต้องใช้วงจรนับ 10 หรือมีอค 10

(2) ใช้วงจรอรวม 7490 (Decade Counter) ดังรูปที่ 17.21



รูปที่ 17.21

ตัวอย่างที่ 17.7 งใช้วงจรรวมเบอร์ 74LS90 สร้างสัญญาณพัลส์ 10 kHz จากรูปพัลส์สี่เหลี่ยมที่มีความถี่ 1 MHz

วิธีทำ (1) $f_{in} = 1 \text{ MHz}$

$$f_{out} = 10 \text{ kHz}$$

$$\frac{f_{in}}{f_{out}} = \frac{1 \text{ MHz}}{10 \text{ kHz}}$$

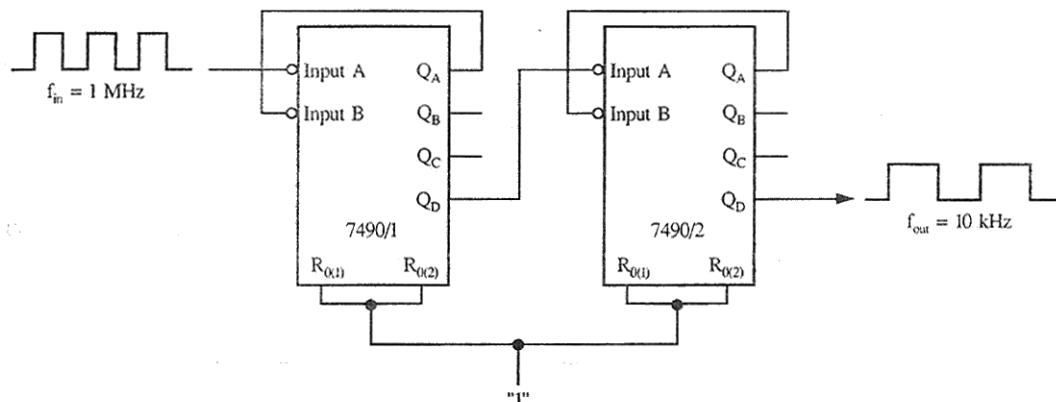
$$= 100$$

\therefore ต้องใช้วงจรนับ 100 หรือมืด 100

(2) ใช้วงจรรวม 74LS90 กีองวงจรนับ 10 เมื่อต่อร่วมกัน 2 ตัวจะทำให้นับได้ 100

เพร率为 $10 \times 10 = 100$

(3) วงจรนับ 100 ด้วย 74LS90 แสดงในรูปที่ 17.22



รูปที่ 17.22 วงจรนับ 100 = มืด 100

17.4 การออกแบบวงจรนับด้วย VHDL

จากวงจรนับที่ได้ศึกษามาแล้วเราสามารถที่นำมาออกแบบด้วยภาษา VHDL ดังรูปที่ 17.23

```
-- VHDL code for n-bit counter
--
-- this is the behavior description of n-bit counter
-- another way can be used is FSM model.

library ieee ;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

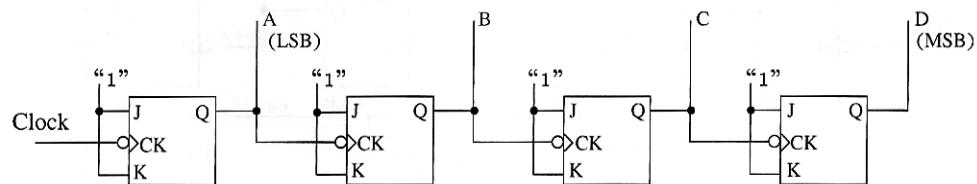
entity counter is
generic(n: natural :=2);
port(  clock: in std_logic;
       clear: in std_logic;
       count: in std_logic;
       Q:      out std_logic_vector(n-1 downto 0));
end counter;

architecture behv of counter is
begin
  -- behavior describe the counter
  process(clock, count, clear)
  begin
    if clear = '1' then
      Pre_Q <= Pre_Q - Pre_Q;
    elsif (clock='1' and clock'event) then
      if count = '1' then
        Pre_Q <= Pre_Q + 1;
      end if;
      end if;
    end process;
    -- concurrent assignment statement
    Q <= Pre_Q;
  end behv;
```

รูปที่ 17.23 ตัวอย่างการออกแบบวงจรนับด้วยภาษา VHDL

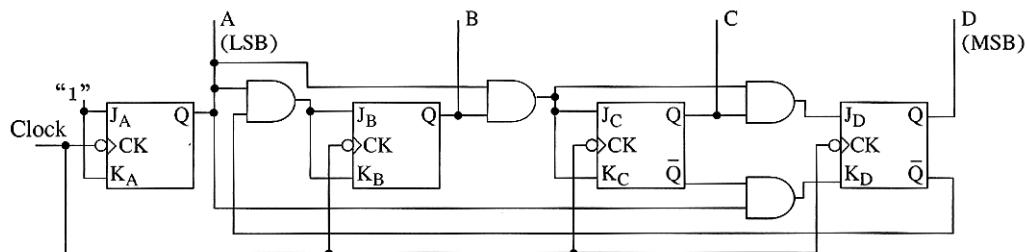
แบบฝึกหัดที่ 17

1. จงเขียน Timing Diagram และแผนภาพสเกตของวงจรนับแบบอะซิง โครนัส ดังรูป



2. จากโจทย์ข้อ 1 ถ้าเปลี่ยนฟลิปฟลอปไปเป็นแบบ Positive Edged-Triggered โดยการต่อวงจรยังคงเหมือนเดิม จงเขียน Timing Diagram และแผนภาพสเกตของวงจร

3. จงเขียน Timing Diagram และแผนภาพสเกตของวงจรนับแบบอะซิง โครนัส ดังรูป



4. จากโจทย์ข้อ 3 ถ้าเปลี่ยนฟลิปฟลอปไปเป็นแบบ Positive Edged-Triggered โดยการต่อวงจรยังคงเหมือนเดิม จงเขียน Timing Diagram และแผนภาพสเกตของวงจร

5. จงออกแบบวงจรนับ MOD 9 (0-9) ด้วยภาษา VHDL