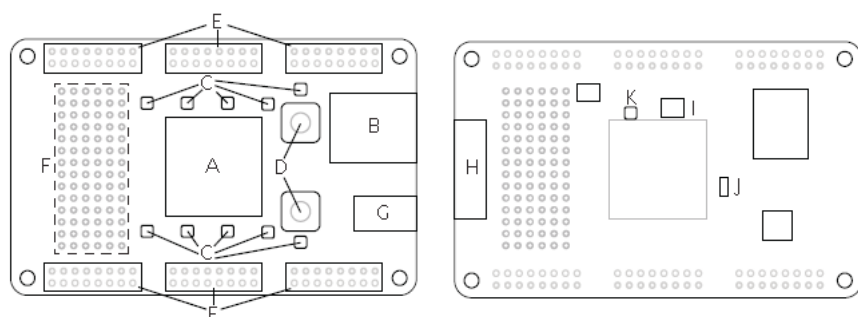


## 1.2. РАЗВОЕН КИТ XC-2

**З**а осигуряване на паралелната изпълнителна среда, на този етап от работата се използва развойния кит XC-2, съдържащ 4-ядрен SMT/TLP процесор XS1-G4 от фамилията XS1. Основната разлика на процесорите XCORE/XS1 от конвенционалните многоядрени процесори (примерно x86) е вградената на апаратно ниво поддръжка на паралелизма, комуникациите и времевия контрол. На практика може да се използва всеки един представител на фамилията XS1, всеки един от развойните китове на фирмата XMOS или специализирана система с процесори от тази фамилия. Например, възможно е да се използва 4-възлова система, съдържаща четири развойни кита XK-1 или XK-1A [A.4].



**A** XS1-G4 Device

**B** RJ45 Connector

**C** User LEDs

**D** Push-Button Switches

**E** I/O Expansion Areas

**F** Prototyping Area

**G** Power Connector

**H** XSYS Connector

**I** SPI Flash Memory

**J** 10/100 BASE-T Ethernet PHY

**K** Power Regulator

**L** 25MHz Crystal Oscillator

**M** PLL Status LED

**Фиг. 1. 8. Физическо разположение на основните компоненти на компютърния възел [Б.14]**

Наличието на множество варианти за изграждане на паралелната среда би могло да се използва в учебния процес като полезна илюстрация на инвариантността на решението<sup>1</sup>.

Максималният брой паралелни задачи/процеси в *SMT/TLP* процесорите се определя от произведението  $n_{cpu} \times n_{core} \times n_{task}$ , съответно на броя физически процесори, броя ядра в процесор и броя задачи в ядро. За развойния кит *XC-2* максималният брой задачи е  $1 \times 4 \times 8 = 32$ . Така, ако всяка задача се разглежда като точка от моделното пространство, това пространство е с 5-мерна топология [A.6].

Възможна алтернатива е използването на система с линейна физическа топология, съдържаща например четири едноядрени *SMT/TLP* процесора *XS1-L1*. Благодарение на вградената на апаратно ниво в ядрото *XCORE* поддръжка на комуникациите, може да се изгради логическа 5-мерна топология.

Развойният кит *XC-2* се състои от два модула – паралелна машина с четири физически възела, съответно 32 логически възела и *USB-JTAG* адаптер [Б.12, Б.13, Б.14].

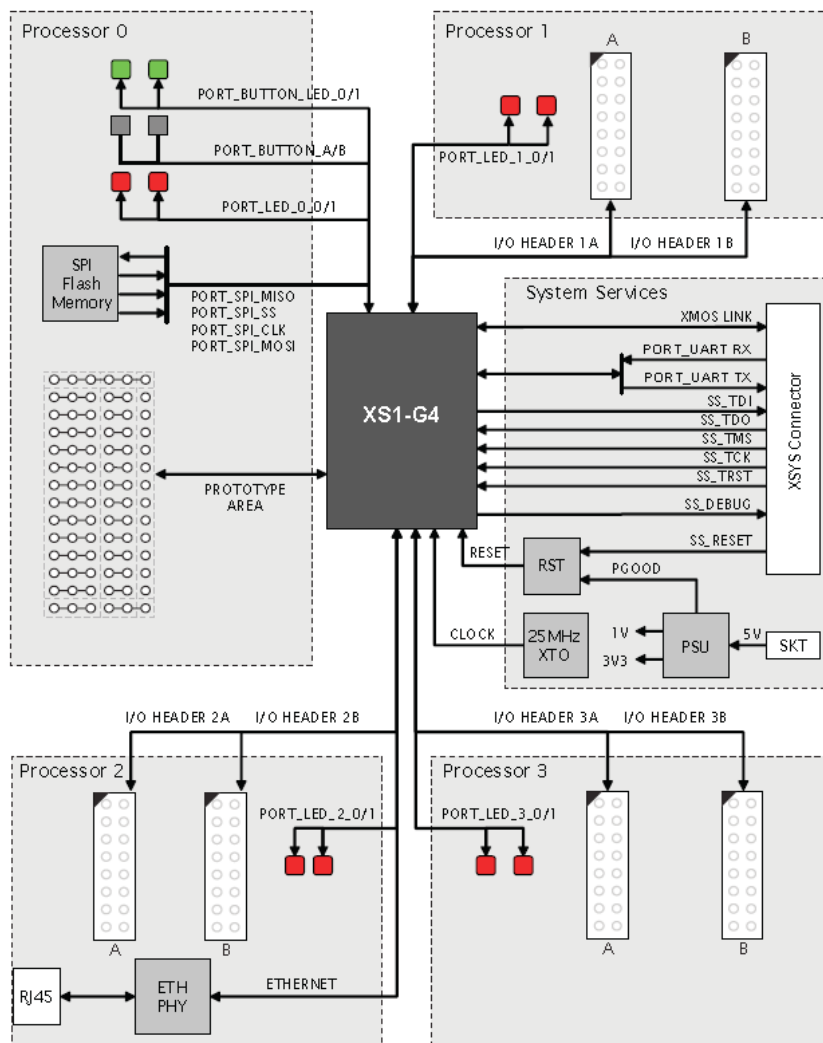
Паралелната машина съдържа процесор *XS1-G4* и интегрирани на платката апаратни ресурси (фиг. 1.8, 1.9). *XSYS* конекторът служи за включване на *USB-JTAG* адаптера.

На фиг. 1.9 е показана блоковата схема на развойния кит с разпределението на интегрираните апаратни ресурси между четирите възела. Показани са и логическите адреси на апаратните ресурси: еднобитовите светодиодни индикатори *PORT\_LED\_0\_0* и *PORT\_LED\_0\_1* на Възел<sub>0</sub>, *PORT\_LED\_1\_0* и *PORT\_LED\_1\_1* на Възел<sub>1</sub>, *PORT\_LED\_2\_0* и *PORT\_LED\_2\_1* на Възел<sub>2</sub>, *PORT\_LED\_3\_0* и *PORT\_LED\_3\_1* на Възел<sub>3</sub>; двата бутона *PORT\_BUTTON\_A* и *PORT\_BUTTON\_B* на Възел<sub>0</sub> и т.н.

*USB-JTAG* адаптерът осигурява връзката на целевата паралелна машина с инструменталния компютър, на който се изпълнява развойната среда *xTIMEcomposer Studio*.

---

1 Разбира се, трябва да се отчитат особените моменти. Така например, процесорът *XS1-G4*, за разлика от *XS1-L1*, няма вградени кръгови осцилатори, т.е. при него не може да се изпълнят *RRNG* [A.4].



Фиг. 1. 9. Блокова схема на апаратните ресурси, интегрирани с паралелната машина [Б.14]