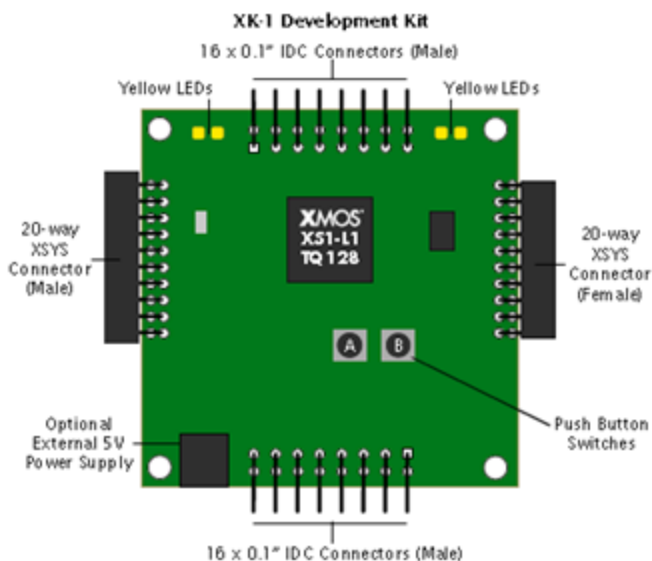


1.3. РАЗВОЕН КИТ XK-1

Всеки един от представителите на фамилията *XS1* може да бъде използван за физическа реализация на *CSP* машина - изпълнителна среда с глобален паралелизъм. Изследванията може в даден момент да изискват проектирането на специализирани устройства с процесорите от посочената паралелна фамилия. На дадения етап обаче това не се налага и е целесъобразно използването на развойните китове на фирмата *XMOS*.

От 2009 година, както в изследователската, така и в учебната работа, авторът експериментира със *SMT/TLP* архитектура *XS1* на фирмата *XMOS* като използва развойните китове *XK-1*, *XK-1A* и *XC-2*. За работите в разглежданата област е желателно да се използват представители на фамилията *XS1* с вградени кръгови осцилатори. Това позволява изпълнението на физически генератори (фиг. 1.4) на действително-случайни последователности (*RRNG*). Оттук и отдаденото предпочитание на развойния кит *XK-1* пред *XC-2*. Модификация *XK-1A*, заместила по-късно *XK-1*, не се различава на функционално ниво.

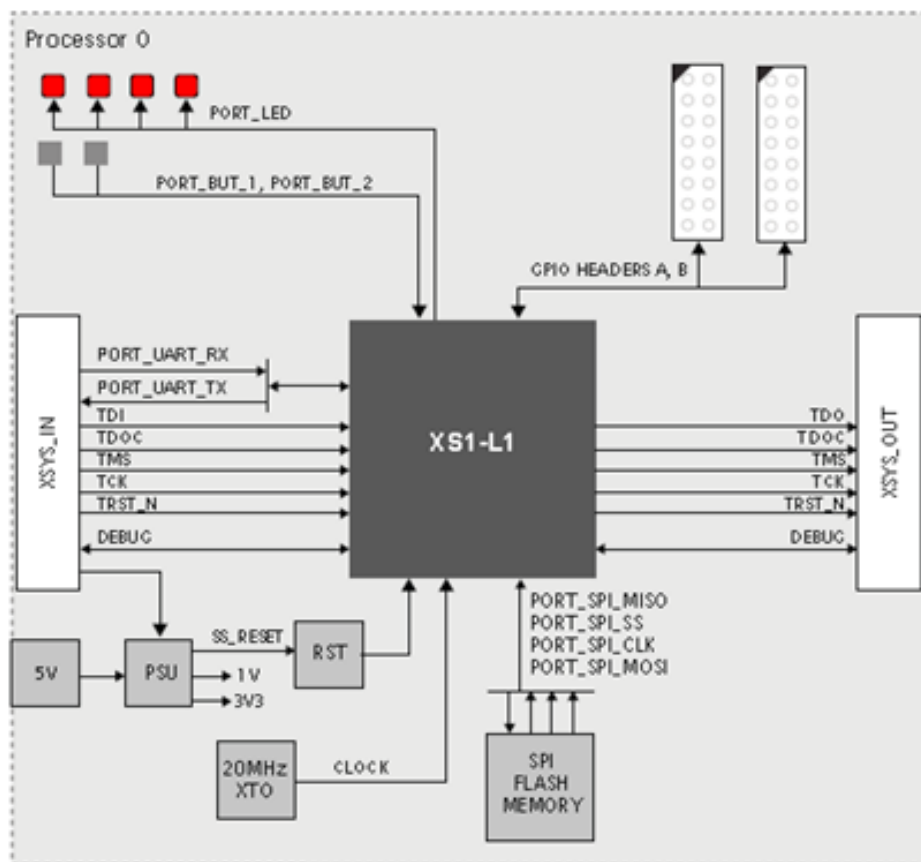


Фиг. 1.13. Физическо разположение на основните компоненти на компютърния възел

Накратко ще се спрем на развойния кит *XK-1 Development Kit*, предназначен за изследване на събитийното *SMT/TLP* ядро *XCORE* [37, 38, 50]. Този кит съдържа два физически модула – компютърен възел и *USB-JTAG* адаптер.

Компютърният възел съдържа *SMT/TLP* процесора *XS1-L1*, 128 KB *SPI Flash* памет, четири светодиода и два бутона (фиг. 1.13). Двата *XSYS* конектора позволяват множество такива възли да се свържат последователно във верига, образувайки паралелна система с разпределена памет и линейна (едномерна) топология. Предвидени са и два щифтови 16-изводни съединителя за връзка с външни устройства.

USB-JTAG адаптерът служи за връзка на целевия паралелен компютър, изграден от един или повече възли, и инструменталния компютър, на който се изпълнява развойната среда *XDE*¹.



Фиг. 1.14. Блокова схема на компютърния възел

¹ Название на развойната среда до версия 11. От версия 12 е част от окупнената развойна среда *xTIMEcomposer Studio* на фирмата *XMOS*.

На фиг. 1.14 е показана блоковата схема на компютърния възел. Централният елемент в него е *SMT/TLP* процесора *XS1-L1*. Към портовете на силно-свързаната му входно/изходна система са включени интегрираните на платката външни устройства: четирибитовия светодиоден индикатор *PORT_LED*, двата бутона *PORT_BUT_1* и *PORT_BUT_2*.

Част от портовете са изведени на двата щифтови 16-изводни съединителя и служат за връзка с външни устройства, разположени извън платката на компютърния възел.