

# PLL - Phase Locked Loop

---

**Grundlagen, Modellierung und Praxis**

**J.H.**

# Überblick - Teil 1

## 1. Grundlagen

### 1.1 Einstieg

### 1.2 Aufbau

### 1.3 Anwendungen

## 2. Modellierung & Auslegung

### 2.1 Modellierung im linearisiertem Phasenraum

### 2.2 SPICE

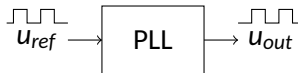
## 3. Praxis

### 3.1 Schaltung

### 3.2 Messungen

## Definition - PLL

PLL = Phase-Locked Loop = Phasenregelschleife



### Grundprinzip

Eine PLL besteht unter anderem aus einem VCO, der über einen Regelkreis so abgestimmt wird, dass sich am Ausgang eine **konstante Phasenbeziehung** zum Eingangssignal einstellt

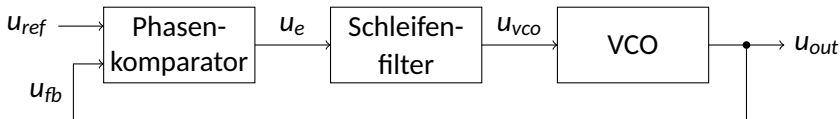
$$\phi_{out}(t) = \phi_{ref}(t) + \text{const}$$

$$\omega_{out}(t) = \omega_{ref}(t)$$

# Blockdiagramm

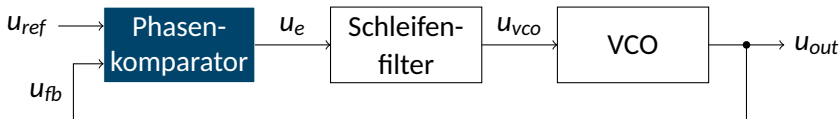
*Aus was besteht eine PLL?*

Minimalaufbau aus drei Systemkomponenten:



Kann komplett Analog, komplett Digital oder als Kombination realisiert werden.

# Phasenkomparator



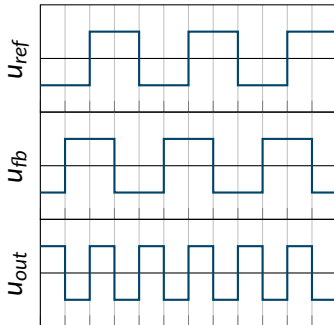
Vergleicht die Phase zweier Eingänge und gibt eine zur Phasenverschiebung proportionale Spannung (PWM) aus.

- Multiplizierer
- XOR Glied
- Flip-Flop

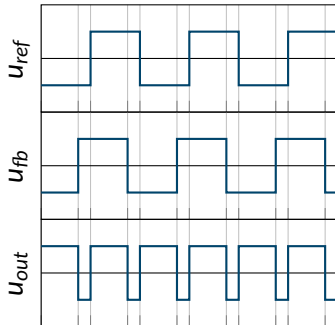
# Phasenkomparator

$$f_{ref} = f_{fb}$$

$$\Delta\phi = 90 (\pi/2)$$

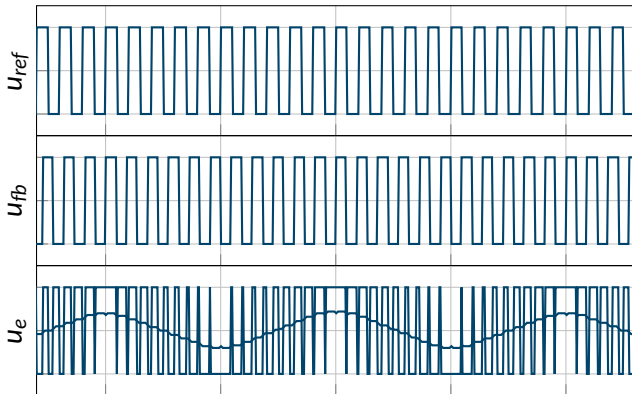


$$\Delta\phi = 45 (\pi/4)$$



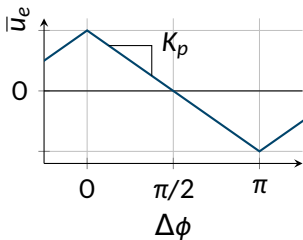
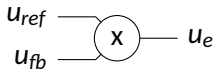
# Phasenkomparator

$$f_{ref} \neq f_{fb}$$

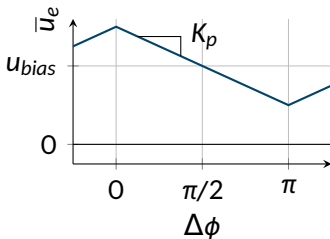
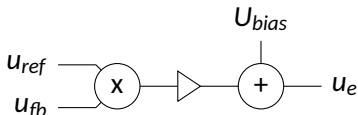


# Phasenkomparator - Implementierung

## Einfacher Multiplizierer:



## Multiplizierer mit Offset und Skalierung:





# Schleifenfilter



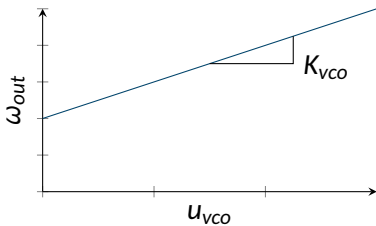
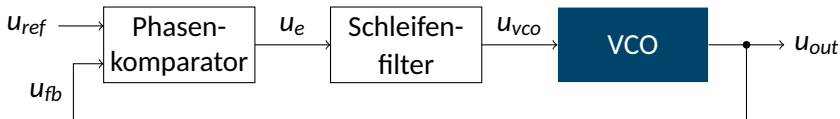
- Glättet Signal von Phasenkomparator
- Im einfachsten Fall RC Tiefpass
- Bestimmt unmittelbar das Regelverhalten → **Kritisches Element**



- |                                 |                          |
|---------------------------------|--------------------------|
| • Unterdrückt Phasekomp. Jitter | • Unterdrückt VCO Jitter |
| • Langsames Einregeln           | • Phase-Margin hoch      |

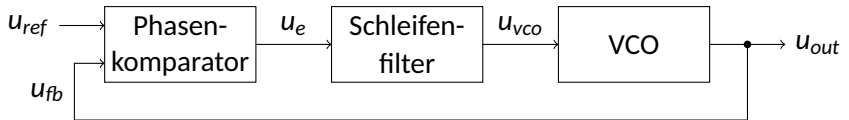
# VCO

## Voltage Controlled Oscillator



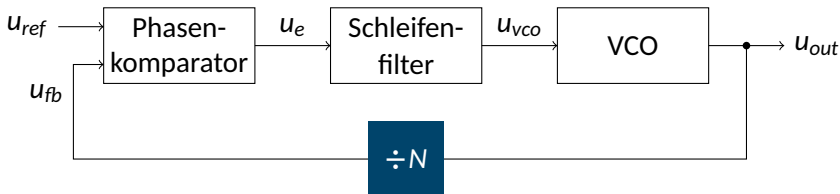
# PLL

## Funktionsweise



## PLL mit Teiler

*Erzeugung vielfacher Frequenzen*



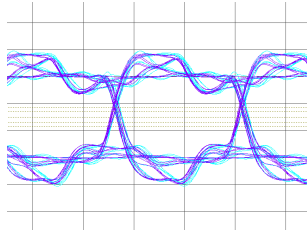
$$f_{out} = N \cdot f_{ref}$$

mit  $N \in \mathbb{N}$

# Anwendungen



(a) Frequenzsynthese<sup>1</sup>



(b) Clock / Carrier recovery

## Beispiel:

- i.MX6 (ARM A9 SOC) → 6 PLLs

<sup>1</sup><https://www.flickr.com/photos/snazzyguy/4150705616/> (Lizenz: CC BY-SA 2.0)

# Überblick - Teil 2

## 1. Grundlagen

### 1.1 Einstieg

### 1.2 Aufbau

### 1.3 Anwendungen

## 2. Modellierung & Auslegung

### 2.1 Modellierung im linearisiertem Phasenraum

### 2.2 SPICE

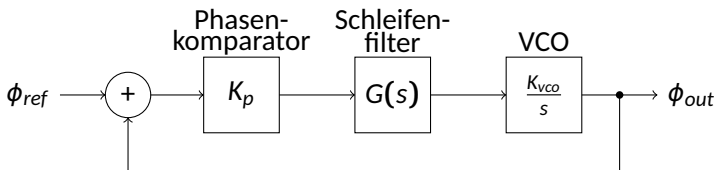
## 3. Praxis

### 3.1 Schaltung

### 3.2 Messungen

# Modellierung im linearisiertem Phasenraum

Modellierung der PLL als LTI System im „Phasenraum“

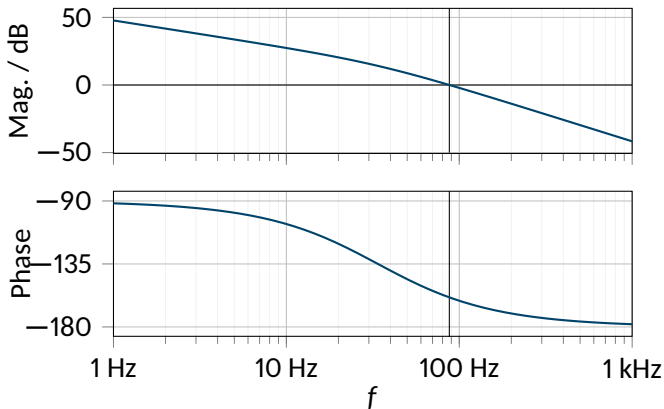


- Auslegung des Filters  $G(s)$
- Stabilitätsbetrachtungen
- Capture Range optimieren

# Modellierung im linearisiertem Phasenraum

## Stabilitätsbetrachtung (Open Loop)

Auslegung des Filters  $G(s)$  auf  $f_c \approx 50 \text{ Hz} \rightarrow$  Phase Margin:  $21,1^\circ$

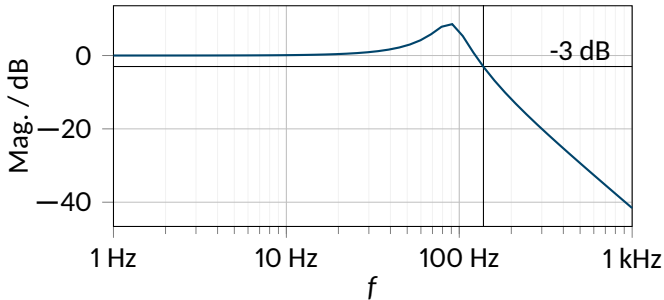




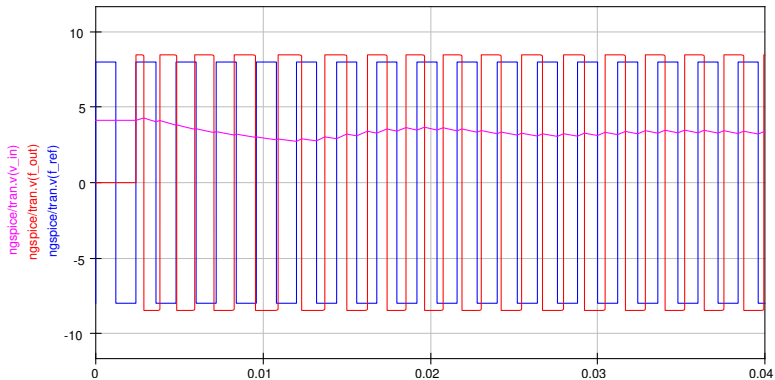
# Modellierung im linearisiertem Phasenraum

## *Closed Loop* Bandbreite

-3 dB Cutoff Frequenz: 138 Hz → Capture Bandbreite  $\approx 276$  Hz



# SPICE Simulation - Einschwingen



# Überblick - Teil 3

## 1. Grundlagen

### 1.1 Einstieg

### 1.2 Aufbau

### 1.3 Anwendungen

## 2. Modellierung & Auslegung

### 2.1 Modellierung im linearisiertem Phasenraum

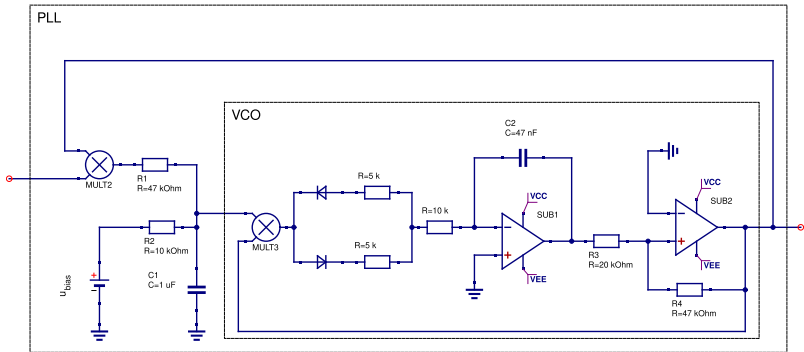
### 2.2 SPICE

## 3. Praxis

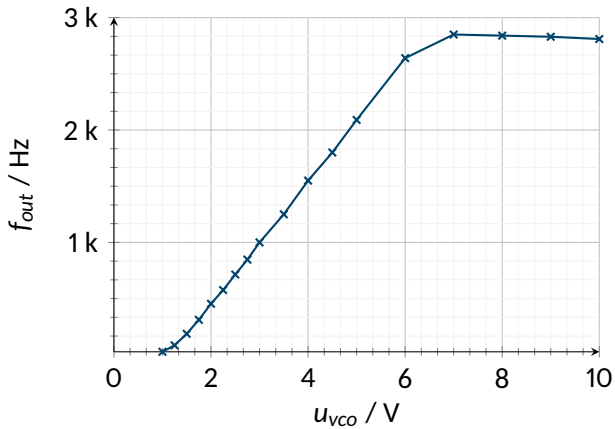
### 3.1 Schaltung

### 3.2 Messungen

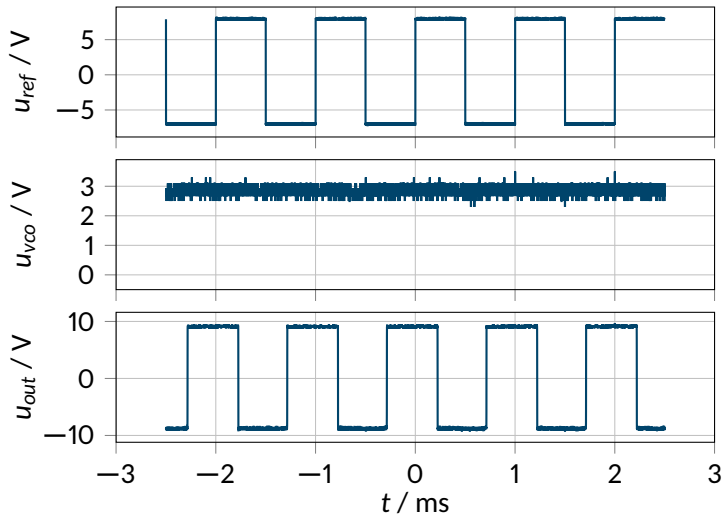
# Schaltung



## VCO Kennlinie



## PLL - Time domain



## Lock Range

**Setup 1:**  $U_{bias} = 3,502\text{ V}$



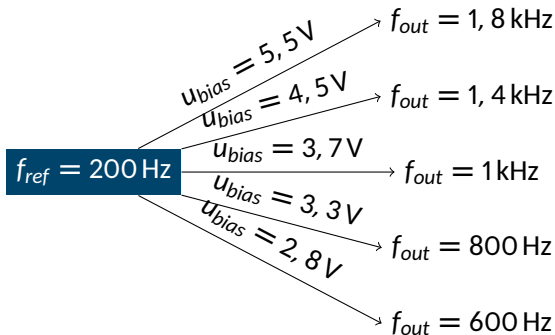
**Setup 2:**  $U_{bias} = 5,807\text{ V}$



Capture Range    Lock Range

## „Vielfaches“ Phänomen

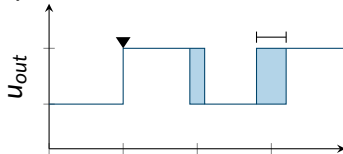
Bei bestimmten Bias-Spannungen „lockt“ die PLL auch bei Vielfachen der Referenzfrequenz



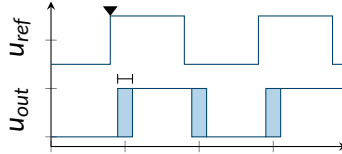


# Jitter

Cycle Jitter



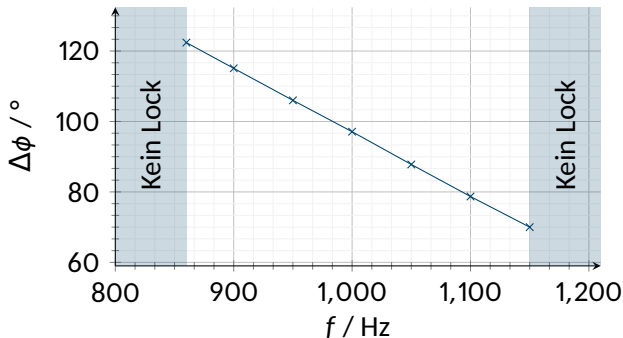
Absolute Jitter



$f_{ref}$	Cycle Jitter <sup>1</sup>	Absolute Jitter <sup>1</sup>
500 Hz	19,80 $\mu$ s (9,9 ‰)	24,30 $\mu$ s (12,0 ‰)
1 kHz	3,60 $\mu$ s (3,6 ‰)	7,44 $\mu$ s (7,44 ‰)
2 kHz	0,68 $\mu$ s (1,36 ‰)	3,70 $\mu$ s (3,7 ‰)

<sup>1</sup>Max. Wert über 3 min ermittelt

## Phasenbeziehung

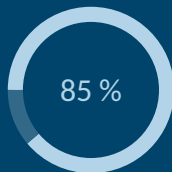


Arbeitsbereich des Phasenkomparators ( $45^\circ - 180^\circ$ ) wird **nicht vollständig ausgenutzt**.

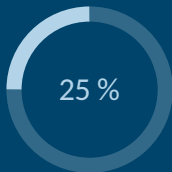
# Fazit



Komplexität



Vielfältigkeit



Versuchsbeschreibung



Informationsquellen