

## ミニマルファブ(臨海センター)向け PDK リファレンスマニュアル

1. 製造プロセス説明
2. 素子特性
3. 回路設計基準
4. レイアウト設計基準
5. 設計例

## I. ドキュメントの内容

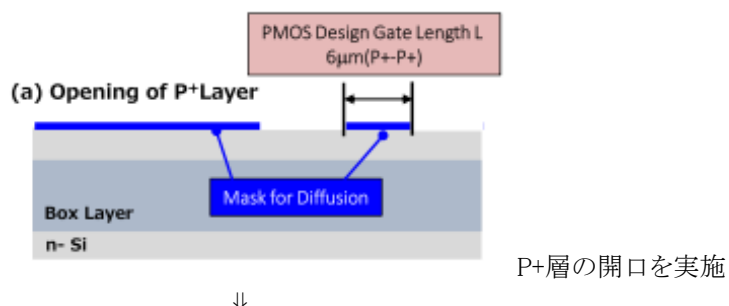
### 1. 製造プロセス説明

#### 【概要】

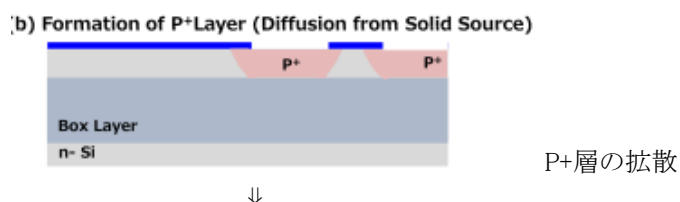
産総研臨海センターのミニマルファブ装置を使った SOI-CMOS プロセス

#### 【プロセスフロー概要】

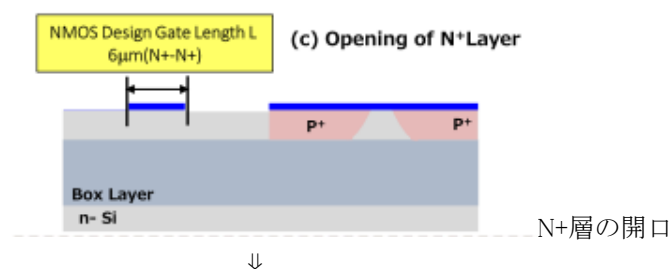
##### 1. P+Layer 開口



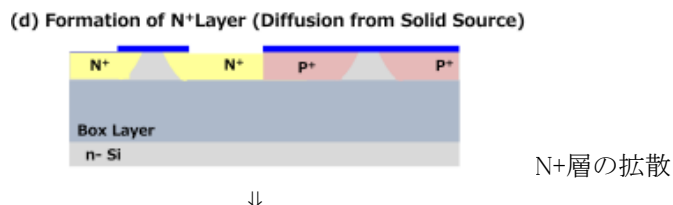
##### 2. P+Layer 拡散



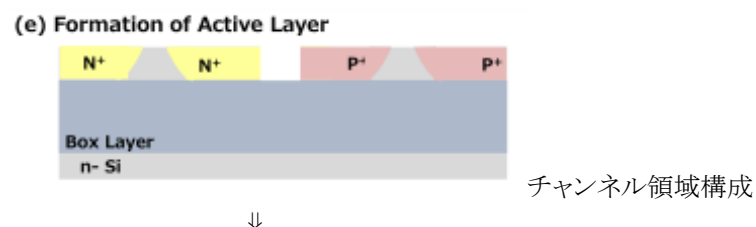
##### 3. N+Layer 開口



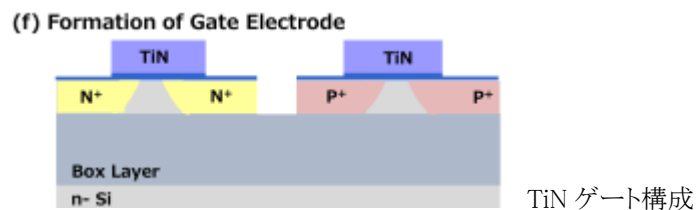
##### 4. N+Layer 構成



##### 5. Active 構成



##### 6. Gate 構成



【マスクレイヤー構成】

レイヤー名	GDS#	W/B	NMOS	PMOS	BR	NB	ND	PD	RN	RP	Ti	備考
Alignment	1	W										
N-ch	13	W	○									Channel Dope NMOS
P-diff	2	W		○				○				S/D Dope PMOS
N-diff	3	W	○			○	○		○			S/D Dope NMOS
SOI	4	B	○	○		○	○	○	○	○		Active
TiN-Gate	5	B	○	○	○						○	Gate
Contact	6	W	○	○	○	○	○	○	○	○	○	S/D/G Contact
M1(Al)	7	B	○	○	○	○	○	○	○	○	○	Metal
Via												T.B.D
M2(Al)												T.B.D
Via												T.B.D
M3(Al)												T.B.D

【EDA 対応表】

設計工程	ミニマル EDA(クラウド環境)	対応する商用 EDA ツール
回路エントリ	Xschem(minimal EDA サーバーに実装)	Virtuoso、Laker
	Qucs(minimal EDA サーバーに実装)	
アナログシミュレーション	NGSPICE(minimal EDA サーバーに実装)	HSPICE、Specture
	Xyce(minimal EDA サーバーに実装)	
アナログレイアウト	Klayout(minimal EDA サーバーに実装)	Virtuoso、Asura
	Glade(minimal EDA サーバーに実装)	
ロジックシミュレーション	Icarus(minimal EDA サーバーに実装)	VCS、Xcelium
回路合成	Yosys(minimal EDA サーバーに実装)	Design Compiler、Genus
自動配置配線	Graywolf&Qrouter(minimal EDA サーバーに実装)	IC Compiler、Innovus
タイミング解析	Vesta	Prime Time
デザインルールチェック(DRC)	Klayout(minimal EDA サーバーに実装)	Calibre、Asura
回路&レイアウトチェック(LVS)		

赤字の TOOL は、メンテナンスしてないので非推奨と考えてください。  
ミニマル EDA に関しては、  
<https://www.anagix.com/%E3%83%9F%E3%83%8B%E3%83%9E%E3%83%AB%E3%83%95%E3%82%A1%E3%83%96%E3%82%B7%E3%83%A3%E3%83%88%E3%83%AB%E3%82%B5%E3%83%BC%E3%83%93%E3%82%B9/%E3%83%9F%E3%83%8B%E3%83%9E%E3%83%AB%E7%B4%B9%E4%BB%8B> を参照

2. 素子特性

[素子リスト]

3V NMOS/PMOS, NdiffCAP, PdiffCap, GateCap, NdifRes, PdifRes

素子	Symbol	LChannel(um)	W(um)	Spice Model	PCELL 名	備考
NMOS	nch	6um～40um	13um～40um	mf_nmos	Nch	
PMOS	nch	6um～40um	13um～40um	mf_pmos	Pch	
Bridge	None	25um～100um	10um～20um	None	Brifge	
NBridge	None	25um～100um	10um～20um	None	NBridge	
Ndiff_Cap	Cndiff	25um～100um	25um～100um	T.B.D.	Ndiff_cap	
Pdiff_Cap	Cpdiff	25um～100um	25um～100um	T.B.D.	Pdiff_cap	
R_Ndiff	Rndiff	25um～100um	10um～20um	T.B.D.	R_ndiff	
R_Pdiff	Rpdiff	25um～100um	10um～20um	T.B.D.	R_pdiff	
Gate_Cap	Cg	25um～100um	25um～100um	T.B.D.	TiN_cap	

## [電气的特性]

## [絶対最大定格]

素子	項目	記号	条件	定格	単位	備考
3VNMOS	ソースドレイン電圧	VDS		7V(max)	V	
	ゲートドレイン電圧	VGD		7V(max)	V	
	ゲートソース電圧	VGS		7V(max)	V	
3VPMOS	ソースドレイン電圧	VDS		-7V(max)	V	
	ゲートドレイン電圧	VGD		-7V(max)	V	
	ゲートソース電圧	VGS		-7V(max)	V	
コンデンサ	印加電圧	VINC	$\square=1\mu\text{m}^2$	7(max)	V	
抵抗	印加電圧	VINR	$\square=1\mu\text{m}^2$	7(max)	V	
Diode	逆電圧	VR		7(max)	V	
ESD	印加電圧	VINE		TBD	V	
	アノード電流	IINE		TBD	mA	
すべて	保存温度	T <sub>stg</sub>		-40~150	℃	

## [動作条件] (TA=25℃)

## 1) 3V NMOS

項目	記号	条件	Min	Typ	Max	単位
閾値電圧	V <sub>thn</sub>	L=6u, W=24u, VDD=3.3V		0.25		V
S-factor		L=6u, W=24u, VDD=3.3V		71		mV/dec
ドレイン電流	I <sub>dsn</sub>	L=6u, W=24u, VDS=VGS=3V		62.5		uA/um
リーク電流	I <sub>offn</sub>			TBD		uA/um
ブレイクダウン電圧	BVDSN	L=6u, W=24u, VDD=3.3V			7	V
ゲート容量	CoxN			2.3		ff/um <sup>2</sup>
ゲート破壊電圧	BVoXN			7		V

## 2) 3V PMOS

項目	記号	条件	Min	Typ	Max	単位
閾値電圧	V <sub>thp</sub>	L=6u, W=24u, VDD=3.3V		-0.71		V
S-factor		L=6u, W=24u, VDD=3.3V		65		mA/dec
ドレイン電流	I <sub>dsp</sub>	L=6u, W=24u, VDS=VGS=-3V		12.9		uA/um
リーク電流	I <sub>offp</sub>	L=6u, W=24u		TBD		uA/um
ブレイクダウン電圧	VBDSN	L=6u, W=24u			7	V
ゲート容量	CoxP			2.3		ff/um <sup>2</sup>
ゲート破壊電圧	BVoXP			-7		V

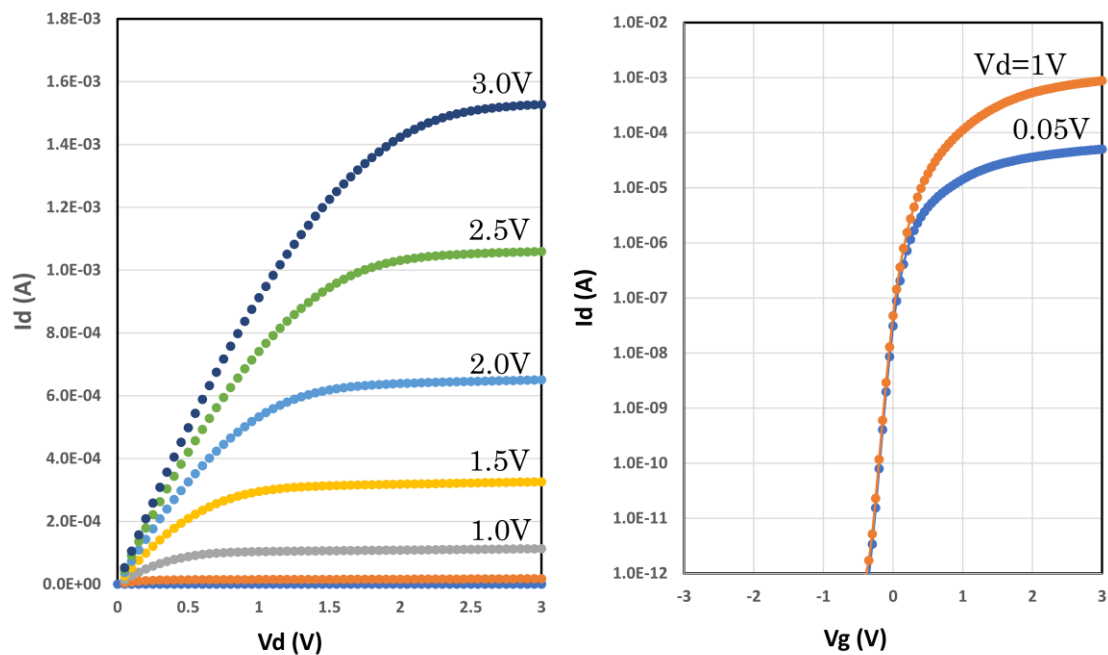
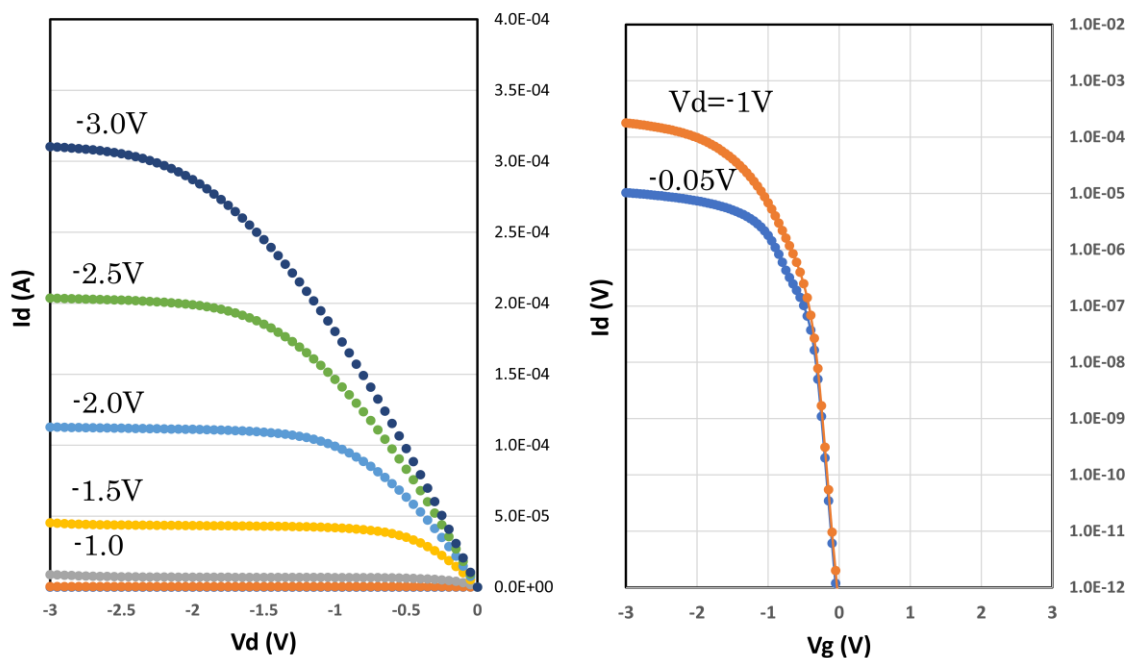
## 3) キャパシター

項目	記号	条件	Min	Typ	Max	単位
シート容量	CNdiff	100umx100um、2V		0.086		ff/um
	CPdiff	100umx100um、2V		0.086		ff/um
	CGate			2.3		ff/um
リーク電流	ILCNdif			TBD		nA
	ILCPdif			TBD		nA
	ILCgate			TBD		nA

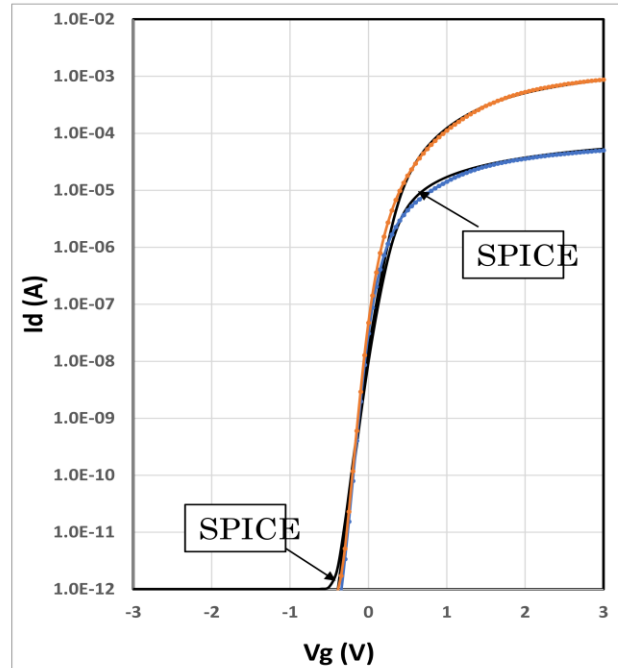
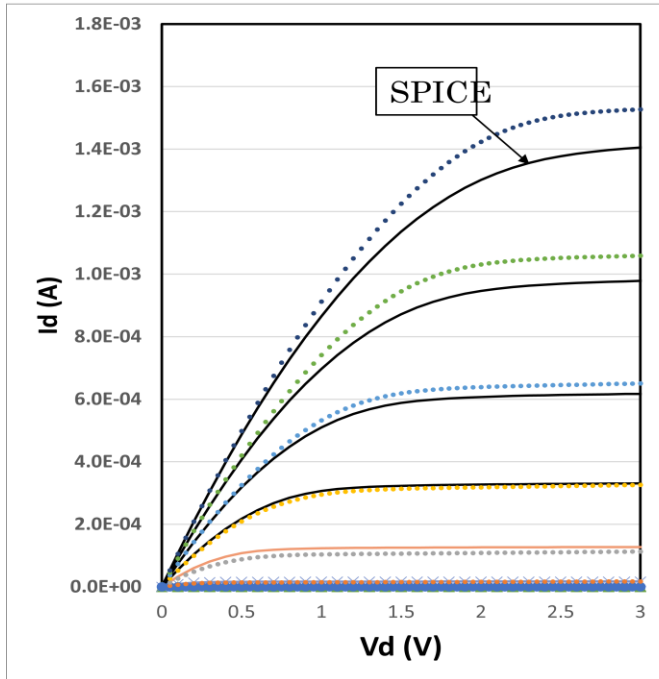
## 3) 抵抗

項目	記号	条件	Min	Typ	Max	単位
シート抵抗	RNdiff	L=13um, W=46.5um, VIN=2V		180		$\Omega/1\mu\text{m}^2$
	RPdiff	L=13um, W=46.5um, VIN=2V		1.2		k $\Omega/1\mu\text{m}^2$
ゲート抵抗	RTiN	L=13um, W=46.5um, VIN=2V		20		$\Omega/1\mu\text{m}^2$
配線抵抗	RAI	L=6um, W=46.5um, I=10mA		0.2		$\Omega/1\mu\text{m}^2$
コンタクト抵抗	RCALN	5umx5um, I=10mA		150		$\Omega$
	RCALP			200		$\Omega$
	RCALT			0.9		$\Omega$

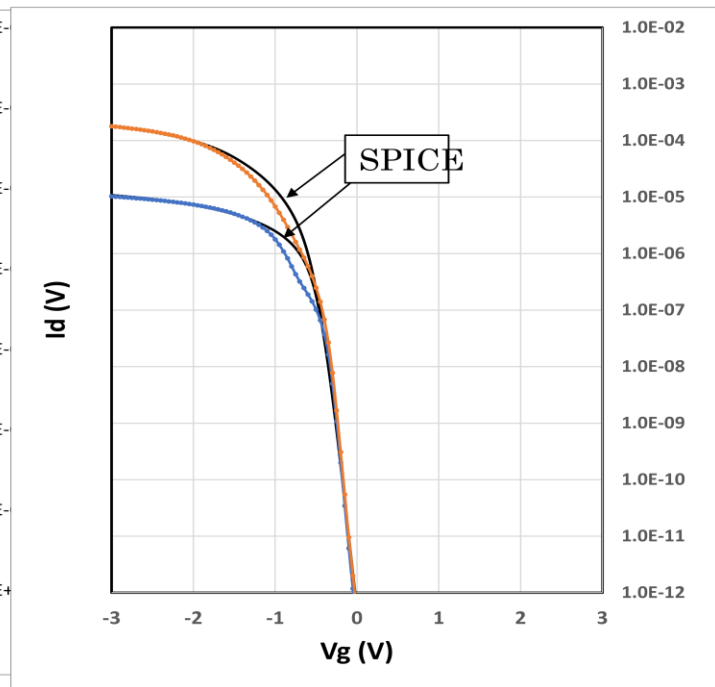
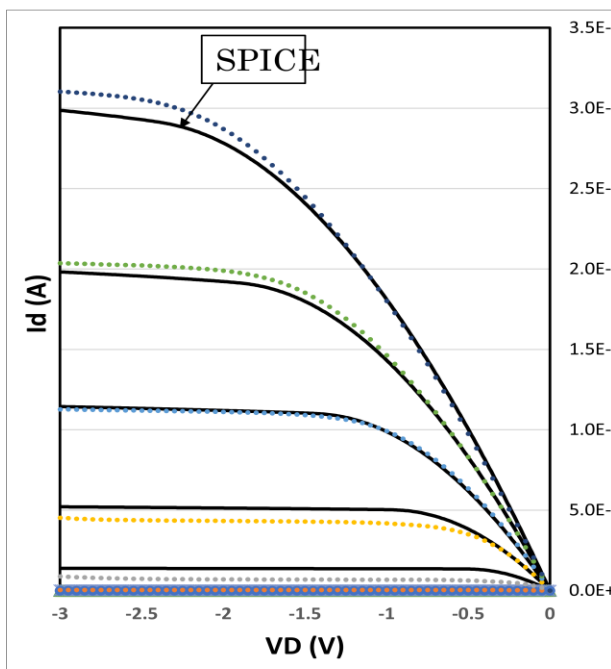
[素子の IV カーブ]

**NFET VDID/VGID Characteristics (L/W=6 $\mu$ m/24 $\mu$ m)****PFET VDID/VGID Characteristics (L/W=6 $\mu$ m/24 $\mu$ m)**

## NFET VDID/VGID Characteristics (L/W=6 $\mu$ m/24 $\mu$ m) Measured vs SPICE Model



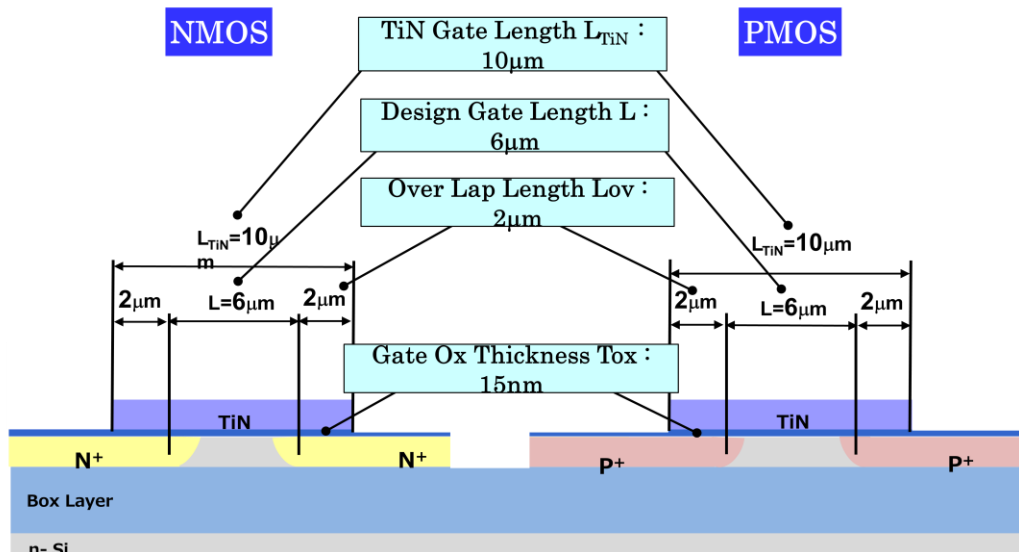
## PFET VDID/VGID Characteristics (L/W=6 $\mu$ m/24 $\mu$ m) Measured vs SPICE Model



[構造的特性]

[素子の断面構造]

## Cross-Sectional View of minimal Fab SOI-CMOS

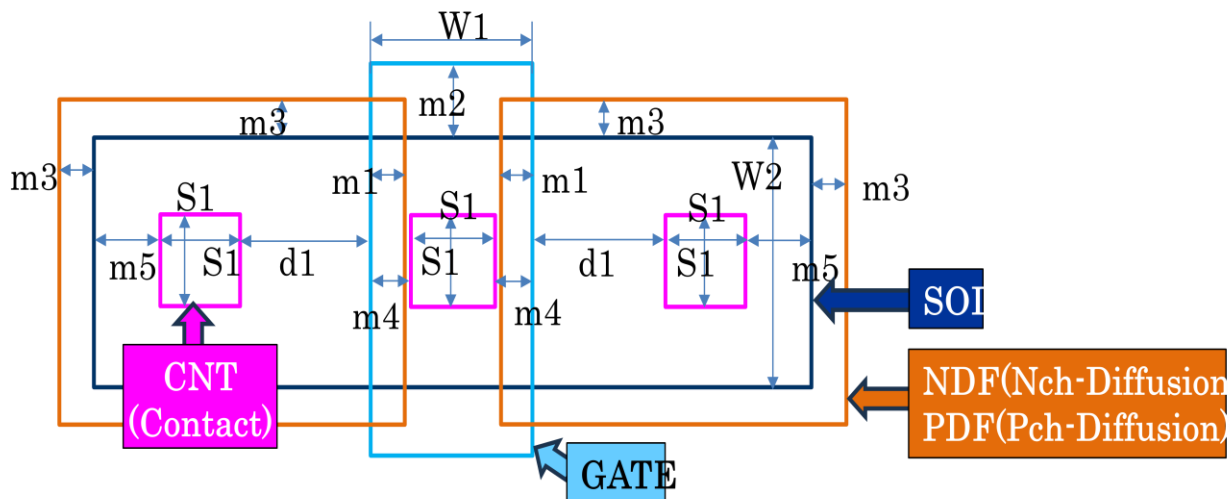


### 3. 回路設計基準

NMOS, PMOS, C, R, ESD、配線、VIA の電流容量は、調査中

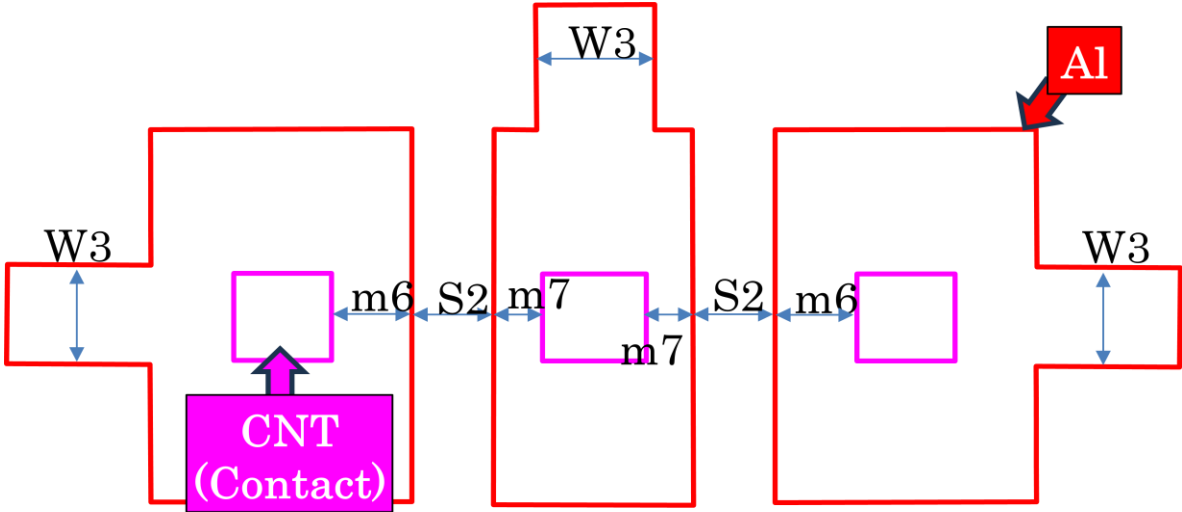
### 4. レイアウト設計基準

【デバイスレイヤー】



Symbol	詳細	ルール(um)	Symbol	詳細	ルール(um)
W1	TiN ゲート幅	10	m3	SOI-PDF(NDF)エンクロージャ	2
W2	SOI 幅	13	d1	Gate TiN-CNT 距離	8
s1	コンタクト幅	5	m4	TiN-CNT エンクロージャ	2.5
m1	TiN-PDF(NDF)オーバーラップ	2	m5	SOI-CNT エンクロージャ	4
m2	TiN フリンジ幅	4			

【配線レイヤー】

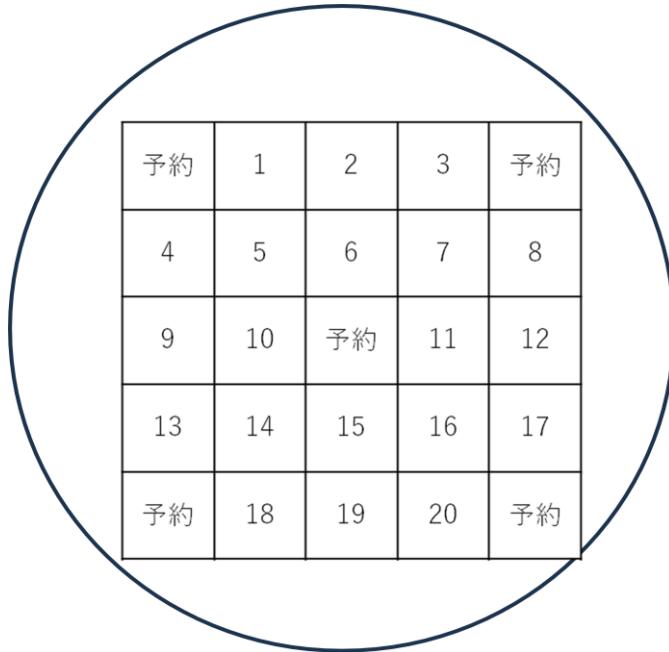


Symbol	詳細	ルール(um)	Symbol	詳細	ルール(um)
W3	Al 配線幅	6		TiN 最小スペース	6
S2	Al 配線間スペース	4		SOI 最小幅	6
m6	Al-CNT エンクロージャー	4		SOI 最小スペース	4
m7	Al-Gate CNT エンクロージャー	2.5			
	TiN 最小幅	6			

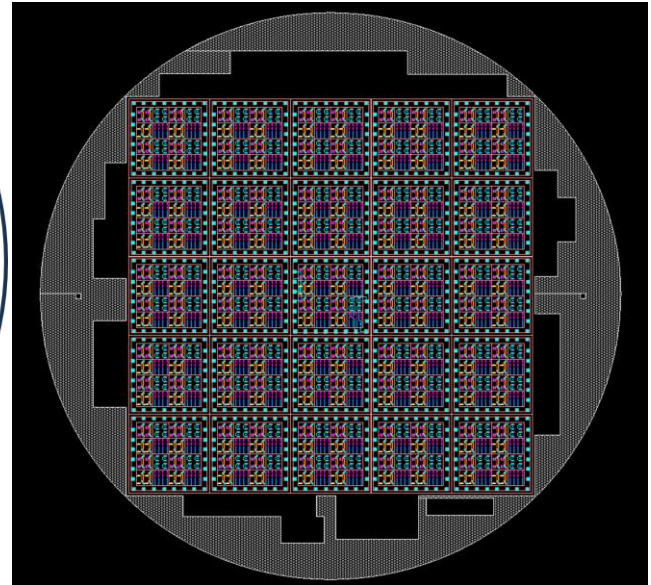


## 5. 設計例

ミニマル Wafer 上にトランジスタアレイを実装

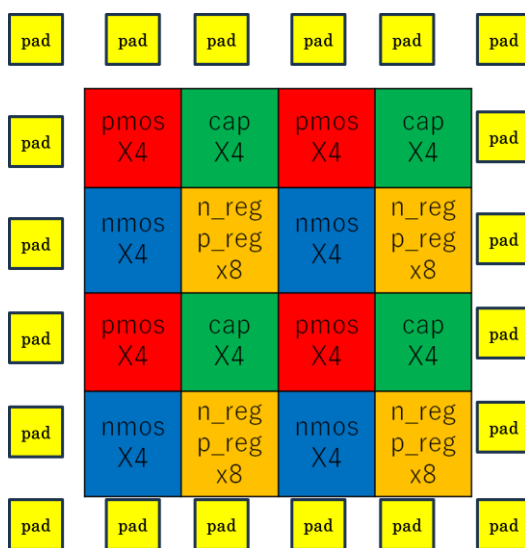


予約はプロセスコントロール用

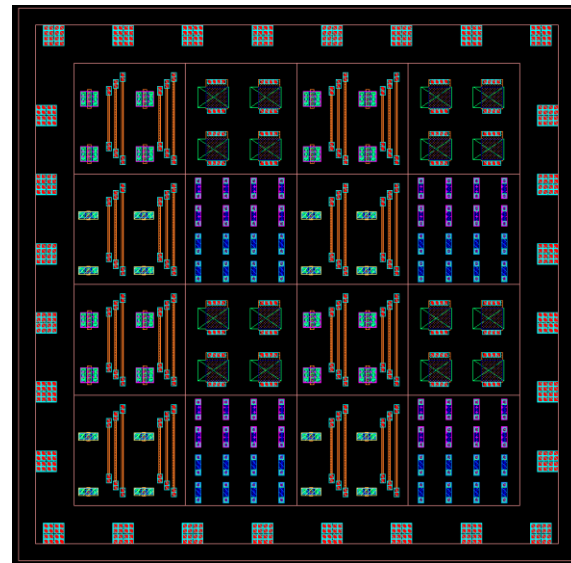


GDSイメージ

ブロック説明



回路イメージ

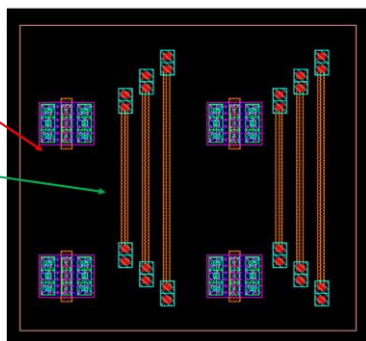


GDS イメージ

### • PMOS

- L=10u
- W=40u

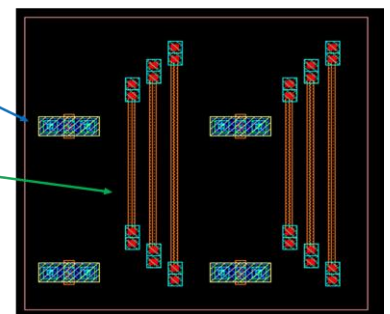
### • Tin配線



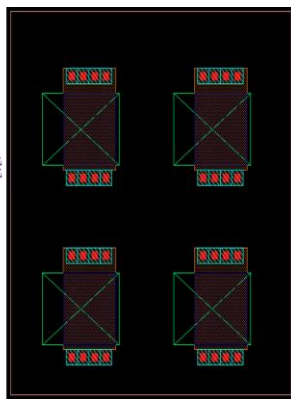
### • NMOS

- L=10u
- W=10u

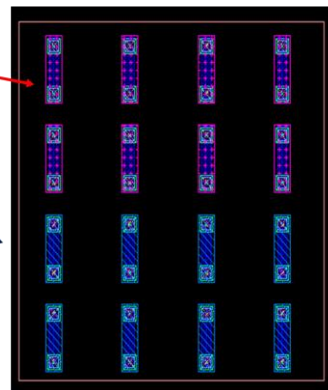
### • Tin配線



- M1 TiNキャパシタ
  - 容量 : 0.414pF
  - $L=60\mu, W=60\mu$
  - TiNは配線として利用可能



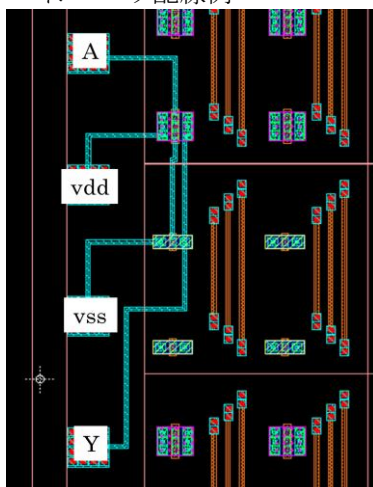
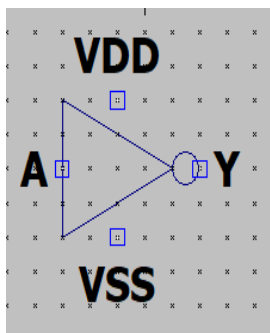
- P型抵抗
  - $3.6k\Omega$
  - $L=30\mu, W=10\mu$
- N型抵抗
  - $0.54k\Omega$
  - $L=30\mu, W=10\mu$



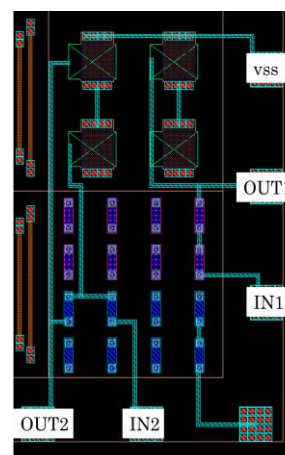
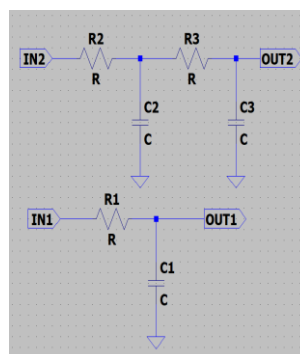
#### 設計の制約

- M1 レイヤー(データタイプ 7/1)のみを使用する事で回路が構成可能
- M1 の最小幅=5 $\mu$ m, M1 最小スペース=4 $\mu$ m, ラインアンドスペース=9 $\mu$ m

インバータ配線例



フィルター配線例



版数管理表

Rev	日付	内容	確認(LR)	確認(Anagix)	確認(ミニマル)
0.0	2023/11/1	初版発行	土屋	森山	浜本

連絡先: 土屋([tsuchiya@logic-research.co.jp](mailto:tsuchiya@logic-research.co.jp))、森山([moriyama@anagix.com](mailto:moriyama@anagix.com))、浜本([takeshi.hamamoto@minimalfab.com](mailto:takeshi.hamamoto@minimalfab.com))