

CIRCUITOS INTEGRADOS E IMPRESOS (2015-2016)
GRADO EN INGENIERÍA INFORMÁTICA
UNIVERSIDAD DE GRANADA

LASI - El inversor CMOS

Ricardo Figueiredo Minelli

5 de julio de 2016



Índice

1. Introducción	3
2. Tiempos de respuesta del inversor CMOS	6
3. Tiempo de bajada	6
4. Tiempo de subida	7

Índice de figuras

1.1. NAND	3
1.2. Inversor CMOS	4
1.3. Transición de estados	5
1.4. Gráfica de transición de estados	5
3.1. Tiempo bajada	6
4.1. Tiempo subida	7

1. Introducción

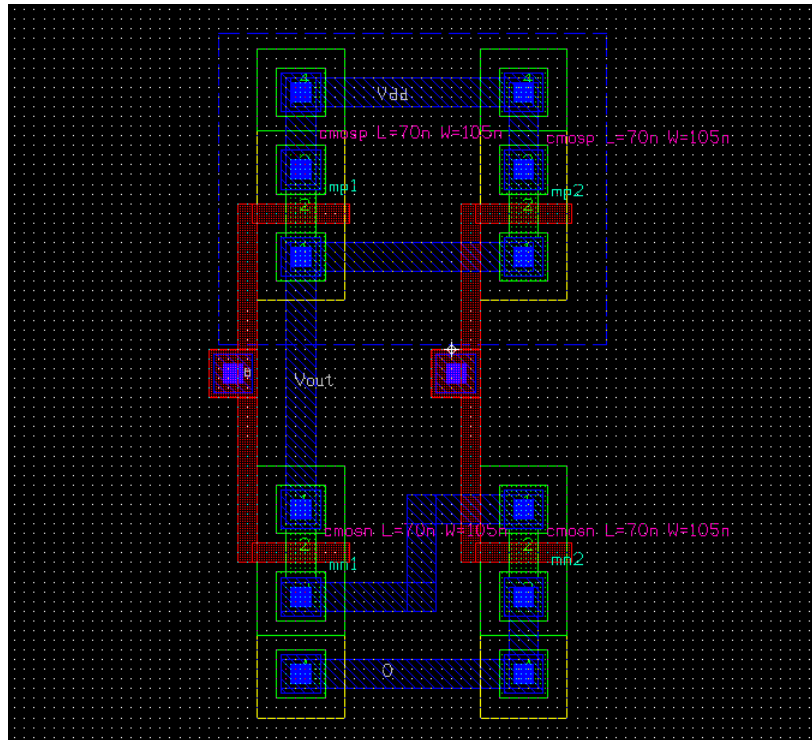


Figura 1.1: NAND

El inversor CMOS consta de dos transistores, uno canal p y otro canal n. Cuando la tensión de entrada, V_{in} , es 0, el transistor p conduce y el transistor n está en corte; con lo que se produce el paso de corriente desde el nodo conectado a VDD (drenador del transistor p) hacia el nodo de salida, que a su vez provoca que la tensión de éste suba hasta alcanzar un valor cercano a VDD. Dicho valor se identifica con un 1 lógico. Por el contrario, cuando $V_{in}=VDD$, el transistor p se halla en corte y el n conduce, con lo que la corriente fluye ahora de Vout a tierra (0 lógico).

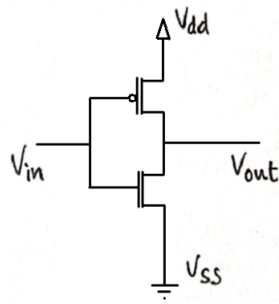


Figura 1.2: Inversor CMOS

En nuestro fichero ".cir" hemos definido:

Listing 1: Nand.cir

```
* Start of C:\Lasi7\Mosis_rules\Nand.txt
V1 Va 0 PULSE(0 1.2 .5n 1p 1p 1n 2n)
V2 Vb 0 PULSE(0 1.2 .5n 1p 1p .5n 1n)
V3 Vdd 0 1.2
.tran 4n
.backanno

* End of C:\Lasi7\Mosis_rules\Nand.txt
```

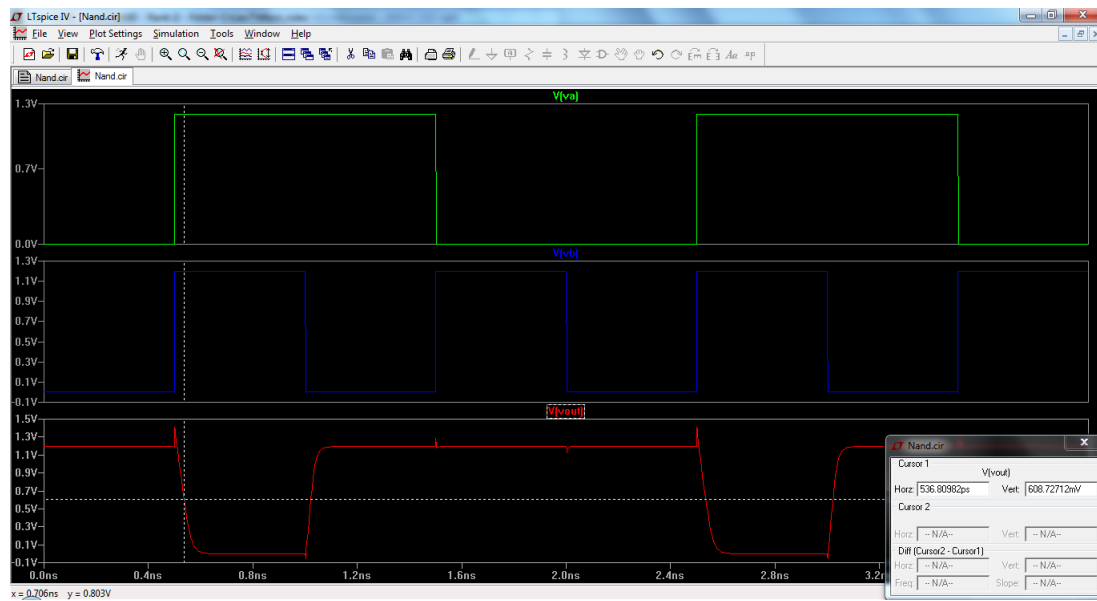


Figura 1.3: Transición de estados

Con este fichero "Nand.cir" tenemos las siguiente transiciones de estados:

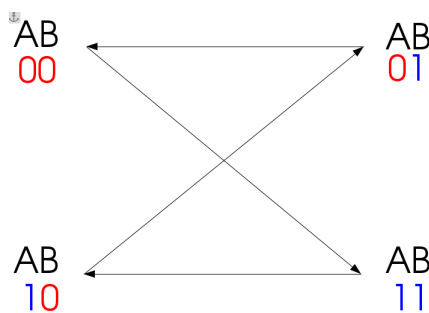


Figura 1.4: Gráfica de transición de estados

2. Tiempos de respuesta del inversor CMOS

Las dimensiones W , L de los transistores p y n, así como el valor de la capacidad del nodo de salida determinan los tiempos de subida y bajada del inversor.

3. Tiempo de bajada

Se define el tiempo de bajada como el tiempo necesario para que, cuando $V_{in}=V_{DD}$ (lógico), la capacidad de salida pase del valor $1,2 \cdot V_{DD}$ a $0,6 \cdot V_{DD}$, aproximadamente 36 ps en nuestro inversor.



Figura 3.1: Tiempo bajada

4. Tiempo de subida

Se define el tiempo de subida como el tiempo necesario para que, cuando $V_{in}=0$, la capacidad de salida pase del valor $0,1.V_{DD}$ a $0,6.V_{DD}$, aproximadamente 21 ps en nuestro inversor.

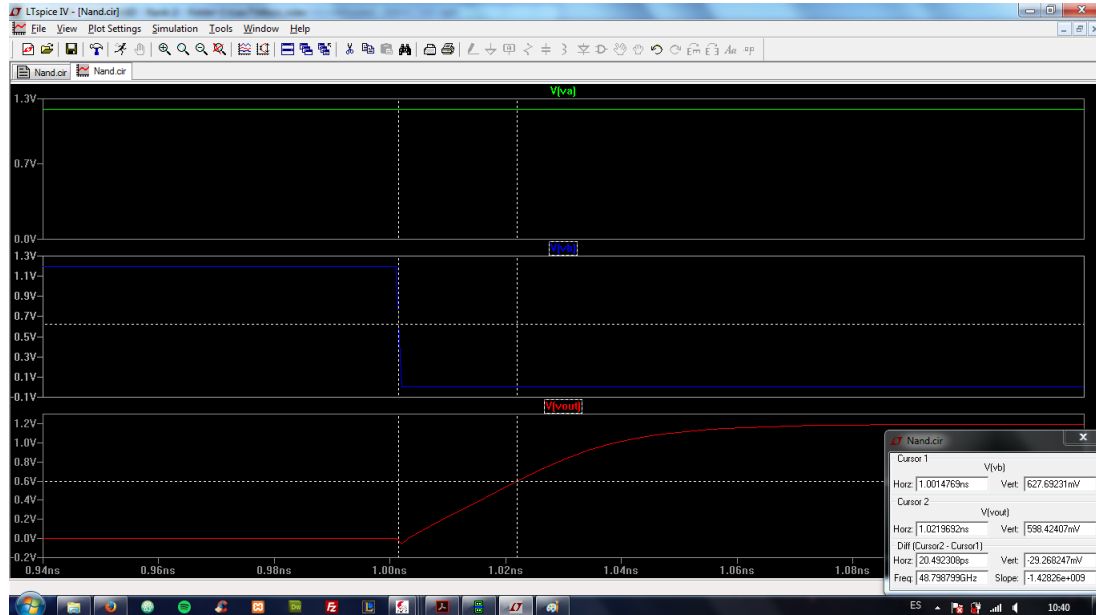


Figura 4.1: Tiempo subida